



**警告：**

这些Verilog模型是 "按原样 "提供的，没有任何形式的保证，包括但不限于任何隐含的适销性和对特定用途的适用性的保证。

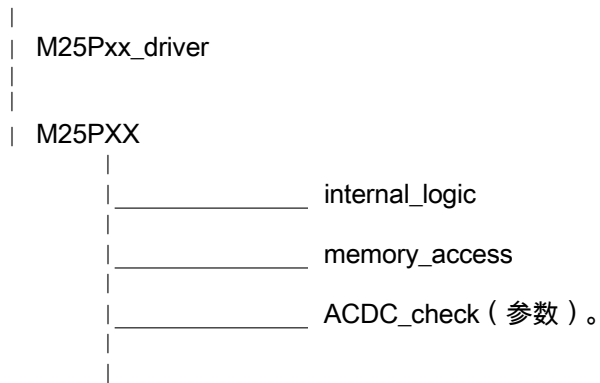
## 项目架构

a) M25Pxx SERIAL FLASH的Verilog仿真是M25Pxx.v文件。  
b) 为了提供一个完整的Verilog项目的例子，我们提供了一些其他的Verilog文件，这个项目是基于两个块：

- M25Pxx\_driver块，它定义了向M25Pxx存储器传输的指令。
- M25Pxx区块模拟了M25Pxx存储器的行为。

这两个模块由Testbench.v调用。

## 测试平台



在编译所有区块时，项目必须按照以下顺序进行编译：

- 参数.v
- internal\_logic.v
- memory\_access.v
- ACDC\_check.v
- M25Pxx.v
- M25Pxx\_driver.v
- Testbench.v

# Verilog模型：M25Pxx存储器

## verilog块描述

### 参数.v

定义M25PXX内存设备：内存大小、页面大小和AC/DC参数最小/最大值。

### internal\_logic.v

对SPI协议进行解码，为在存储器阵列中进行进一步的操作做准备。

### memory\_access.v

模拟内存阵列的内容。这个内容可以被初始化（用初始化文件，见本文件最后一段）。

### ACDC\_check.v

对收到的交流电值进行所有检查。

### M25PXX.v

定义M25Pxx内存设备：调用internal\_logic.v、memory\_access.v和parameter.v模块。

### M25Pxx\_driver.v

模拟一个SPI总线主站向M25Pxx传输指令。指令的刺激物在M25Pxx\_driver.v中定义。

### Testbench.v

将M25Pxx\_driver.vhd链接到M25Pxx.v（模拟SPI主-存储器通信）。

## 运行模拟时的信息

当运行仿真时，M25Pxx的Verilog模型可能会发出几个严重程度的警告信息，这在大多数Verilog仿真器中是常用的：

### 严重程度最低的

- 注意事项
  - o 注释信息只具有信息性。
- 警告
  - o 一条警告信息通知用户，M25Pxx Verilog模型没有被正确驱动（通过SPI总线），并且SPI序列不符合M25Pxx的规范
- 误差
  - o 一条错误信息还通知用户，M25Pxx的Verilog模型没有被正确驱动（通过SPI总线），并且SPI序列不符合M25Pxx的规范。
  - o ERROR信息会停止模拟。

### 最严重的

注意：尽管大多数Verilog开发包提供了在选项菜单中改变严重程度的可能性，但建议保持最初的严重程度（以上），因为这将确保Verilog下的应用检查最安全。

# Verilog模型：M25Pxx存储器

## 如何使用初始化文件

### 默认状态

在模拟开始之前，提供一个初始化文件（*initmemory.txt*）来定义内存阵列的内容。

### 用你自己的内容初始化内存

*initmemory.txt*文件是M25Pxx.v内存模型的一个参数，可以在*Testbench.vhd*模块中定制。

下面的例子显示了如何定义两个M25Pxx存储器（连接到同一SPI总线），并有不同的初始化内容（在这个例子中命名为：*initmemory1.txt*和*initmemory2.txt*）。

```
----- 测试平台模块声明 -----
模块testbench(); wire

    clock;
    wire data;
    wire w;
    wire hold;
    wire out;
    线路选择;

defparam memory.mem_access.initfile = "initmemory1.txt";
m25p05a    memory1(.c(clock),.data_in(data),.s(select),.w(w),.hold(hold),.data_out(out));

defparam memory1.mem_access.initfile = "initmemory2.txt";
m25p05a    memory2(.c(clock),.data_in(data),.s(select),.w(w),.hold(hold),.data_out(out));

m25p05a_driver
tester(.clk(clock),.din(data),.cs_valid(select),.hard_protect(w),.hold(hold));

结束模块
```

用来定义这个*Initmemory.txt*初始化文件的格式是：

- 每个字节以十六进制定义，使用两个ASCII字符。
- 字节之间用""空白字符分隔。
- 字节被打包成N个字节的行，N是25Pxx页面大小。
- 每行（页）以<CR>（回车）结束。

M25Pxx Verilog模型包提供了一个软件工具，将.BIN文件转换成.txt初始化文件。下面是转换器1.1工具的使用说明：

- 启动 converter1.1（以双击 converter1.1.exe 为例）、
- 输入.BIN文件名（以init.bin为例）。
- 输入内存模型初始化的.TXT目标文件（以initmemory.txt为例）。
- 当转换完成后，工具窗口会自动关闭，.TXT文件在 converter1.1目录下可用。