

# 類比電路設計

## Homework 2

電機三 A 陳柏翔 4109061012

## 1. 電路參數

輸入直流電壓：

$$V_{in} (DC\ offset) = 0.76\ V$$

工作電流：

$$I_{D1} = 0.05\ mA$$

Gain Stage 中上方的電阻：

$$R_x = 9\ k\Omega$$

電晶體參數 (Gain Stage 中的電晶體為 M1 / Buffer 中的電晶體為 M2)：

$$g_{m1} = 1.667\ mA/V$$

$$g_{m2} = 133.33\ mA/V$$

$$(W/L)_1 = 122$$

$$(W/L)_2 = 3897$$

## 2. 電路設計說明

### ■ 計算增益：

計算  $A_v$  :

$$\bar{I}_1 = g_{m1} v_i$$

$$\Rightarrow v_x = -\bar{I}_1 \cdot (R_x \parallel r_{o1}) = -g_{m1} v_i (R_x \parallel r_{o1})$$

$$v_o = \frac{(R_L \parallel r_{o2})}{\frac{1}{g_{m2}} + (R_L \parallel r_{o2})} \cdot v_x$$

$$\Rightarrow A_v = \frac{v_o}{v_i}$$

$$= -g_{m1} \cdot (R_x \parallel r_{o1}) \cdot \frac{(R_L \parallel r_{o2})}{\frac{1}{g_{m2}} + (R_L \parallel r_{o2})}$$

### ■ 已知的參數：

$$V_{TH} = V_{TH0} = 0.7 \text{ V (忽略Body effect)} \quad \lambda = 0.1 \text{ V}^{-1}$$

$$\mu_0 = 350 \times 10^{-4} \text{ m}^2 \text{V}^{-1} \text{s}^{-1} \quad t_{ox} = 9 \times 10^{-9} \text{ m}$$

$$V_{DD} = 1.8 \text{ V} \quad R_L = 0.05 \text{ k}\Omega \quad V_{out} (DC) = 0.5 \text{ V}$$

### ■ 計算其他已知的參數：

$$I_{D2} = V_{out} / R_L = 0.01 \text{ A} = 10 \text{ mA}$$

$$r_{o2} = \frac{1}{\lambda \cdot I_{D2}} = 1 \text{ k}\Omega \quad R_L \parallel r_{o2} = 0.0476 \text{ k}\Omega$$

$$k_n' = \mu C_{ox} = \mu \cdot \frac{\epsilon_{ox}}{t_{ox}} = 350 \times 10^{-4} \cdot \frac{3.45 \times 10^{-11}}{9 \times 10^{-9}} = 0.1342 \text{ mA/V}^2$$

▪ 決定  $I_{D1}$ 、計算  $r_{o1}$ ：

為達到  $P_{\text{Gain Stage}} < 0.1\text{mW}$ ，我決定先設通過 M1 的電流  $I_{D1} = 0.05\text{mA}$ ，則  $P_{\text{Gain Stage}} = 0.05\text{mA} \times 1.8\text{V} = 0.09\text{mW}$ 。

固定  $I_{D1}$  後，算得：

$$r_{o1} = \frac{1}{\lambda \cdot I_{D1}} = 200\text{k}\Omega。$$

▪ 決定  $V_{in}$  DC offset、計算  $g_{m1}$ 、 $(W/L)_1$ ：

因為  $|A_v| \propto g_{m1} = \frac{2 \cdot I_{D1}}{V_{ov1}}$ ，且  $I_{D1}$  已經固定，所以  $V_{ov1}$  越小越好。

(考慮到輸出  $V_{out}$  (DC) 為  $0.5\text{V}$ ，則理論上在輸出最大擺幅僅能  $0.5\text{V}$ ，

又如果增益為  $10\text{ V/V}$  的情況下，理論上輸入應在  $0.05\text{ V}$  以內。)

因此設  $V_{ov1} = 0.06\text{V}$  (較  $0.05\text{ V}$  高一點)，則  $V_{in}$  DC offset 為：

$$V_{in} = V_{gnd} + V_{th} + V_{ov1} = 0.76\text{ V}$$

決定  $V_{ov1}$  後，算得：

$$g_{m1} = 2I_{D1}/V_{ov1} = 1.667\text{ mA/V}$$

$$(W/L)_1 = 2I_{D1}/k_n' \cdot V_{ov1}^2 = 207$$

▪ 決定  $R_x$ 、計算  $g_{m2}$ 、 $(W/L)_2$ ：

為保持 M2 不被 cutoff，考慮  $R_x$  的上限避免電路無法運作：

$$V_{G2} - V_{out} > V_{th} \Rightarrow (1.8 - 0.05 \cdot R_x) - 0.5 > 0.7$$

$$R_x < 12\text{ k}\Omega$$

考慮到增益  $|A_v|$  必須在  $V_{DD} - 10\%$  時也達到  $10\text{ V/V}$ ，我決定將增益  $|A_v|$  在  $V_{DD}$  為  $1.8\text{ V}$  時達到大約  $13\text{ V/V}$ ：

$$|A_v| = g_{m1} \cdot (R_x || r_{o1}) \cdot \frac{(R_L || r_{o2})}{1/g_{m2} + (R_L || r_{o2})} = 13 \text{ V/V}$$

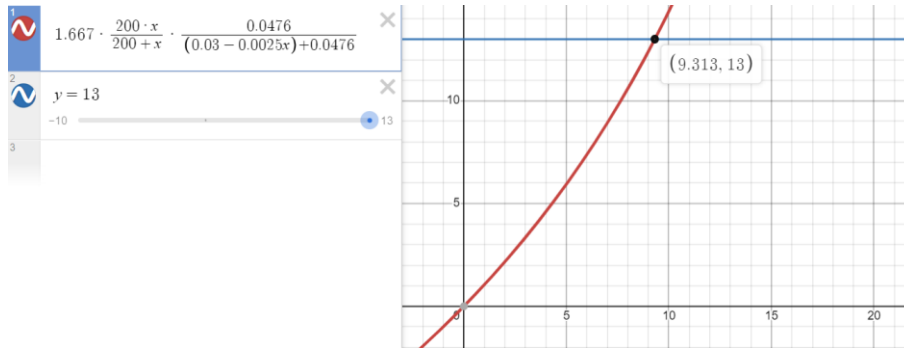
其中  $1/g_{m2}$  可改寫為：

$$\frac{1}{g_{m2}} = \frac{V_{ov2}}{2 \cdot I_{D2}} = \frac{(V_{DD} - I_{D1} \cdot R_x) - V_{out} - V_{th}}{2 \cdot I_{D2}}$$

除了  $R_x$  外其他數值皆為已知，因此可以寫出以下式子：

$$13 = 1.667 \times \frac{R_x \cdot 200}{R_x + 200} \times \frac{0.0476}{(0.03 - 0.0025 \cdot R_x) + 0.0476}$$

根據此式作圖解得：



取  $R_x = 9 \text{ k}\Omega$ ，則：

$$V_{ov2} = (V_{DD} - I_{D1} \cdot R_x) - V_{out} - V_{th} = 0.15 \text{ V}$$

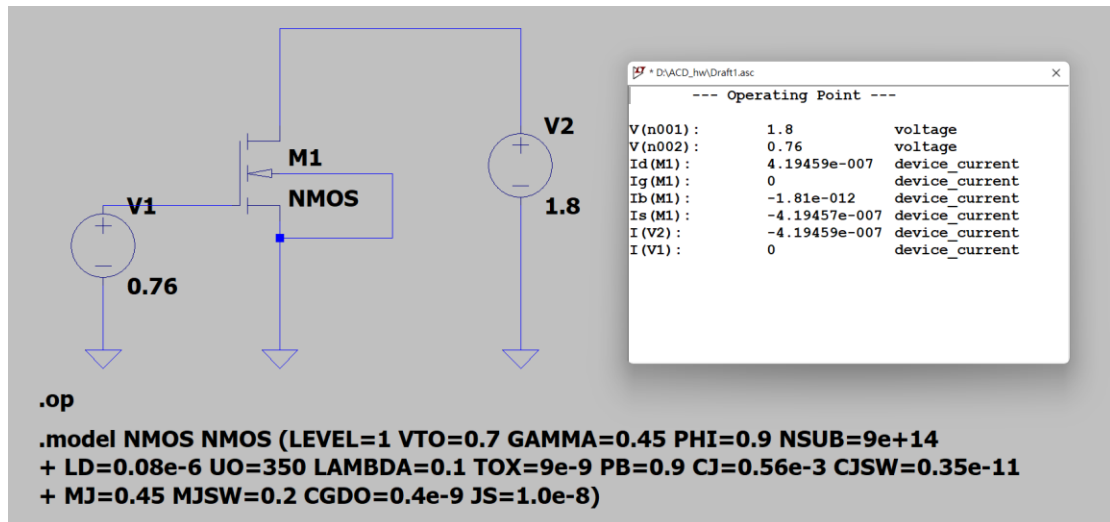
$$g_{m2} = 2I_{D2}/V_{ov2} = 133.33 \text{ mA/V}$$

$$(W/L)_2 = 2I_{D2}/k_n' \cdot V_{ov2}^2 = 6624$$

#### ■ 用 LTspice 驗證並調整：

將上述結果帶入，並經過 LTspice 模擬後，發現  $I_{D1}$  並非如我所計算的  $0.05 \text{ mA}$ ，而是  $0.08 \text{ mA}$ 。

檢查後，即使因為忽略 Channel-length modulation 而造成誤差， $I_{D1}$  也不應該有如此差異，所以我認為可能是  $k_n' (= \mu C_{ox})$  的值，與電路模擬中的值相異導致的。所以我做了額外測試：



我將圖中M1的 $(W/L)_1$ 設為 1，可以發現在此情況下的  $I_D$  為  $4.195 \times 10^{-7} A$ ，所以經過計算：

$$4.195 \times 10^{-7} = \frac{1}{2} \cdot k_n' \cdot (0.76 - 0.7)^2 \cdot (1 + 0.18)$$

$$k_n' = 0.1975 mA/V^2$$

考慮新的  $k_n'$  以及 Channel-length modulation 後再重新計算，我決定將原本的電晶體長寬比都除以 1.7 倍，變為以下：

$$(W/L)_1 = 207 \div 1.7 = 122$$

$$W_1 = 122 \times 0.5 = 61$$

$$(W/L)_2 = 6624 \div 1.7 = 3897$$

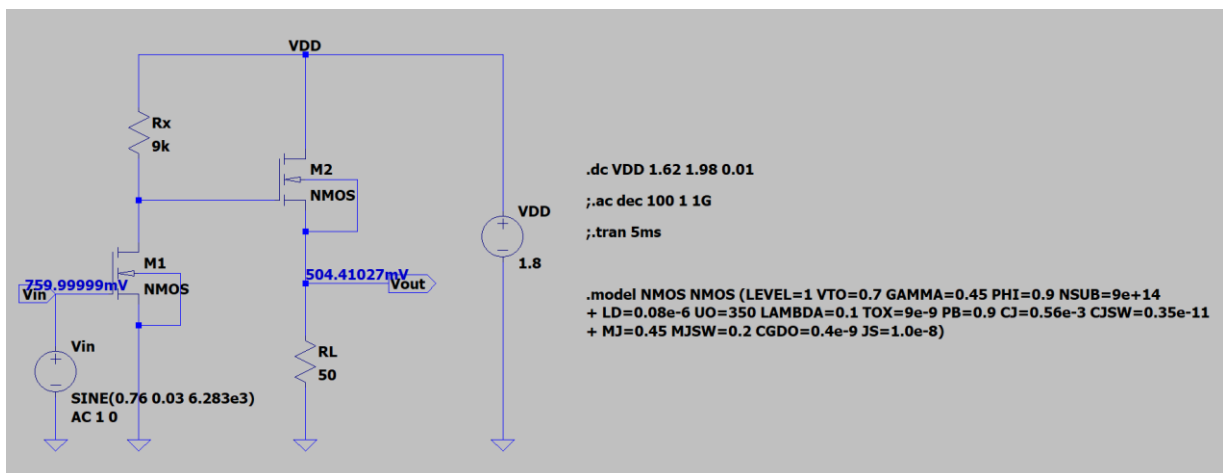
$$W_2 = 3897 \times 0.5 = 1949$$

此數值帶入 LTspice 模擬後，較先前更符合預期（結果見直流分析）。

### 3. SPICE netlist

```
* D:\ACD_hw\hw02\LTspice\hw2_4109061012.asc
Rx VDD N001 9k
M1 N001 Vin 0 0 NMOS l=0.5u w=61u
M2 VDD N001 Vout Vout NMOS l=0.5u w=1949u
RL Vout 0 50
VDD VDD 0 1.8
Vin Vin 0 SINE(0.76 0.03 6.283e3) AC 1 0
.model NMOS NMOS
.model PMOS PMOS
.lib C:\Users\danie\OneDrive\文件\LTspiceXVII\lib\cmp\standard.mos
.model NMOS NMOS (LEVEL=1 VTO=0.7 GAMMA=0.45 PHI=0.9 NSUB=9e+14
+ LD=0.08e-6 UO=350 LAMBDA=0.1 TOX=9e-9 PB=0.9 CJ=0.56e-3 CJSW=0.35e-11
+ MJ=0.45 MJSW=0.2 CGDO=0.4e-9 JS=1.0e-8)
;.dc VDD 1.62 1.98 0.01
;.ac dec 100 1 1G
;.tran 5ms
.backanno
.end
```

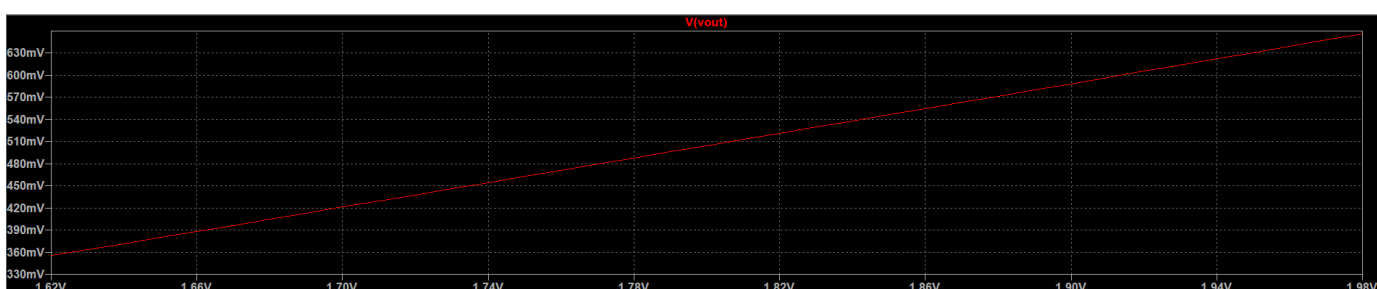
### 4. 電路模擬



## ■ 直流分析：

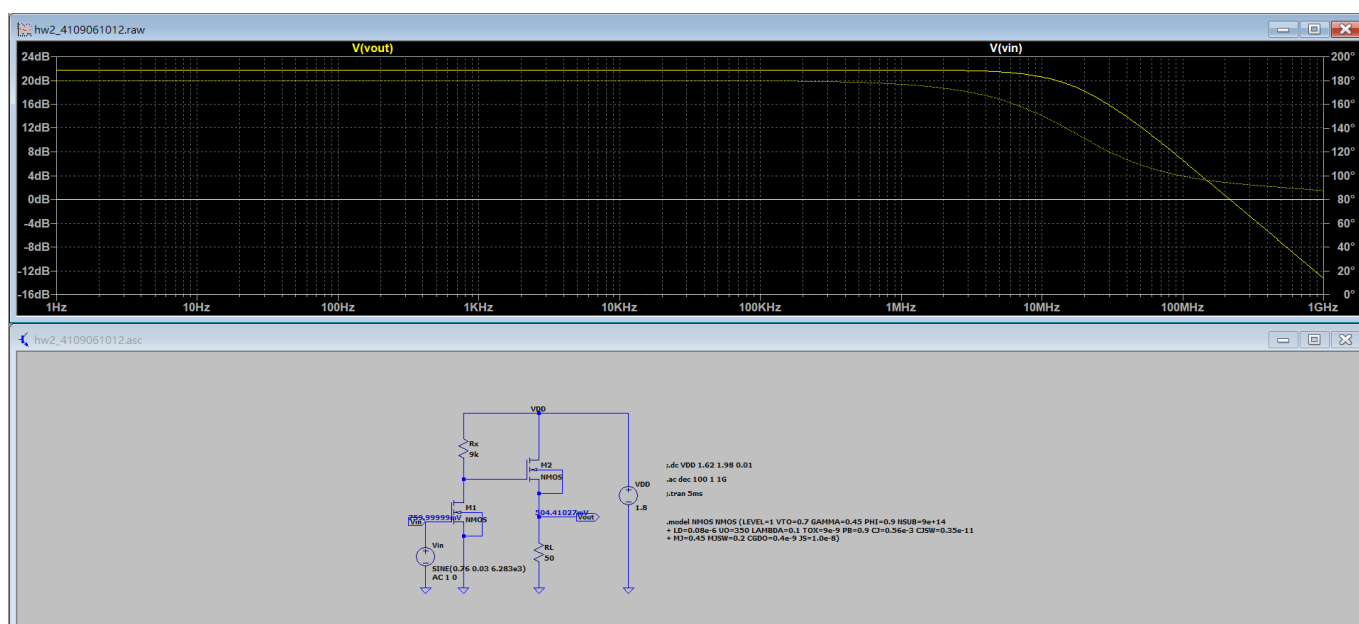


經過  $R_x$  的電流  $I_{D1}$  維持在大約  $0.05mA$ ， $V_{DD}$  為  $1.8V$  時  $I_{D1} = 49.25 \mu A$ 。



輸出電壓  $V_{out}$  在  $V_{DD} = 1.8V$  時， $V_{out} = 504 mV$ 。

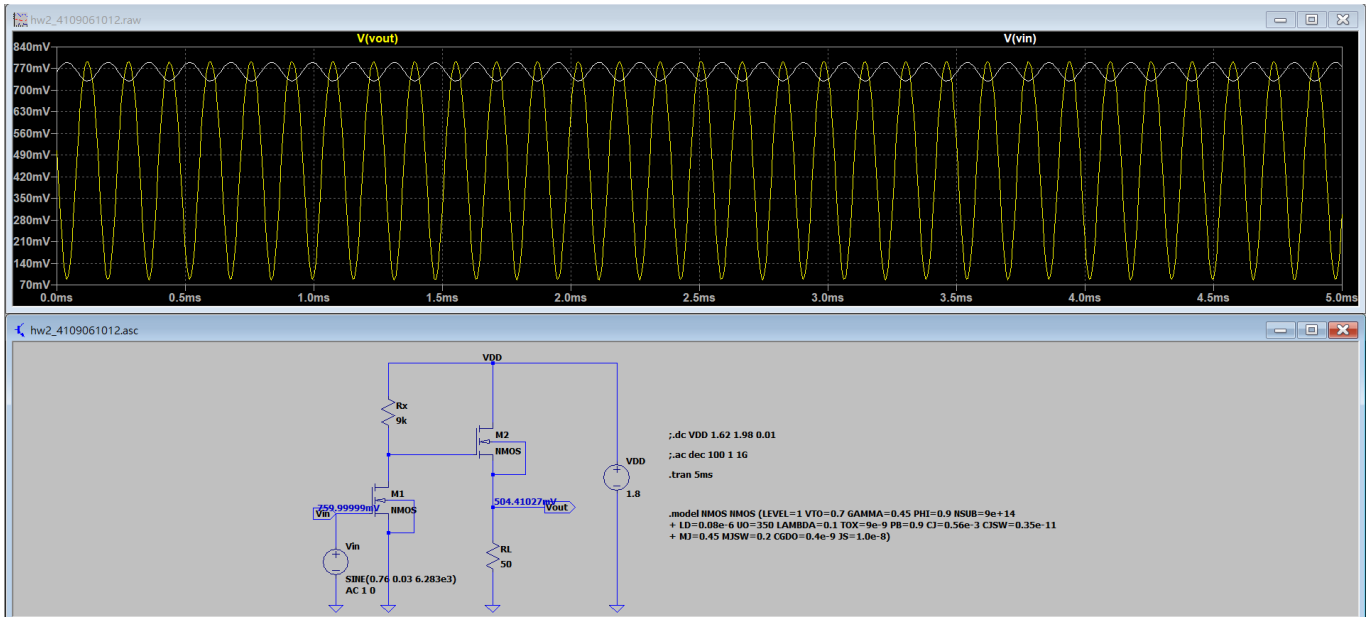
## ■ 交流分析：



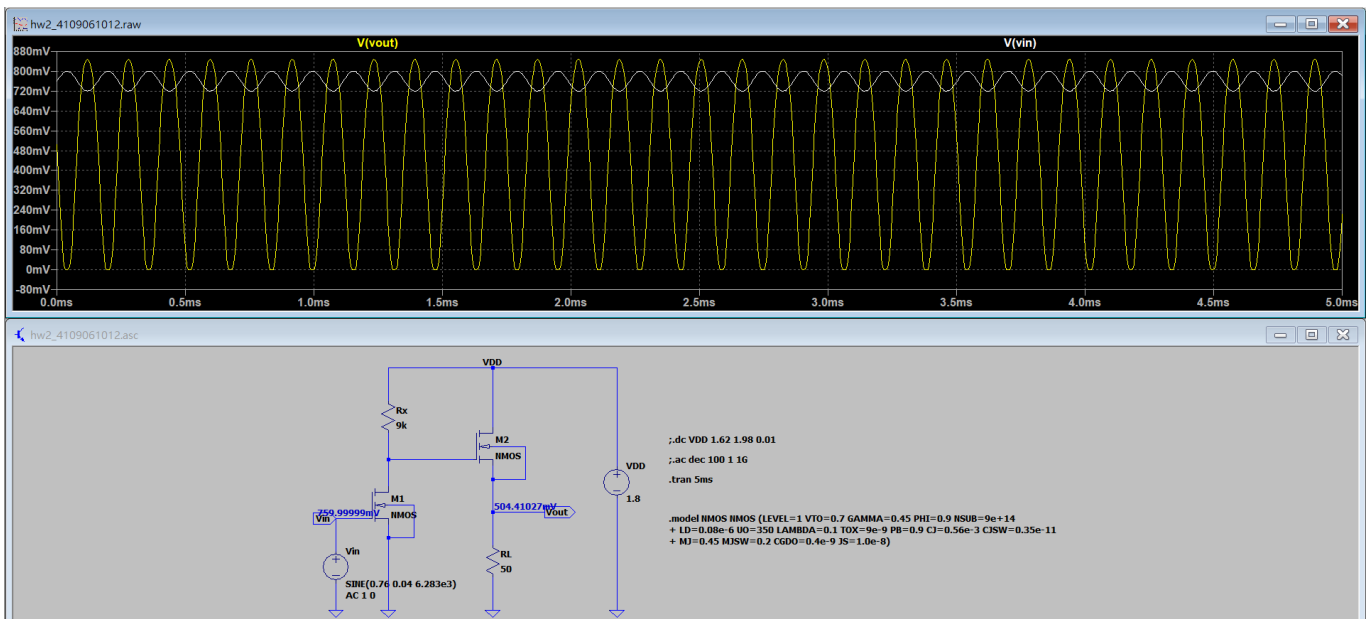
$V_{out}$  為  $21.78 dB$ ，增益即  $10^{21.78 \div 20} = 12.274 V/V$



## ■ 暫態分析：



輸入頻率  $2\pi \cdot 10^3$ 、振幅  $0.03V$ 、輸出電壓工作點為  $0.504V$



輸入頻率  $2\pi \cdot 10^3$ 、振幅  $0.04V$ 、輸出電壓工作點為  $0.504V$

此時輸出振幅峰對峰值 ( $V_{peak-to-peak}$ ) =  $0.848V$ ，即最大輸出振

幅，如果再增大輸入訊號的話就會使得輸出訊號失真。

## 5. 心得討論

第一次將之前電子學的知識用到這上面來，有非常多東西都是第一次接觸，所以不確定這樣的設置是不是合理的，例如「 $(W/L)$ 破千的話是可以還是不行」、「破萬的話又是否可行」、「電阻的大小可以設到多大」……，這樣的問題困擾我許久。

在設計的過程中，還遇到  $k_n'$  的值與想像中的值差異不小的問題，最後掙扎了許久，才決定用 LTspice 模擬並反推  $k_n'$  的值，勉強的解決了問題；另外一件事是，發現計算時用電腦作圖的方式能輕鬆找出應該設置的點，讓我不用解較為複雜的方程式，方便許多。而經過類似這樣的設計過程，我覺得能夠經歷並學到這些經驗非常好。

最後雖然還有不確定的地方，像是輸出電壓  $V_{out}$  的工作點明明是在  $0.5\text{ V}$  左右，但放大輸入訊號時，卻又並非真的以  $0.5\text{ V}$  為中心放大。原因還不太清楚，不過以目前來講我已經盡力了，有機會的話，希望能有參考解答讓我檢討，然後讓我下次能做得更好。

謝謝教授以及助教。