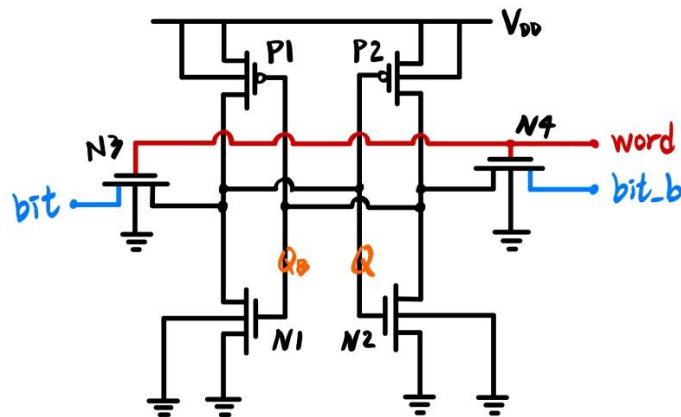


Digital Integrated Circuits homework 2 陳柏翔 313510156

1.

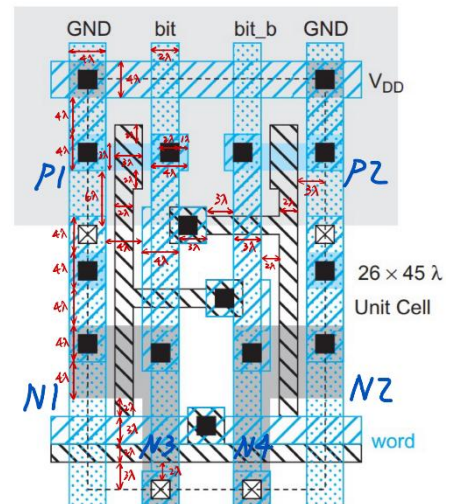
- (a) Draw the circuit schematic of the attached (Fig.1) layout. The signal name of each node shall be marked at the schematic. The area (26x45) shown in the figure is defined within the rectangular dash line.

以下是根據 Fig.1 Layout 所畫出來的 Schematic：



- (b) Indicate the **W/L ratio** (X.Y) and **AD/AS** (in terms of λ) of each transistor.

MOS	W/L	AD/AS
P1	$3\lambda/3\lambda$	$19\lambda^2/19\lambda^2$
P2	$3\lambda/3\lambda$	$19\lambda^2/19\lambda^2$
N1	$8\lambda/2\lambda$	$60\lambda^2/40\lambda^2$
N2	$8\lambda/2\lambda$	$60\lambda^2/40\lambda^2$
N3	$4\lambda/2\lambda$	$60\lambda^2/20\lambda^2$
N4	$4\lambda/2\lambda$	$60\lambda^2/20\lambda^2$



根據講義 p.3-19 Layout Design Rules (將Table 3.1 中 65nm 作為 2λ 做估算，有些可能有些誤差)可以推斷出以上結果，並且符合長寬 26×45 。

表格中的數值如右圖所標示，而面積的部分則是藉由標示的長度相乘或相加後的結果，例如：N1與N3(及N2與N4)共用Drain端，因此面積為 $8\lambda \times 5\lambda + 4\lambda \times 5\lambda = (40 + 20)\lambda^2 = 60\lambda^2$ 。

/* 32nm CMOS devices, $V_{DD} = 1V$, $W_{min} = 64nm$, $L_{min} = 32nm$; standard V_t */

2. Timing and power analysis

(a) Run SPICE to get the input and output capacitance of the circuit in Fig.1.

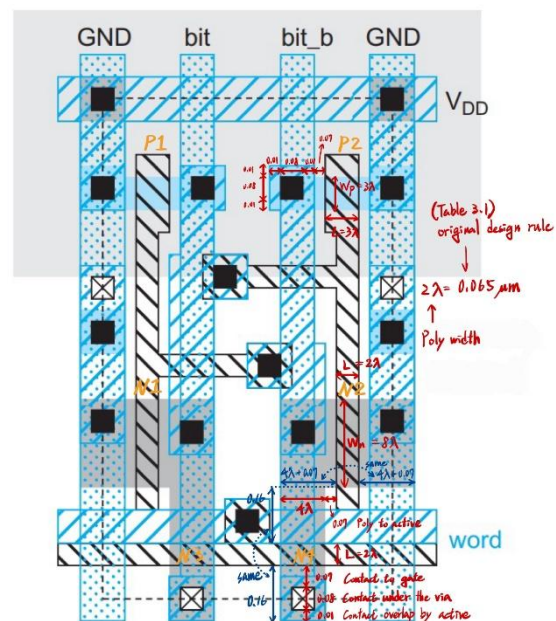
Keep word as 1, Q initial as 1/0, simulate Bit input 0/1 respectively. (2 scenario)

You shall estimate **reasonable AD, AS, PD and PS** using the micro rule listed in the page 3-19 (**Table 3.1**) of the note with **scale ratio (32/65)**. Explain the AD, AS, PD and PS used and **list the result in Table form**.

在此題當中，要使用 Table 3.1 進行 AD, AS, PD, PS 的估計，然而前面第一題使用 λ 作為單位長度進行估計，就僅只是粗估值而並非真正的物件大小與間距數值，所以不能直接將 λ 帶入某個數值進行計算。

由於此題的目標是計算出合理的 AD, AS, PD, PS 數值，所以僅需考慮有關 Active region, Contact, Poly 等相關的 Design rules，以下為我所使用到的 Design rules (註：助教表示在此 Layout 圖中對於 Metal 與 Diffusion 的考量就是會有機會比 Design rules 更小，因此在此說明我沒有考慮 Metal 的 Design rules)：

Active (diffusion)	2.1	Width	0.10
	2.2	Spacing to active	0.12
	2.3	Source/drain surround by well	0.15
	2.4	Substrate/well contact surround by well	0.15
	2.5	Spacing to active of opposite type	0.25
Poly	3.1	Width	0.065
	3.2	Spacing to poly over field oxide	0.10
	3.2a	Spacing to poly over active	0.10
	3.3	Gate extension beyond active	0.10
	3.4	Active extension beyond poly	0.10
	3.5	Spacing of poly to active	0.07
Contact (to poly or active)	5.1, 6.1	Width (exact)	0.08
	5.2b, 6.2b	Overlap by poly or active	0.01
	5.3, 6.3	Spacing to contact	0.10
	5.4	Spacing to gate	0.07



■ P/NMOS 的 L, W 計算：

按照題目要求方式將 Poly 的最小寬度 $0.065\mu m (= 65nm)$ 乘上 $32/65$ 後，最小寬度變為 $32nm$ 。因此得到圖中的四個 NMOS 的 L 皆為 $32nm$ 。 $(L_{N1} = L_{N2} = L_{N3} = L_{N4} = 32nm)$

接著為了保持在第一題的 W/L 比例，接下來剩下的所有 W 與 L 都會用 $\lambda = 32/2 = 16nm$ 進行估算，且僅用於 W 與 L 的估算，而不用於 AD, AS 等：

$$L_{P1} = L_{P2} = 3\lambda = 3 \times 16 = 48\text{nm}$$

$$W_{P1} = W_{P2} = 3\lambda = 3 \times 16 = 48\text{nm}$$

$$W_{N1} = W_{N2} = 8\lambda = 8 \times 16 = 128\text{nm}$$

另外，N3, N4 上的 Contact 在 Via 的正下方，計算 W_{N3} , W_{N4} 時要先考慮 Contact 寬度，以及 Active region 交疊超過 Contact 的最小寬度，因此：

$$(0.01 + 0.08 + 0.01) \times \left(\frac{32}{65} \times 10^3\right) = 49.23\text{nm}$$

可以發現此長度小於原先在第一題用的 $4\lambda = 4 \times 16 = 64\text{nm}$ ，因此我選擇改用原先設計的寬度，同樣可以符合 Design rules：

$$W_{N3} = W_{N4} = 4\lambda = 4 \times 16 = 64\text{nm}$$

▪ **PMOS 的 AD, AS, PD, PS 計算：**

由於 PMOS 的形狀並非簡單矩形，而是在 Gate 的區域有向內縮小寬度，因此要注意不讓突出的 Active region 被 Poly 相疊到(會生出新的 Gate)，需要考慮 Spacing of poly to active = 0.07：

$$AD_{P1} = AD_{P2} = AS_{P1} = AS_{P2}$$

$$= ((0.01 + 0.08 + 0.01)^2 + 0.07 \times W_P) \times \left(\frac{32}{65} \times 10^3\right)^2 = 4077.82\text{nm}^2$$

接著計算 PD, PS，雖然面積有向內縮，但是周長計算上不會因為向內縮而減少：

$$PD_{P1} = PD_{P2} = PS_{P1} = PS_{P2}$$

$$= 2 \times ((0.01 + 0.08 + 0.01) + (0.01 + 0.08 + 0.01 + 0.07)) \times \left(\frac{32}{65} \times 10^3\right)$$

$$= 265.85\text{nm}$$

▪ **NMOS 的 AD, AS, PD, PS 計算：**

由於 NMOS 的形狀皆為簡單矩形，因此計算 AD, AS 可以直接將 W 乘上 Drain, Source 的長度(但 N1, N2 仍會受到 Spacing of poly to active 影響 Active region 的長度)，同理 PD, PS 也是如此。

此部分的計算較為簡單，因此我直接列出計算結果(於下一頁)，估算細節可以看上一頁附圖中標示出的長度。

■ **MOS Parameters** :

(已將各項數值四捨五入至整數位)

MOS	W/L (nm)	AD/AS (nm ²)	PD/PS (nm)
P1	48/48	4,078/4,078	266/266
P2	48/48	4,078/4,078	266/266
N1	128/32	17,644/12,603	610/453
N2	128/32	17,644/12,603	610/453
N3	64/32	17,644/5,041	610/286
N4	64/32	17,644/5,041	610/286

■ **HSPICE Simulation Results** :

<pre> ***** operating point information tnom= 25.000 temp= 25.000 ***** ***** operating point status is all simulation time is 0. node =voltage node =voltage node =voltage +0:bit = 0. 0:bit_b = 1.0000 0:q = 999.9989m +0:q_b = 1.1262u 0:vdd = 1.0000 0:word = 1.0000 maximum nodal capacitance= 1.054E-15 on node 0:q_b nodal capacitance table node = cap node = cap node = cap +0:bit = 170.6096a 0:bit_b = 125.0328a 0:q = 925.1226a +0:q_b = 1.0538f 0:vdd = 795.2473a 0:word = 135.6932a </pre>	<pre> ***** operating point information tnom= 25.000 temp= 25.000 ***** ***** operating point status is all simulation time is 0. node =voltage node =voltage node =voltage +0:bit = 1.0000 0:bit_b = 0. 0:q = 1.1262u +0:q_b = 999.9989m 0:vdd = 1.0000 0:word = 1.0000 maximum nodal capacitance= 1.054E-15 on node 0:q nodal capacitance table node = cap node = cap node = cap +0:bit = 125.0328a 0:bit_b = 170.6096a 0:q = 1.0538f +0:q_b = 925.1226a 0:vdd = 795.2473a 0:word = 135.6932a </pre>
--	---

(Scenario 1)

(Scenario 2)

根據.lis 檔中的模擬結果，所得之輸入與輸出電容如下表：

Scenario 1 - Q initial as 1.0V (Q_b=0V), simulate Bit input 0V (Bit_b=1.0V)		
I/O Port		Capacitance
Inputs	word	135.69 aF
	bit	170.61 aF
	bit_b	125.03 aF
Outputs	q	925.12 aF
	q_b	1.0538 fF

Scenario 2 - Q initial as 0V (Q_b=1.0V), simulate Bit input 1.0V (Bit_b=0V)		
I/O Port		Capacitance
Inputs	word	135.69 aF
	bit	125.03 aF
	bit_b	170.61 aF
Outputs	q	1.0538 fF
	q_b	925.12 aF

觀察模擬結果，因為模擬時只設置了 W, L, AD, AS, PD, PS 等參數，沒有包含 Metal 與 Poly, Contact, Via 的位置與形狀資訊，因此電路看起來會是一個完全對稱的結構，而兩個模擬情況給予的輸入正好相反，測得的電容數值就會一模一樣只是出現在對稱的另一邊。

- (b) With input signal like a pulse clock waveform with duration of 3ns (with $t_r = 0.1\text{ns}$ and $t_f = 0.1\text{ns}$ defined as 0%-100%), run spice (6ns) to get the t_{pdf} , t_{pdr} , t_r , t_f of the schmitt trigger in HW1 (Circuit I).

根據講義 4-10 所定義的 Switching characteristics： t_r 為輸出電壓從 10% 升到 90% 穩態電壓所花時間、 t_f 為輸出電壓從 90% 降到 10% 穩態電壓所花時間、 t_{pdf} 與 t_{pdr} 則是 50% input level 到 50% output level 所花時間。

■ HSPICE Simulation Results :



.TITLE '* nycu iee dic 1132 homework 2'					
tpdf	tpdr	tr	tf	temper	alter#
1.433e-11	1.297e-11	1.043e-11	9.591e-12	25.0000	1

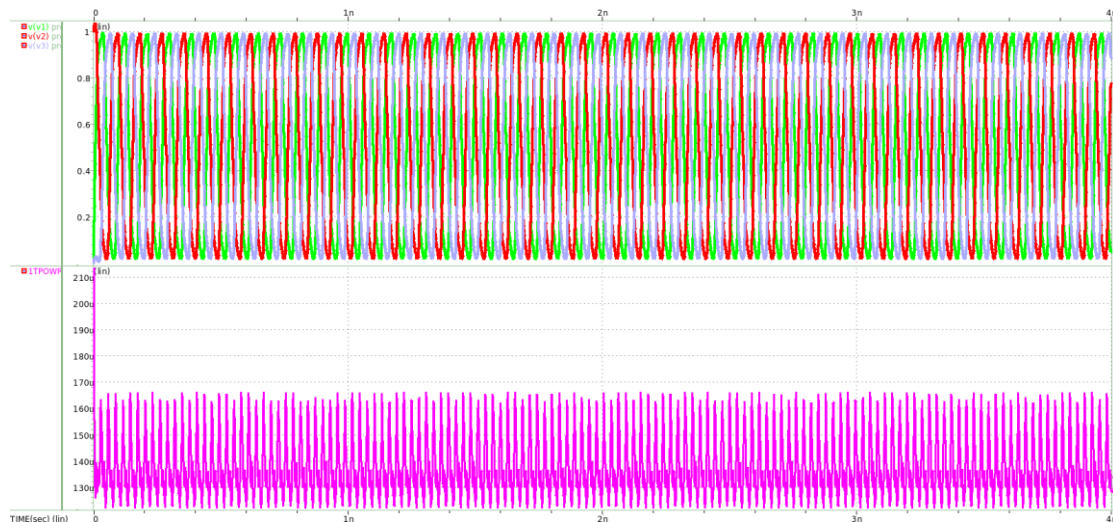
Name	t_{pdf}	t_{pdr}	t_r	t_f
Time	14.33 ps	12.97 ps	10.43 ps	9.59 ps

在輸出的 .mt0 檔案中可以看到測試結果(.lis 檔案中也有資訊但 .mt0 較簡潔)，可觀察到沒有負載的情況下充放電速度非常快。

雖然 inverter 的結構可能不一樣，但還是可以簡單的跟講義上 4-13 範例數據做比較，會發現正好介於 .18/.13 μm 製成的速度(約 20~30ps) 與 40/28nm 製成的速度(約 3ps)之間。

- (c) Do the timing and power analysis of a **three-stage-Schmitt trigger** as a ring oscillator. Run Spice (4ns) to get the **timing** (t_{pdf} and t_{pdr}) and **power waveform**. Then list in table form with the **clock period**, t_{pdf} , t_{pdr} , t_r , t_f , **average power**, **peak power** and **leakage power dissipation** of the ring oscillator. **Discuss why the t_{pdf} , t_{pdr} , t_r , t_f is different from that of part (b).**

■ **Timing and Power waveform** :



■ **Clock, Time and Power** :

藉由測量第一級的 Schmitt trigger circuit，用同上的模擬方法可以測得 clock period, t_{pdf} , t_{pdr} , t_r , t_f , average power, peak power 等數據：

.TITLE '* nycu iee dic 1132 homework 2'				
tpdf	tpdr	tr	tf	
1.563e-11	1.442e-11	1.710e-11	2.340e-11	
clk_period	avg_power	peak_power	temper	alter#
8.837e-11	1.379e-04	2.132e-04	25.0000	1

但是如果要測試 Leakage power dissipation 的話，由於 Three-stage-Schmitt trigger ring oscillator 沒有辦法達到真正的穩態，無法測得“穩態”時流過 V_{DD} 的電流，因此必須先將 ring oscillator 打斷，再用 .op 測得 Leakage power：

```
***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node    =voltage    node    =voltage    node    =voltage
+0:v1   = 3.2838p 0:v2   = 1.0000 0:v3   = 119.7763p
+0:v4   = 999.9665m 0:vdd  = 1.0000 1:vn   = 723.8257m
+1:vp   = 999.9716m 2:vn   = 37.3136u 2:vp   = 290.8549m
+3:vn   = 723.8040m 3:vp   = 999.9666m

**** voltage sources

subckt
element 0:vdd
volts 1.0000
current -277.2704n
power 277.2704n

total voltage source power dissipation= 277.2704n watts
```

因此，經過 HSPICE 模擬後得到的數據如下：

Clock period	t_{pdf}	t_{pdr}	t_r	t_f	Average Power	Peak Power	Leakage Power
88.37 ps	15.63 ps	14.41 ps	17.10 ps	23.40 ps	137.93 μ W	213.17 μ W	277.27 nW

▪ Discussion about t_{pdf} , t_{pdr} , t_r , t_f :

藉由比較兩者的數據，可以發現每一項數值都是增加的：

Single	t_{pdf}	t_{pdr}	t_r	t_f
	14.33 ps	12.97 ps	10.43 ps	9.59 ps
3-Stage	t_{pdf}	t_{pdr}	t_r	t_f
	15.63 ps	14.41 ps	17.10 ps	23.40 ps
Difference	+1.30 ps	+1.44 ps	+6.67 ps	+13.81 ps

增加的原因其實很合理，因為輸出端原先是沒有任何負載的，所以充放電速度非常快，但是 3-Stage 的電路串接了多個 Schmitt trigger circuit 後，輸出端負載就會增加各種與 Gate 相關的電容，且一次就是四顆 MOS 的 Gate 端電容並聯到負載上。

基於這樣的原因，不論是 propagation delay time 還是 rise, fall time 都會有所增加，而 rise 與 fall time 尤其明顯的上升，就是為了充放輸出端負載的這些電容。以上就是(b)(c)兩者會有差異的原因。