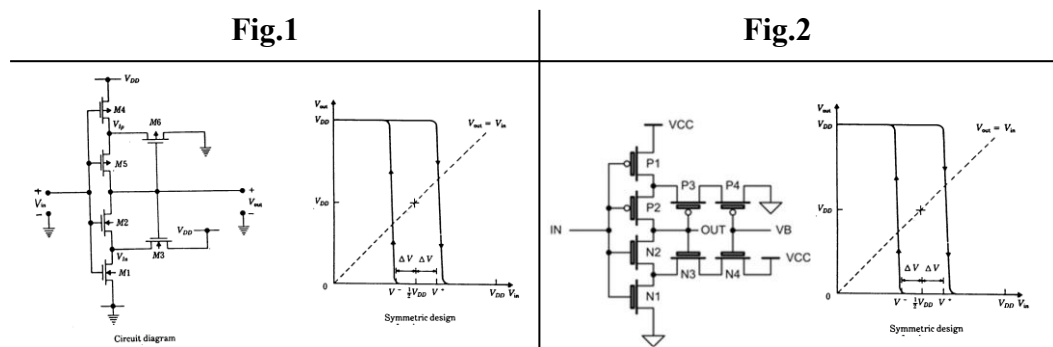


Digital Integrated Circuits homework 1 陳柏翔 313510156

(Spec: $L_{min} = 32\text{nm}$, $V_{DD} = 1\text{V}$, $W_{min} = 64\text{nm}$, with resolution of 1nm .)

- (1) Design a CMOS Schmitt trigger circuit shown at Fig.1 using **medium** V_t such that $V_{out} = 0.5 V_{DD}$ when $V^+ = 0.51 \sim 0.54 V_{DD}$, $V^- = 0.46 \sim 0.49 V_{DD}$ and both rising and falling ΔV are the same. Fig.2 ($V_{DD} = V_{CC}$) proposes an extra bias voltage V_B and extra transistors P4 and N4 to control the two threshold voltages V_L and V_H .



- (a) Give the **W/L** of each device and V^+ , V^- (in table form) of the circuits at Fig.1/Fig.2. Discuss your **design procedures** to determine the size of each transistor.

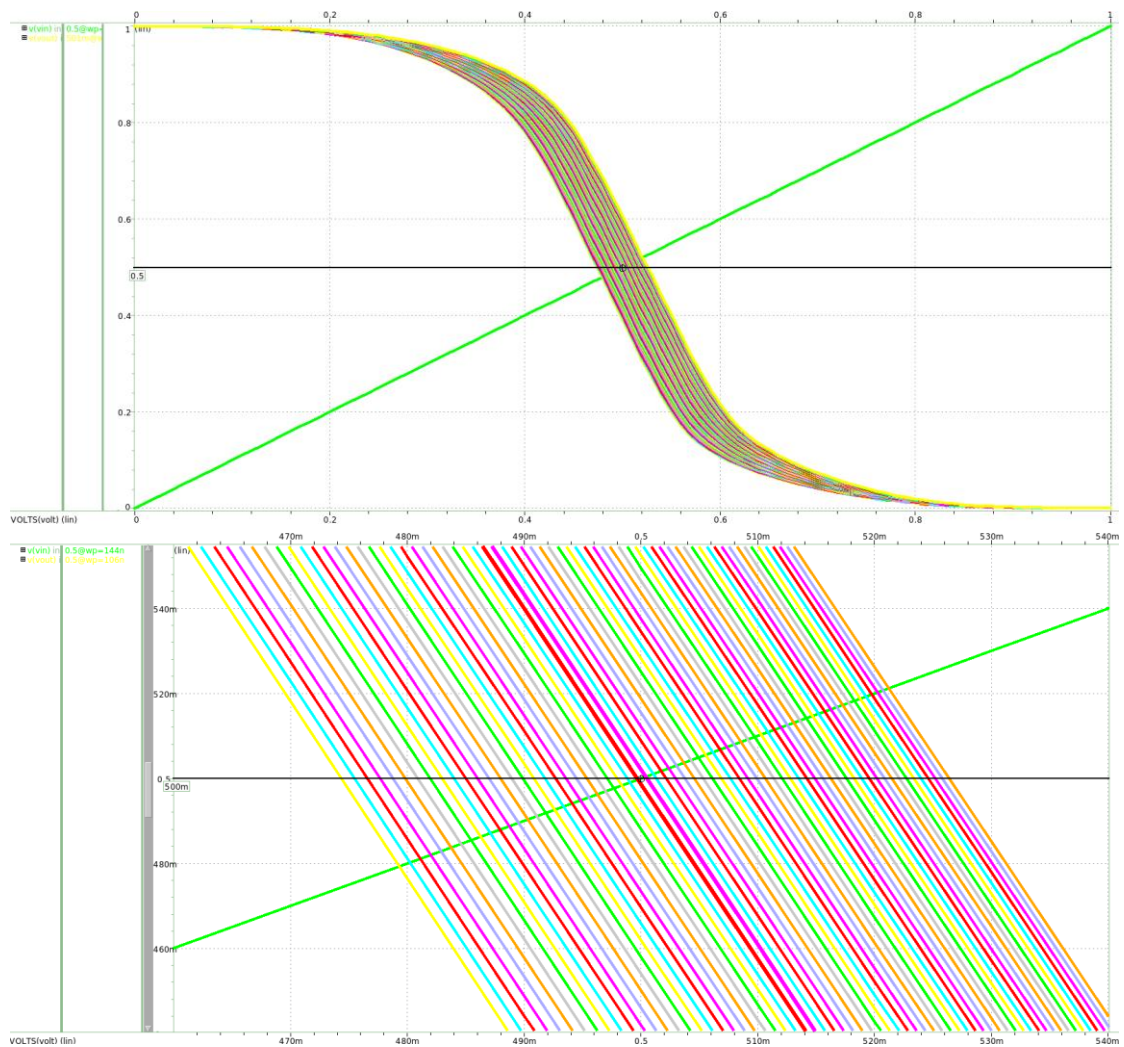
▪ 決定 P/NMOS 初版寬度：

在設計 Schmitt trigger circuit 前，從其中的核心部分開始設計，即普通的 Inverter。因此我的第一步是要決定 Inverter 的 W_n 與 W_p ，能夠使 $V_{in} = 0.5 V_{DD}$ 時所對應的 $V_{out} = 0.5 V_{DD}$ 。

為了達到這個目的，流經 Inverter 的 PMOS 與 NMOS 的 I_{DS} 就必須要相等(否則 V_{out} 無法維持在 $0.5 V_{DD}$)。而 I_{DS} 可以由電晶體的寬度 W_p 與 W_n 來控制， L 雖然也可以調整，但是一顆 IC 的製程基本上不太會發生每顆電晶體的 L 都不同這樣的事，所以我統一設置 $L = L_{min}$ 。

我首先決定 W_n ，由於面積與成本有密切的相關性，因此我希望寬度設置得越小越好，而在此作業中最小寬度的限制為 $W_{min} = 64\text{nm}$ ，因此我設置 $W_n = 64\text{nm}$ 。

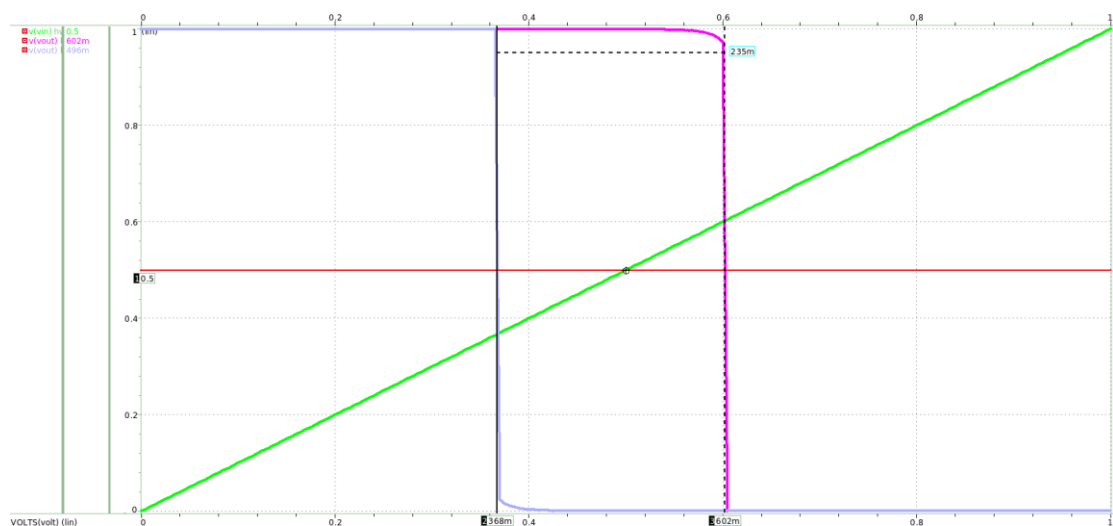
接著是決定 W_p ，由於電洞移動速率係數 μ_p 較電子移動速率係數 μ_n 慢(約慢 2 倍)，因此我使用 HSPICE 測量 $V_{in} = 0 \sim 1.0\text{V}$ 時所得到的 V_{out} ，並同時掃描 $W_p = 1.25 W_n \sim 2.25 W_n$ 的範圍來找到最適合的 W_p ：



測量結果顯示當 $W_p = 106nm$ 時最接近期望得到的結果。經過以上過程決定好了預設的 W_n 與 W_p 值，同時也確定了 M2 與 M5 的寬度。

▪ 決定 M1, M3, M4, M6 的寬度：

根據前一步驟的設定，我首先將 Schmitt trigger circuit 中的所有 PMOS 及所有 NMOS 的寬度統一設置為 $W_p = 106nm$ 與 $W_n = 64nm$ ，並用 DC 分析對於改變 V_{in} 所得到的 V_{out} 結果如下：



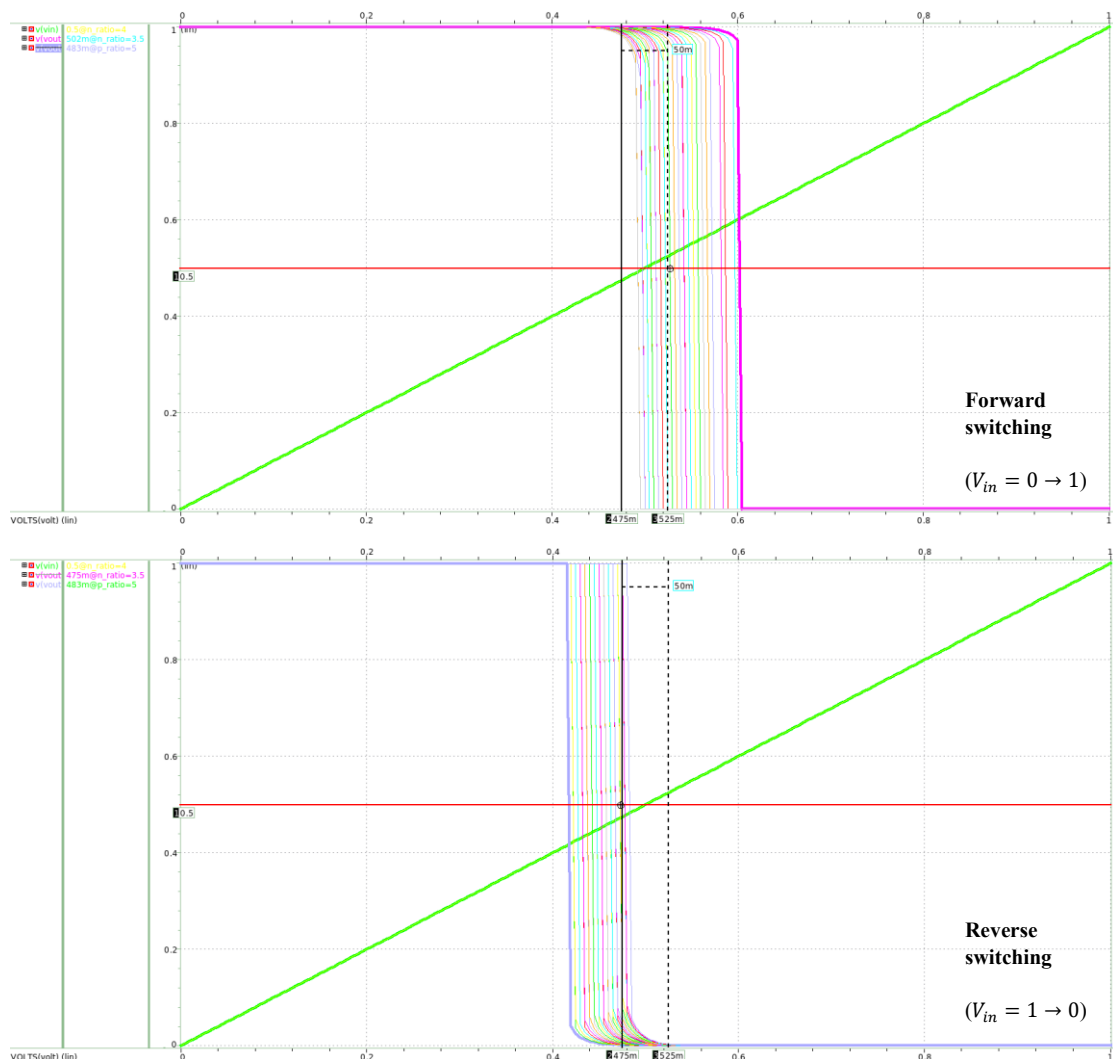
得到的 $V^+ = 0.602V$, $V^- = 0.368V$ 不符合題目的要求。因此要從講義中推導的公式分析該如何調整寬度，以達到 $V^+ = 0.51 \sim 0.54 V_{DD}$, $V^- = 0.46 \sim 0.49 V_{DD}$ ：

$$V^+ = \frac{V_{DD} + \sqrt{\frac{\beta_1}{\beta_3}} V_{T2}}{1 + \sqrt{\frac{\beta_1}{\beta_3}}} \Rightarrow \frac{\beta_1}{\beta_3} = \frac{W_1}{W_3} = \left(\frac{V_{DD} - V^+}{V^+ - V_{T2}} \right)^2 \Rightarrow \text{if } \frac{\beta_1}{\beta_3} \downarrow \text{ then } V^+ \uparrow$$

由於原先的 V^+ 有過高的現象，要使其下降就需要將 β_1/β_3 的比例調高，且因為預設 W_n 已經是以最小寬度去設置的，所以需要將 W_1 調大。

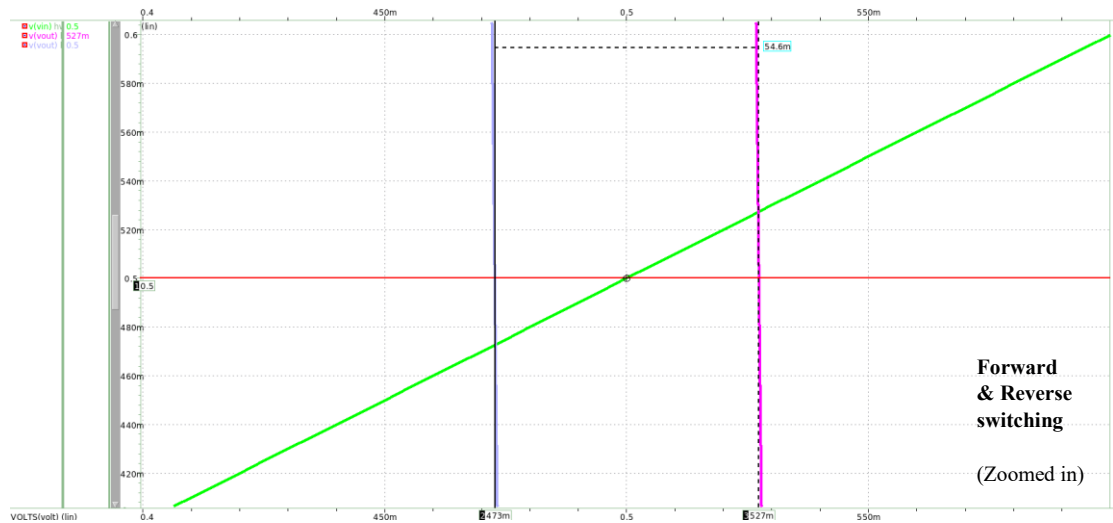
以上的推導是針對 V^+ ，也就是 NMOS 的部分做討論，而在 PMOS 的部分其實就同理於 NMOS，改將 M4 的寬度調大，能夠使得原先過低的 V^- 增加。

我首先設置比例變數 $n_ratio = W_1/W_3$ 與 $p_ratio = W_4/W_6$ ，並同樣用 DC 分析掃描 $n_ratio = 1 \sim 4$ 以及 $p_ratio = 2 \sim 5$ ，找出大概要的比例值後，再直接調整 M1 與 M4 的寬度做模擬：



(針對比例變數做掃描的結果，幫助我先找出大概的寬度值。)

接著我以 $V^+ = 0.525V$, $V^- = 0.475V$ 為目標，經過多次微調後所得最終結果如下，雖然有微小誤差但已經非常接近我的目標：



■ Design of Fig.1 circuit:

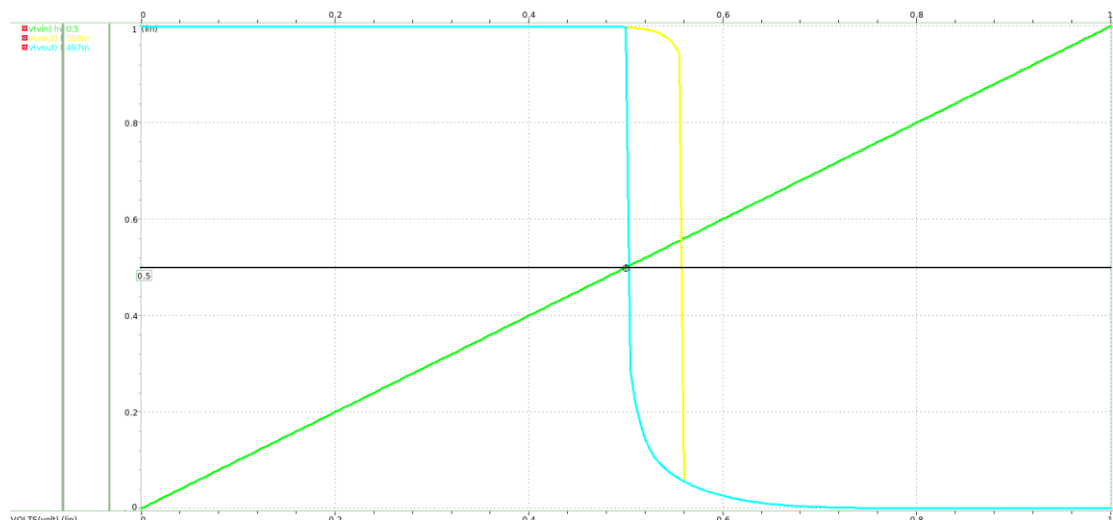
Size \ MOS	M1(N)	M2(N)	M3(N)	M4(P)	M5(P)	M6(P)	V^+	V^-
Width	190 nm	64 nm	64 nm	580 nm	106 nm	106 nm	0.473V	0.527V
Length	32 nm	32 nm	32 nm	32 nm	32 nm	32 nm	---	---

以上是我對於 Fig.1 電路的設計，而完整的模擬結果應作業題目要求，將附於(b)小題。

■ 用 Bias Voltage 控制 V^+ 與 V^- :

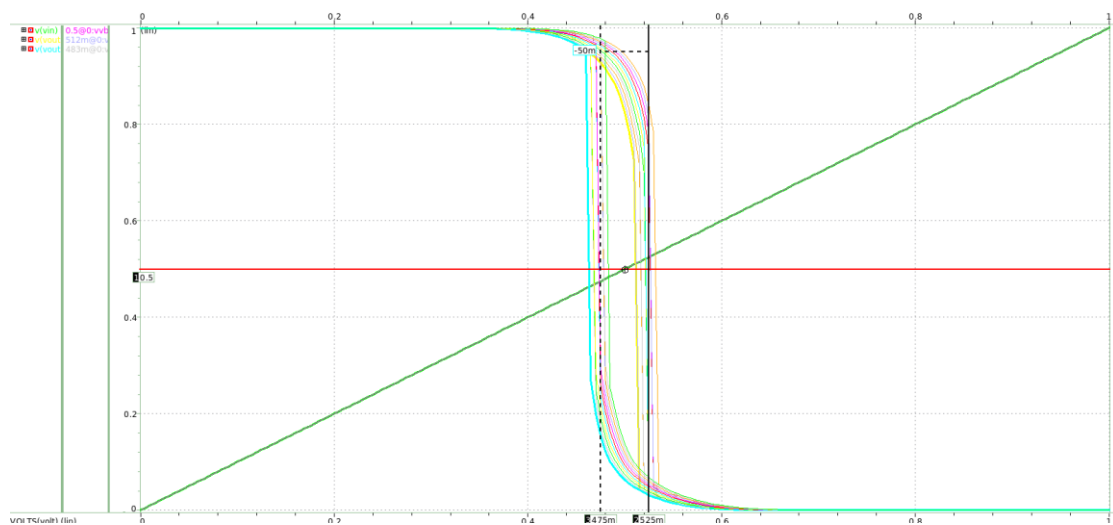
討論完 Fig.1 的電路後，接著要討論 Fig.2 的電路，並了解如何使用 V_B 控制 V^+ , V^- 兩個 thresholds。

首先，考慮到在 PMOS 部分 P3, P4 串聯、而 NMOS 部分 N3, N4 串聯，所以它們各自流經的電流大小會相等，因此我將寬度設置為 $W_{p3} = W_{p4}$ 以及 $W_{n3} = W_{n4}$ 。再來如同先前設計 Fig.1 的電路用一樣的步驟，我先將所有 PMOS 的寬度統一設為 $W_p = 106nm$ 、 $W_n = 64nm$ 做測量：



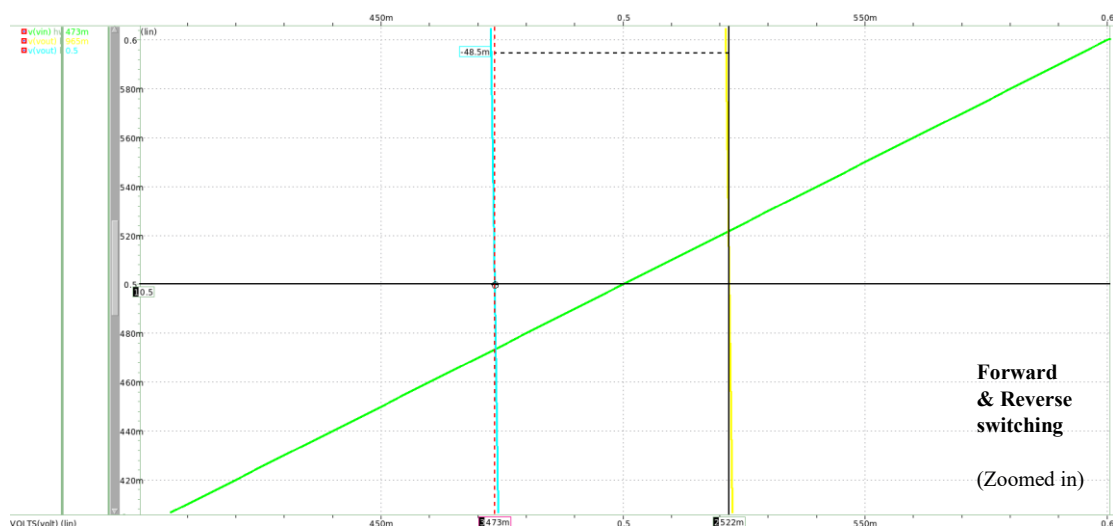
上圖的實驗是設置 $V_B = V_{DD}$ 所得的結果，接著與當初 Fig.1 的電路結果比較可以發現 V^+ 與 V^- 的間隙(即 ΔV)較小，且有明顯偏向右邊的跡象。

為解決以上問題，首先從 Fig.2 的結構來看觀察到 V_B 如果越大，則 N4 就越接近飽和、P4 則越接近關閉，使得 Forward switching 越貼近原先 Fig.1 電路的狀況，但 Reverse switching 則否(就是造成偏右邊的原因)，因此想要不偏任何一邊就要將 V_B 靠近往 $0.5V$ 的位置，我使用 DC 分析掃描不同的 V_B 來找到最佳的置中點：



我找到最佳 $V_B = 0.56V$ ，而這邊得到一個結論，就是 V_B 可以決定偏壓的位置，利於用來使 ΔV 相等。

再來考量 ΔV 較小的情況，可以透過先前一樣的做法，調整 W_1/W_3 來讓 ΔV 增大，但不同於先前間距過大的情況，這邊是間距過小所以要將 W_3 調大。最終結果如下：



▪ **Design of Fig.2 circuit:**

Size \ MOS	P1	P2	P3	P4	V_b	---
Width	106 nm	106 nm	212 nm	212 nm	0.56V	---
Length	32 nm	32 nm	32 nm	32 nm	---	---
Size \ MOS	N1	N2	N3	N4	V^+	V^-
Width	64 nm	64 nm	128 nm	128 nm	0.473V	0.522V
Length	32 nm	32 nm	32 nm	32 nm	---	---

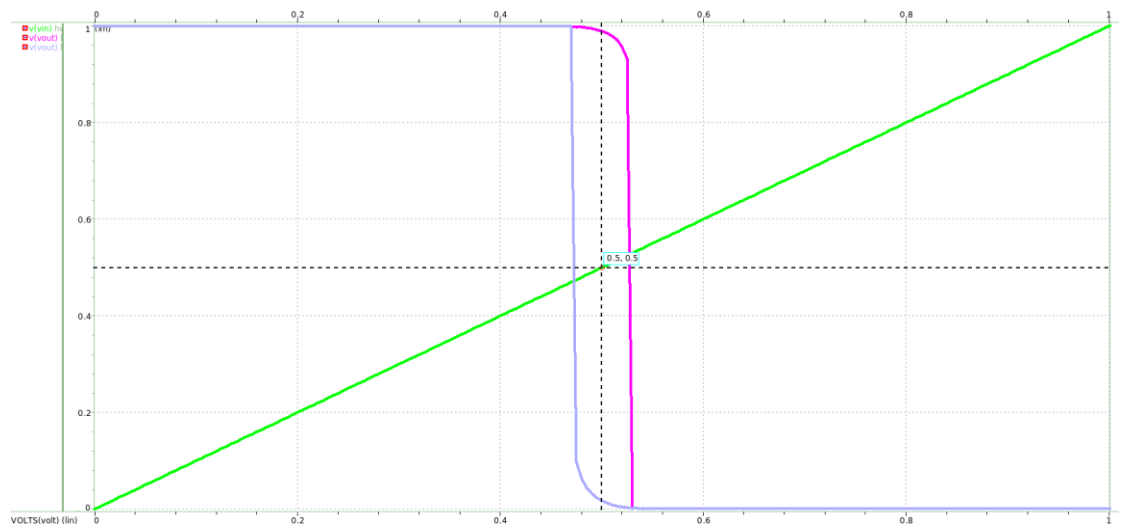
以上是我對於 Fig.2 電路的設計，而完整的模擬結果應作業題目要求，將於附於(b)小題。

- (b) Run SPICE to verify your results. Your report must have the figures of **VTC** and **I_{sc} (current from V_{DD} to GND) vs V_{in}** .

以下是我的最終設計的 HSPICE 分析結果，VTC 中間放大的圖以及 V^+ , V^- 數值已於前面的(a)小題中討論完畢。

▪ **Fig.1 Circuit**

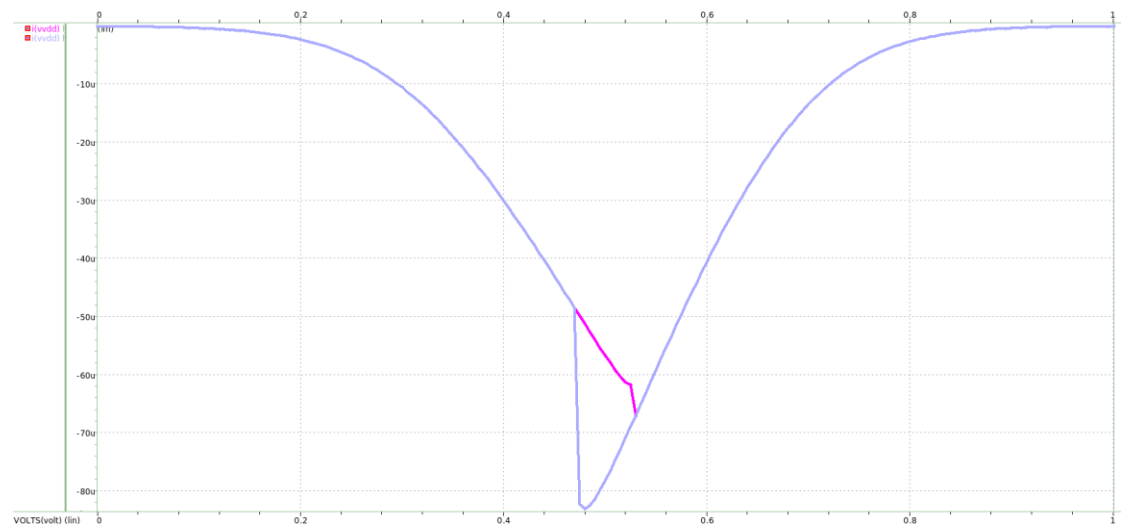
VTC diagram :



I_{sc} (Current from V_{DD}) vs V_{in} :

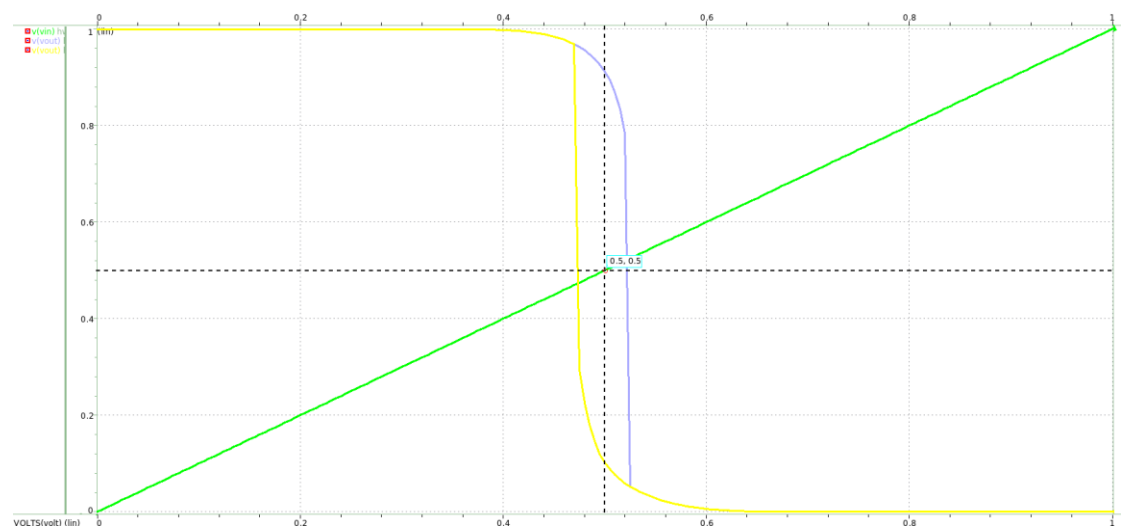
(next page)

I_{SC} (Current from V_{DD}) vs V_{in} :



■ Fig.2 Circuit

VTC diagram :



I_{SC} (Current from V_{DD}) vs V_{in} :

