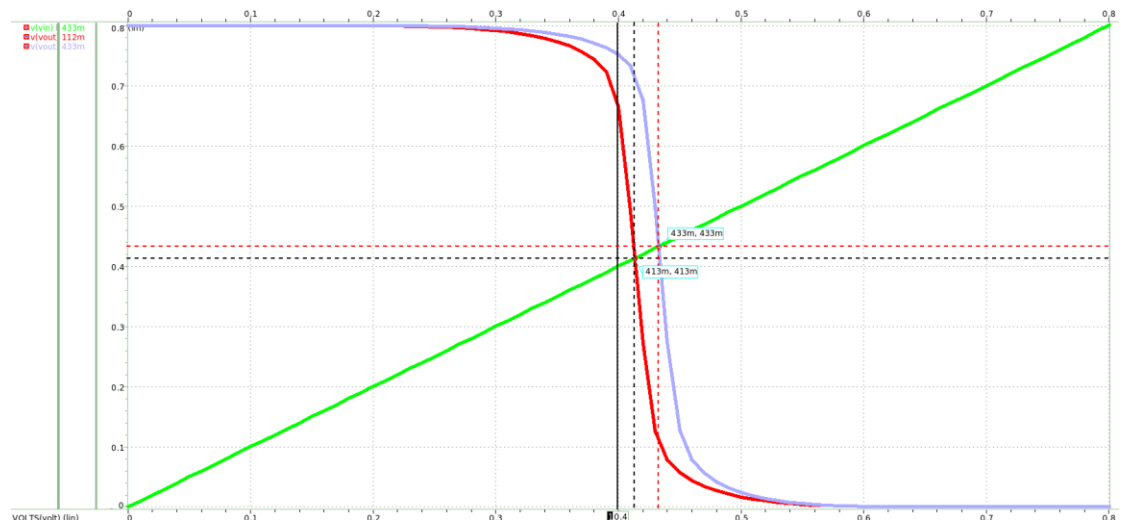


Digital Integrated Circuits homework 3 電子所 陳柏翔 313510156

1. Inverter and Ring oscillator (50%)

(a) Inverter (20%)

Keep a unit size inverter with NMOS $n=1$ and choose the n of PMOS for $n=1$ and 2. Run SPICE to show the logic threshold voltage. Verify and discuss your results by showing simulated waveforms.



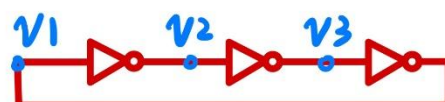
上圖為實驗結果，首先將NMOS的 n_{fin} 個數固定設置為 1，將PMOS 的 n_{fin} 設置為 1 的話會得到左曲線(紅色線)、而將PMOS的 n_{fin} 設置為 2 的話會得到右曲線(藍色線)，測量結果如下：

NMOS n_{fin}	PMOS n_{fin}	Logic Threshold
1	1	0.413 V
1	2	0.433 V

觀察以上實驗結果可以發現，如果PMOS設置得較寬(較多 fins)會使從 V_{DD} 留下來的電流較大，造成Logic threshold較高；而當N/PMOS的 n_{fin} 皆設置為 1 的話Logic threshold較接近 $(1/2)V_{DD}$ ，且 n_{fin} 較少也意味著面積較小，根據這樣的結果與理由，我接下來選擇將N/PMOS的 n_{fin} 皆設置為 1。

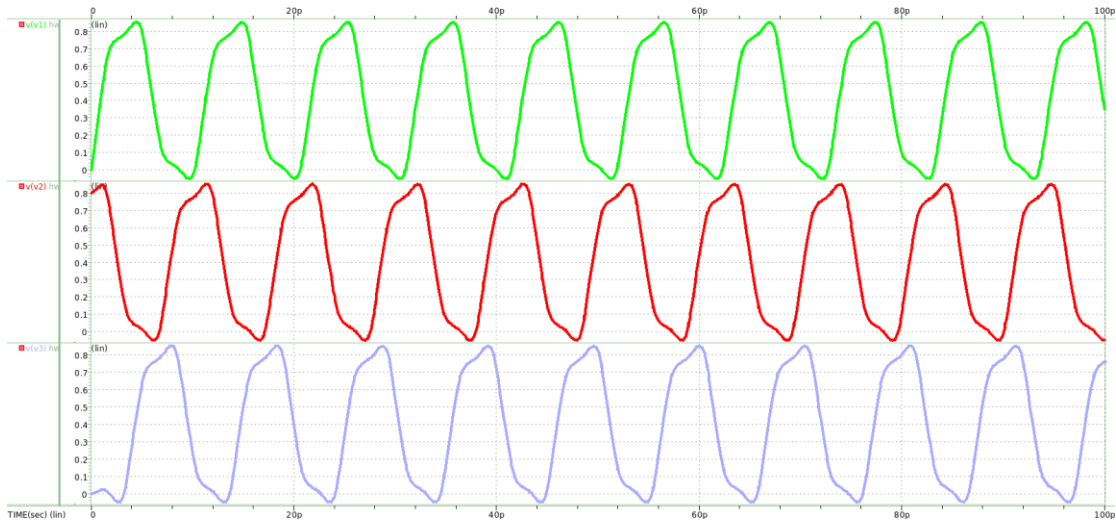
(b) Ring oscillator (30%)

According to the results of 1(a), design a 3-stage inverter-based ring oscillator with unit size inverter of a better logic threshold voltage. Set the initial voltage of each node so that it can oscillate. Show in table form, the SPICE simulation results of oscillation frequency and power consumption.

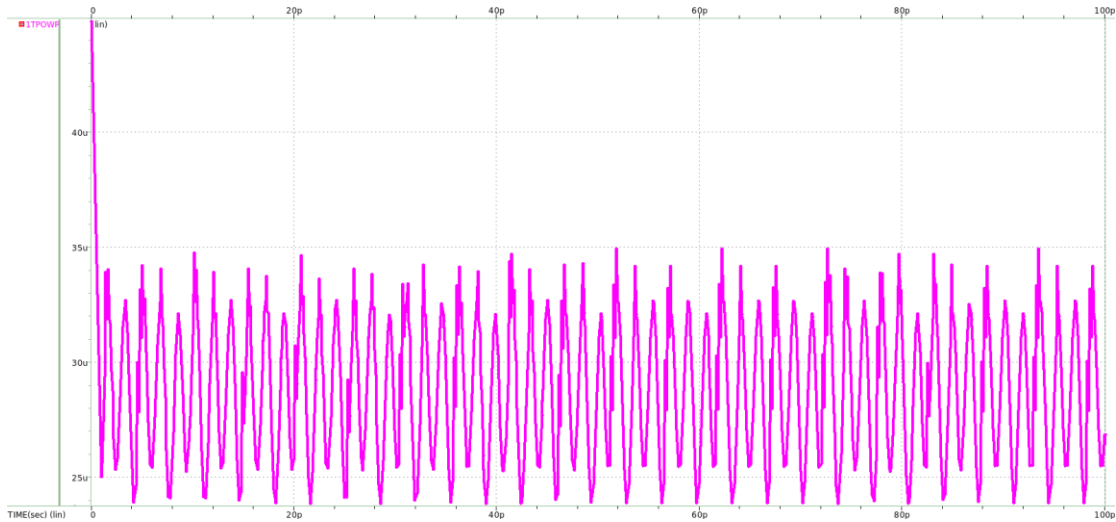


按題目要求根據1(a)的結果，能得到較好的Logic threshold的N/PMOS之nfin比例為 1: 1。且題目沒有要求oscillator有更高的震盪頻率或其他要求，所以我的設計就將N/PMOS的nfin皆設置為 1，這樣能具有較小的面積，且擁有較好的Logic threshold。下方為Transient模擬100ps的結果：

Voltage (3 nodes) waveform:



Power waveform:



Oscillation frequency and power consumption:

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
avg_power= 29.2002u from= 5.0000p to= 100.0000p
peak_power= 34.9413u at= 37.9528p from= 5.0000p to= 100.0000p
clk_period1= 10.4197p targ= 21.7090p trig= 11.2893p
clk_period2= 10.4149p targ= 28.6508p trig= 18.2359p
clk_period3= 10.4144p targ= 25.1791p trig= 14.7646p
clk_freq1= 95.9720g
clk_freq2= 96.0164g
clk_freq3= 96.0206g

***** job concluded

***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node =voltage node =voltage node =voltage
+0:v1 = 9.9124f 0:v2 = 799.9995m 0:v3 = 762.4462n
+0:v4 = 799.9996m 0:vdd = 800.0000m 0:vss = 0.

**** voltage sources
subckt
element 0:vgn0 0:vd00
vols 0. 800.0000m
current 440.5955p -441.3860p
power 0. 353.2694p
total voltage source power dissipation= 353.2694p watts

***** operating point information tnom= 25.000 temp= 25.000 *****
***** operating point status is all simulation time is 0.
node =voltage node =voltage node =voltage
+0:v1 = 800.0000m 0:v2 = 762.4351n 0:v3 = 799.9995m
+0:v4 = 799.9996m 0:vdd = 800.0000m 0:vss = 0.

**** voltage sources
subckt
element 0:vgn0 0:vd00
vols 0. 800.0000m
current 551.6713p -546.1750p
power 0. 436.9400p
total voltage source power dissipation= 436.9400p watts
```

Average Power	Peak Power	Leakage Power ($v_1 = 0$)	Leakage Power ($v_1 = V_{DD}$)
29.20 μW	34.94 μW	353.27 pW	436.94 pW
Oscillation Frequency (node v1)	Oscillation Frequency (node v2)	Oscillation Frequency (node v3)	
95.97 GHz	96.02 GHz	96.02 GHz	

以上結果中所測量的震盪頻率以及功耗分析，都按照與Homework 2 相同的方式進行測量。同樣的，在模擬的最開始($t=0$.)電壓會有一個非常高的Peak，我認為不應該考慮進來，因此我在測量Power的時候是從 5 ps 以後開始測量；而在測量Leakage power的時候則是將 v_1 節點打斷以進行穩態的直流功耗分析。

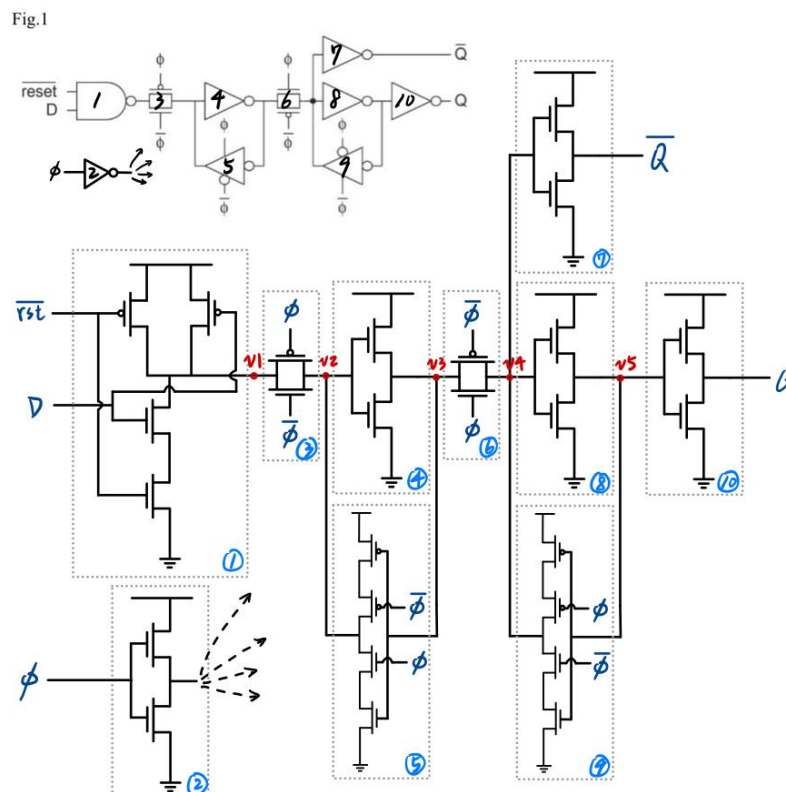
最後，跟Homework 2的Ring Oscillator進行比較的話，可以發現震盪的週期快了約 9 倍、功耗縮小約 5 倍，顯示較先進的製程整體都能有明顯較好的結果。

2. Design a static **D register** as shown in Fig.1 with propose size of NMOS and PMOS to have better t_{setup} , t_{pcq} , t_{pdq} (此題不存在) and t_{hold} time. The loading of Q and Q- have 2 unit size inverters as loading. Both D and CLK has rise time and fall time of **0.1ns** (0V-0.8V). (50%)

- (a) Explain your sizing principle of each MOS to have least t_{setup} , t_{pcq} , t_{pdq} (此題不存在) and t_{hold} time for register 1 and 0.

• 理論分析：

首先我對題目Fig.1的Schematic做展開，畫成電晶體層級的電路圖。其中我使用Static CMOS的架構畫成NAND閘、並依照Ch6 Fig.6.15展開 Tristate inverter (C^2 MOS Latch)，並額外加上製造 $\bar{\phi}$ 訊號的Inverter。所得結果如下圖：



Timing specifications for register 1 ($D = 1$) : (assume $\overline{rst} = 1$)

CLK	D	v_1	v_2	v_3	v_4	v_5	Q
0	0	1	1	0	x	x	x
0	1	0	0	1	x	x	x
1	1	0	0	1	1	0	1

- $T_{setup\ 1}$: 這段期間發生於第一列改變到第二列的狀態，CLK維持在 0，而D從 0 升至 1 對 v_1 及 v_2 節點放電，Cell 4 (Inverter)則對 v_3 節點充電，因此考量負責運作的元件為Cell 1, 3, 4，此段時長應為 $Delay_1 + Delay_3 + Delay_4$ 。
- $T_{hold\ 1}$: 如果考量CLK已經完整拉升至 1 的情況下，因為Cell 3 (Transmission gate)已經關閉，D訊號改變不會影響到 v_2 節點電壓，所以如同講義Ch6 p.6-16所寫，此段時長為 0、沒有hold time。
- $T_{pcq\ 1}$: CLK從 0 變為 1 到輸出Q變為 1 所花的時間，若考慮CLK是理想地立即變為 1，則Cell 3會關閉、Cell 6開啟，觀察會發現從電壓儲存點 v_3 到輸出Q間路徑上運作的元件為Cell 6, 8, 10，此段時長應為 $Delay_6 + Delay_8 + Delay_{10}$ 。

Timing specifications for register 0 ($D = 0$) : (assume $\overline{rst} = 1$)

CLK	D	v_1	v_2	v_3	v_4	v_5	Q
0	1	0	0	1	x	x	x
0	0	1	1	0	x	x	x
1	0	1	1	0	0	1	0

- $T_{setup\ 0}$: 與Setup time 1基本上一致，只是前面所提的充電、放電行為相反過來，運作的元件同樣為Cell 1, 3, 4，故此段時長應為 $Delay_1 + Delay_3 + Delay_4$ 。
- $T_{hold\ 0}$: 如果考量CLK已經完整拉升至 1 的情況下，因為Cell 3 (Transmission gate)已經關閉，D訊號改變不會影響到 v_2 節點電壓，所以如同講義Ch6 p.6-16所寫，此段時長為 0，沒有hold time。
- $T_{pcq\ 0}$: 同樣的Cell 3會關閉、Cell 6會開啟，觀察會發現從電壓儲存點 v_3 到輸出Q間路徑上運作的元件為Cell 6, 8, 10，此段時長應為 $Delay_6 + Delay_8 + Delay_{10}$ 。

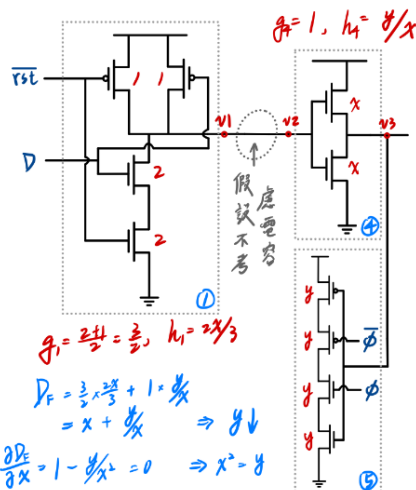
藉由以上的討論，會發現主要需要討論的是如何縮短Setup time與Clock to Q propagation delay，且不論是D為 0 還是 1 的情況Delay都是一樣的算法，因此為了不偏頗 0 或 1 任何一邊，對於N/PMOS寬度比例(fins個數比例)最好的設計方法，就是維持第一題得到的結果，也就是 $n_{finPMOS} : n_{finNMOS} = 1 : 1$ 。

• Sizing - T_{setup} part :

首先，Setup time是 $Delay_1 + Delay_3 + Delay_4$ ，路徑上需要充放電的電容就會包含：“D端看到的Gate端電容”、“Cell 3的S/D端電容”、“Cell 4的Gate端電容+Cell 5輸出端電容”、“Cell 6的Source端電容+Cell 5的Gate端電容”。

由於這些電容難以完整考慮到計算中，所以先討論難以計算但可以直覺考量的電容，就是往Cell 3, 6看到 Transmission gate(TG)的Source或Drain端電容，基於過去學過的電容計算方式可以知道其正相關於AD, AS, PD, PS，也就會因此正相關於fin的個數；同時，由於CLK看到的Gate端電容也會正相關於fin個數，因此如果想降低各端看進來的電容大小以提升充放電速度，就不能將nfin設置太多。此外設置較少的好處還有讓通過的電流較小，這樣在CLK上升至1時就較能關住TG，但相對的缺點就是會使得對 v_2 節點的充放電速度也較慢，但綜合考量下我仍決定將TG的nfin皆設置為1。

為了簡化計算，接下來都先不考慮Parasitic delay，而是以Effort delay為主。接著先假設Cell 1 (NAND)的size為最小的情況，即PMOS為1 (nfin=1)，NMOS因為串聯所以設為2倍(nfin=2)，再暫時忽略 v_1 節點所看到的電容以及 v_3 節點右端的TG電容。假設Cell 4 size = x 、Cell 5 size = y ，計算Effort delay就會變成以下：



$$D_F = f_1 + f_4 = g_1 h_1 + g_4 h_4 = x + \frac{y}{x}$$

→ y 越小越好，設置 y 的 nfin=1。

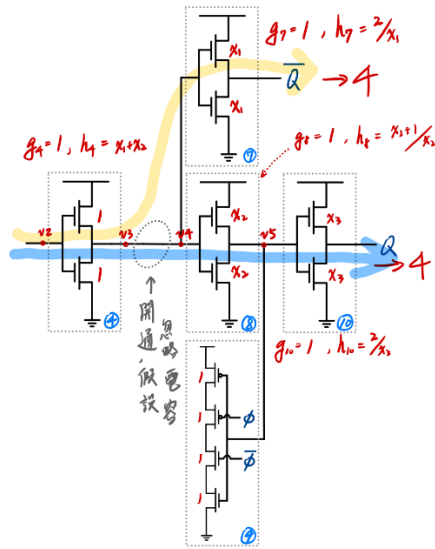
→ 對 x 偏微分找最低點，
解得 $x^2 = y$ ，設置 x 的 nfin=1。

其中值得討論的是，Cell 5不需要因為MOS串聯而將size設置為2，這是因為Cell 5在此電路中的作用是負責在Cell 3關閉後保持 v_2 的電壓，因為僅只是為了保持電壓做使用，所以不需要大寬度來引入電流幫 v_2 充電。此外如果提升了寬度反而會造成主傳遞路徑上電容增加，進而降低整體電路速度。

同樣的道理也可以套用到Cell 9上面，所以我直接將Cell 9的size也設置為nfin=1。

• **Sizing - T_{pcq} part :**

基於同樣的方式，我將TG的size設置到最小，再來由於Setup time階段 v_3 節點就已經充或放電達到穩定狀態，因此為了簡化計算忽略 v_3 節點所看到的電容、並且也忽略 v_4 節點往下看到的C²MOS Latch輸出端電容，已知 Q 與 \bar{Q} 的負載各自為兩個Unit size inverters並聯，就會得到輸出負載為4，接著對以下兩個路徑計算Effort delay得到：



設 Cell 7 的size = x_1 , Cell 8 的size = x_2 , Cell 10 的size = x_3 :

$$D_{\bar{Q}} = g_4 b_4 h_4 + g_7 h_7 = \dots$$

$$= \frac{1}{x_1} (x_1^2 + x_2^2 + 2x_1 x_2 + 2)$$

$$D_Q = g_4 b_4 h_4 + g_8 b_8 h_8 + g_{10} h_{10} = \dots$$

$$= \frac{1}{x_2 x_3} (x_3 (x_1 + x_2)^2 + (x_3 + 1)^2 + 2x_2)$$

由於計算過程較為複雜，我沒有將求解過程列在此報告中，直接描述結果為：

1. $D_{\bar{Q}}$ 路徑對 x_1 偏微分找到最低點為 $x_1 = \sqrt{x_2^2 + 2}$ 。
2. 將 x_1 的結果帶入回 $D_{\bar{Q}}$ 路徑公式並繪圖，可以發現 x_2 越小對於該路徑的Delay就越小，故設置 $x_2 = 1$ ， $x_1 = \sqrt{1^2 + 2} = 1.732$ 取近似整數 2。
3. 而 D_Q 路徑對 x_3 偏微分可以找到最低點為 $x_3 = \sqrt{2(x_2 + 1)}$ ，所以設置 $x_3 = \sqrt{2(2 + 1)} = 2$ 。

最後，還需要考量製造出 $\bar{\phi}$ 訊號的Inverter大小，但因為要推的Gate個數為4且大小都為1，根據講義上所寫的FO4原則($2.6 < \rho < 6$)盡量取一級的 $f = gh = 4$ ，因此我選擇將該Inverter的size設為1。(這樣 $f = 2$ 但是 f 已經無法再大，因為nfin不能再更小了。)

(Size ver. 1)

Cell Number	1	2	3	4	5	6	7	8	9	10
Function	NAND	INV	TG	INV	Tristate INV	TG	INV	INV	Tristate INV	INV
PMOS nfin	1	1	1	1	1	1	2	1	1	2
NMOS nfin	2	1	1	1	1	1	2	1	1	2

(以上為 Ver. 1 size，下一頁有 Ver. 2 !)

- **Rethinking the sizing principle:**

經過以上的討論我得到了第一版的電晶體大小，但是實際總是與理論有著很大的差異，由於為了簡化計算而少考慮了許多電容、同時也有一些路徑上的branch沒有被考慮到計算中，因此我直接重新以題目的要求、電容出現的位置、以及各個Cell的功能來思考應該設置的大小：

1. “輸出負載電容固定為2 unit size inverters”：這樣的前提使得整體電路的電晶體僅需等比例放大數倍，就能相對於負載來的更具充放電能力，使 T_{pcq} 更短。(同時Cell 7, 10就不需要如同前面計算的是其他 inverter的2倍大，因為負載比較小)。
2. “輸入電容大小其實不用考量”：由於輸入的電壓在模擬時是直接給予的，因此在此作業可以完全不用顧慮Cell 1的大小，整體電路的電晶體相等比例直接放大數倍，也不會對輸入的速度造成影響。
3. “除了Tristate inverters內的電晶體外，其他的電晶體都可以直接放大”：由於電容的計算過於複雜而難以仔細取捨，但唯獨Cell 5以及Cell 9這兩個Tristate inverters是確定不需要放大電晶體的，因為它們的目的是維持住電壓，而非作為傳遞到輸出端 Q 或 \bar{Q} 使用，卻又會對主傳遞路徑上造成無法忽視的電容，因此若要放大整體電路之電晶體的大小，就不需要包含他們一起放大。

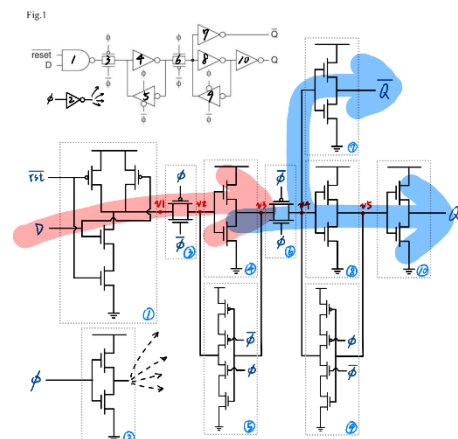
綜合以上考量，我決定將初版的電晶體大小相等比例放大 3 倍(除了Cell 5, 9, 7, 10)，理論上能夠得到明顯較小的Setup time與Clock to Q delay time，後續將於(b)小題比較兩者成果。第二版的電晶體大小(nfin)如下表：

(Size ver. 2)

Cell Number	1	2	3	4	5	6	7	8	9	10
Function	NAND	INV	TG	INV	Tristate INV	TG	INV	INV	Tristate INV	INV
PMOS nfin	3	3	3	3	1	3	3	3	1	3
NMOS nfin	6	3	3	3	1	3	3	3	1	3

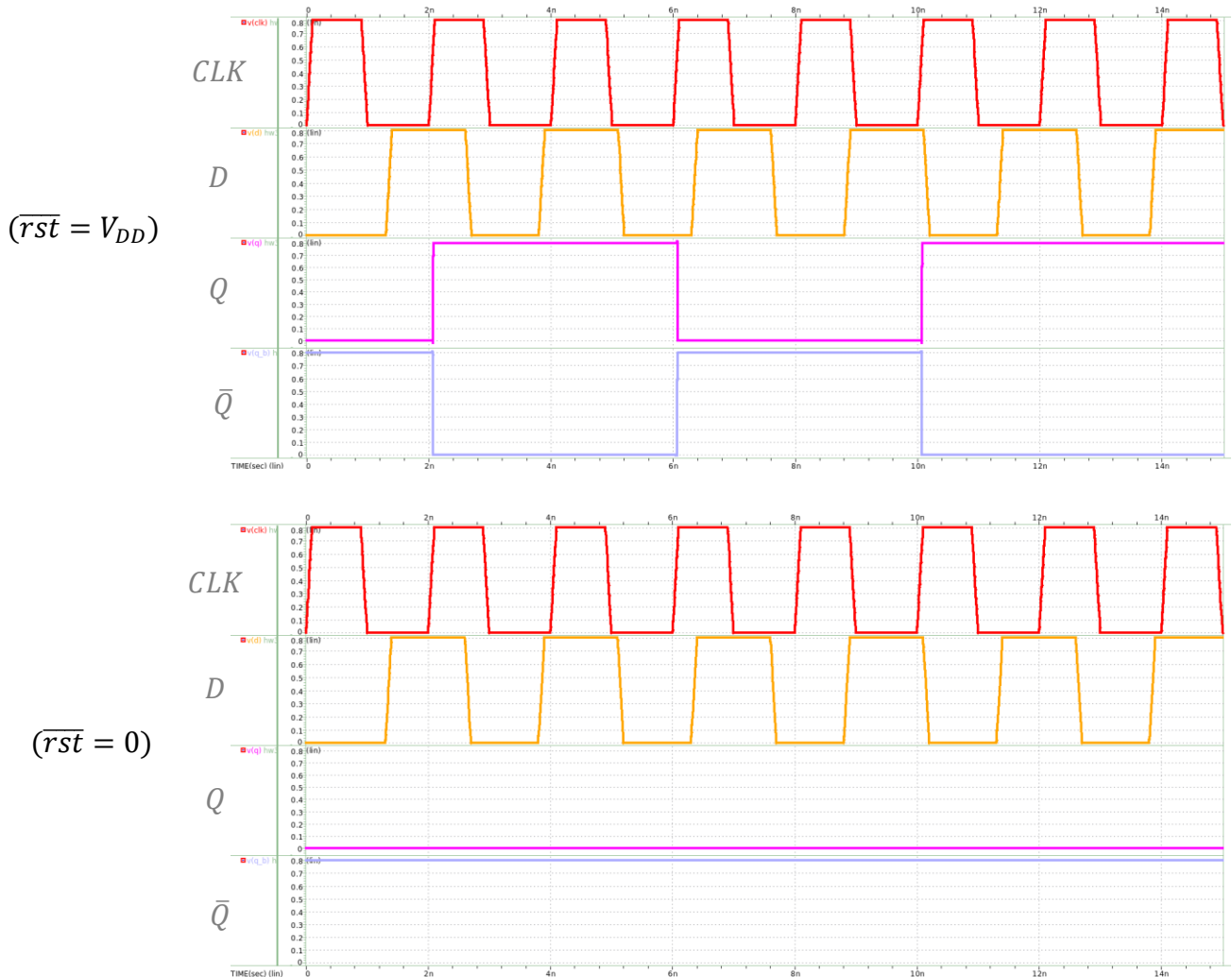
(b) Run SPICE to verify your results and list the results in table form for part (b).

接下來要測量 Setup time 以及 Clock to Q Propagation delay time。如右圖所示， T_{setup} 是左邊紅箭頭的路徑(Cell 6 左端 v_3 節點是儲存點)；而 T_{pcq} 則是右邊藍箭頭的路徑，以測量 Clock 到 Q 的下分支為主。



由於Ver. 1與Ver. 2的波形結果幾乎相同，因此除了在最後的數據比較以外，下方的波形圖皆以Ver. 1結果做展示。

• **Result Waveform :**

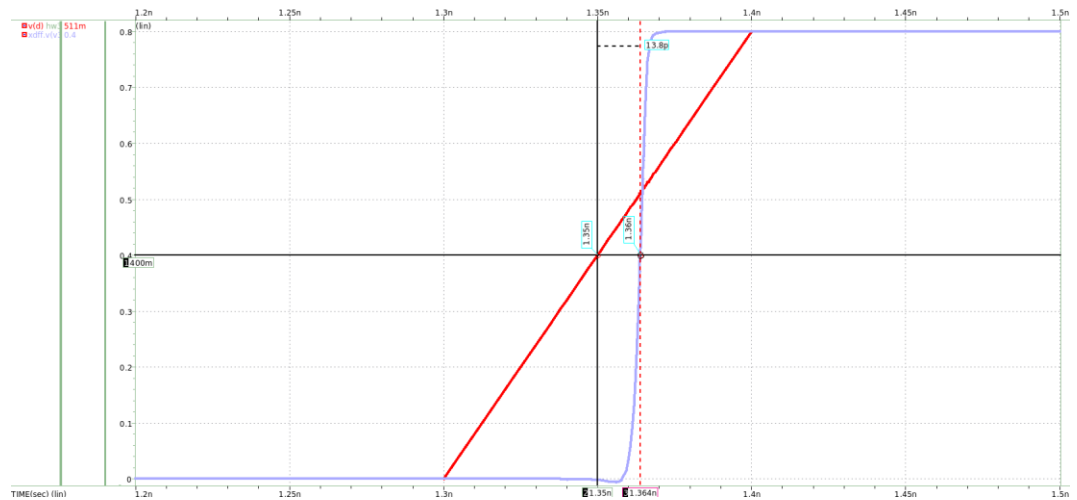


• **Setup time measurement :**

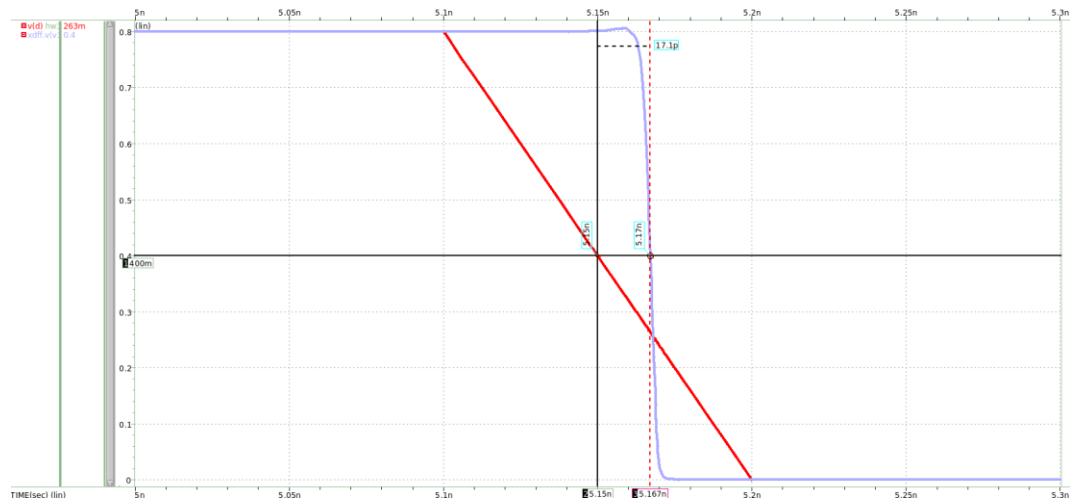
根據 T_{setup} 的定義，是D訊號最晚要保持穩定的時刻到Edge trigger發生之間的時間長度，這段時間其實就是D訊號翻轉的那一刻到 v_3 節點儲存到D訊號所需的時間。

因此我的測量方式為：在Clock為Low時，D訊號上升至 $(1/2)V_{DD}$ 到 v_3 節點上升至 $(1/2)V_{DD}$ 的時間。(此處不測 $0.9V_{DD}$ 是因為那不是“訊號翻轉”(記錄到訊號)的時刻，而是“完成翻轉”的時刻，這樣會測出負的不合理結果。)

$T_{setup\ 1} = 13.8\ ps :$



$T_{setup\ 0} = 17.1\ ps :$



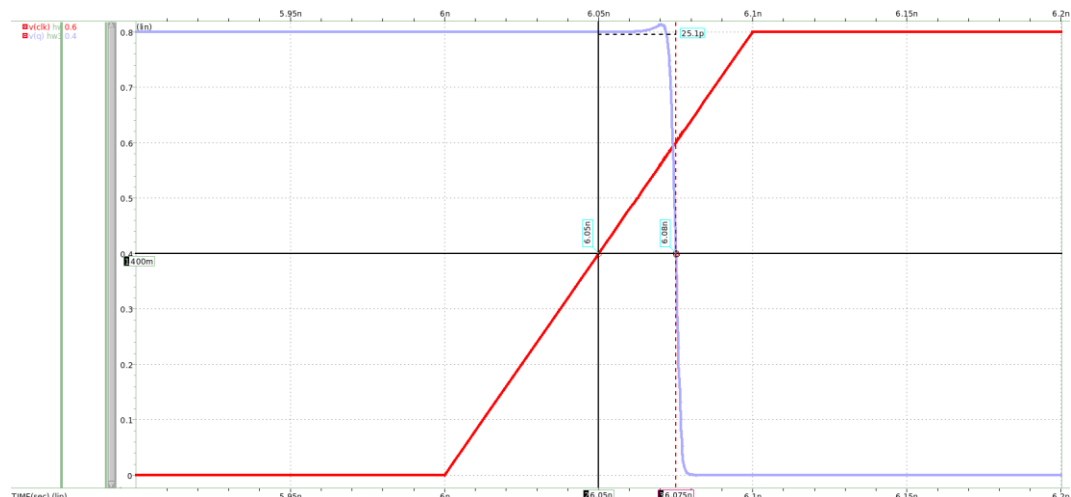
- Clock to Q time measurement :**

根據 T_{pcq} 的定義，是CLK訊號翻轉後到Q訊號翻轉之間的時間長度，因此我的測量方式為：D與Q不同時，在Clock上升至 $(1/2)V_{DD}$ 到Q翻轉至 $(1/2)V_{DD}$ 的時間。

$T_{pcq\ 1} = 24.9\ ps :$



$T_{pcq0} = 25.1 \text{ ps}$:



- **Hold time measurement :**

如同講義還有前面(a)小題所述，Hold time在此電路架構中為 0，因此不需要測量。

- **Result comparison:**

這邊我使用HSPICE code來幫助我量測 T_{setup} 與 T_{pcq} 進行比較：

```
** Setup time & Clock to Q propagation delay
.measure tran t_setup_r1 TRIG V(d) VAL='0.5*VDD' RISE=1 TARG V(Xdff.v3) VAL='0.5*VDD' RISE=1
.measure tran t_pcq_r1 TRIG V(clk) VAL='0.5*VDD' RISE=2 TARG V(q) VAL='0.5*VDD' RISE=1
.measure tran t_setup_r0 TRIG V(d) VAL='0.5*VDD' FALL=2 TARG V(Xdff.v3) VAL='0.5*VDD' FALL=2
.measure tran t_pcq_r0 TRIG V(clk) VAL='0.5*VDD' RISE=4 TARG V(q) VAL='0.5*VDD' FALL=1

*****
* nycu iee dic 1132 homework 3
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_setup_r1= 13.8284p targ= 1.3638n trig= 1.3500n
t_pcq_r1= 24.8579p targ= 2.0749n trig= 2.0500n
t_setup_r0= 17.1029p targ= 5.1671n trig= 5.1500n
t_pcq_r0= 25.0573p targ= 6.0751n trig= 6.0500n
***** job concluded

*****
* nycu iee dic 1132 homework 3
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_setup_r1= 12.9138p targ= 1.3629n trig= 1.3500n
t_pcq_r1= 17.6366p targ= 2.0676n trig= 2.0500n
t_setup_r0= 16.9525p targ= 5.1670n trig= 5.1500n
t_pcq_r0= 16.9197p targ= 6.0669n trig= 6.0500n
***** job concluded
```

Version	T_{setup1}	T_{pcq1}	T_{setup0}	T_{pcq0}	T_{hold}
1	13.83 ps	24.86 ps	17.10 ps	25.06 ps	0
2	12.91 ps	17.64 ps	16.95 ps	16.92 ps	0
diff.	0.91 ps	7.22 ps	0.15 ps	8.14 ps	---

從以上結果可以發現，Version 2相較Version 1不論是在Setup time還是Clock to Q propagation delay都明顯較短，顯示在先前重新思考如何調整大小的步驟是正確的，且尤其是對於輸出端的充放電能力有更好的提升效果，使得 T_{pcq} 明顯改善得較 T_{setup} 多很多。

或許繼續放大電晶體寬度能夠得到更短的Delay時長，但這樣就會使得電路變得更大、功耗也會提升，因此我認為不是很好的做法。