

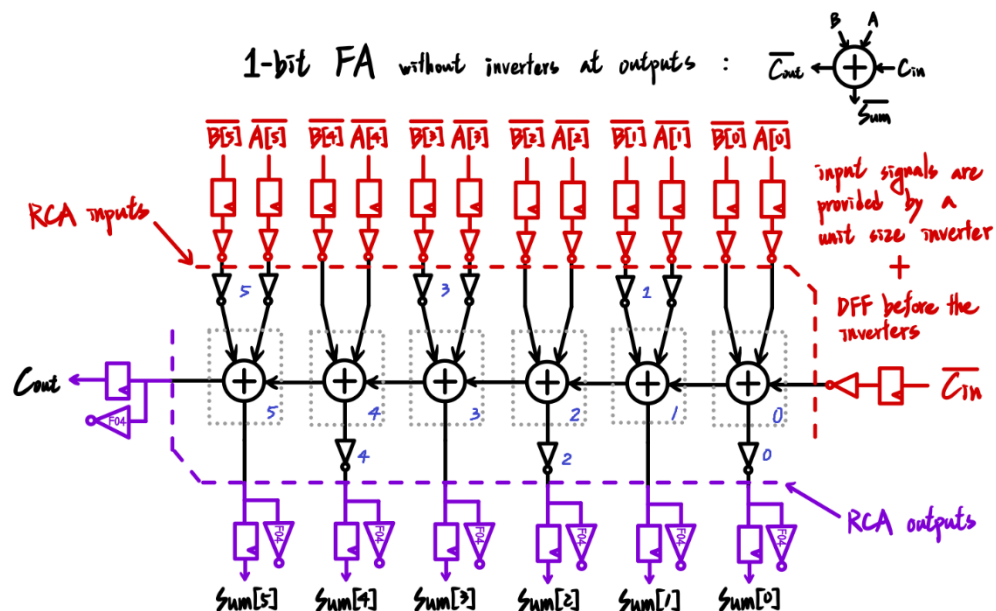
Digital Integrated Circuits homework 4 電子所 陳柏翔 313510156

1. A **6-bit** one stage pipelining **ripple adder** as shown at Fig.4.1(a) is designed with **Fully Complementary Static Logic Gate** for the 1-bit FA as shown at Fig.4.1(c) and the D-register as shown at Fig.4.1(b). **Input signals are A[5:0], B[5:0] and Cin** which are provided by a unit size inverter. **Outputs are Cout@Sum [6:0]** with **loading of 4 unit size inverters (FO4) connected in parallelism**. (You shall provide SPICE simulation results of **timing** and **power** waveforms.)

- (1) Try your best to design the **fastest adder without pipelining registers**. First, show your **block diagrams** in terms of the **1-bit Full-Adder(FA)**. Second, show the **circuit schematic** of each block. Use **logic effort concepts** (you do not have to write down the procedure) **to design transistor widths** (in table form). Describe your design concept. (40%)

- **Block diagram in terms of the 1-bit FA :**

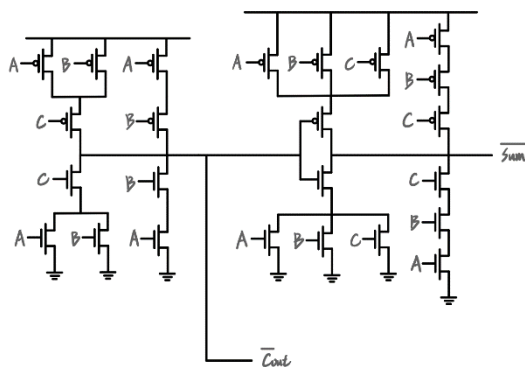
據題目要求，為了設計最快的 Ripple-Carry Adder，我採用與講義上 Fig. 10.12 相同的架構(如下圖 Block diagram)，其中每個 1-bit FA 在輸出端都不具有 Inverter，這樣就能在 Carry 的傳遞路徑上少 6 個 Inverters，因此有較短的 Delay (但相對的需要在某些輸入與輸出端加上 Inverters 以修正電路邏輯)。



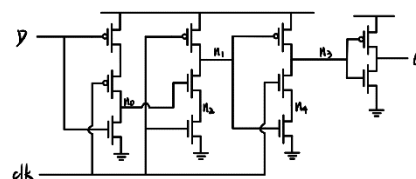
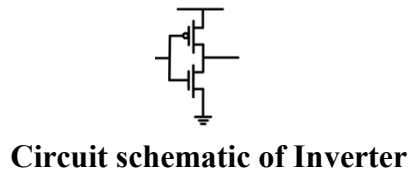
在整個 Ripple-Carry Adder 的輸入端與輸出端上，按照題目(以及助教在作業討論區所述)的要求，加上了 DFF 與 Inverters。此外，由於輸入端的要求是需要加上 Inverters，因此模擬時給到輸入端 DFF 的訊號是相反的。

- **Circuit schematic of each block :**

對於上圖Block diagram中的所有Block (即 \oplus 號)，都代表著1-bit FA (without inverter at outputs)、以及Inverter與DFF (D-register)如下所示：

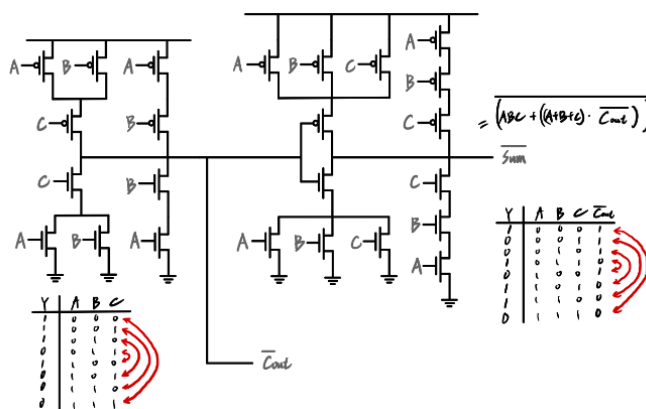


**Circuit schematic of 1-bit Full adder
(without inverter at outputs)**



Circuit schematic of DFF

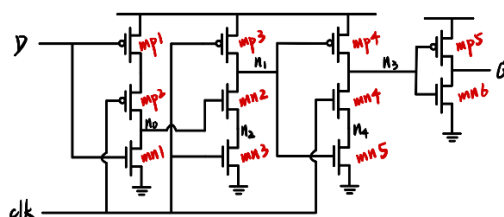
此外，我重新從Circuit schematic層級驗證了電路邏輯的正確性，如右圖所示，可以發現當輸入訊號相反時，其對應的輸出結果正好也是相反的，因此在前面的Block diagram中，接在輸入端與輸出端的Inverters是交替出現在不同的FA上，而Carry的傳遞路徑上則不需要加上任何Inverters。



- **Design transistor widths :**

根據先前Homework 3中的實驗結果，NMOS與PMOS的比例應保持為1:1 才能讓一個Inverter的Logical Threshold更靠近 $(1/2)V_{DD}$ 的位置，因此我將以此為基礎來決定出電路中個個電晶體的大小(寬度)。

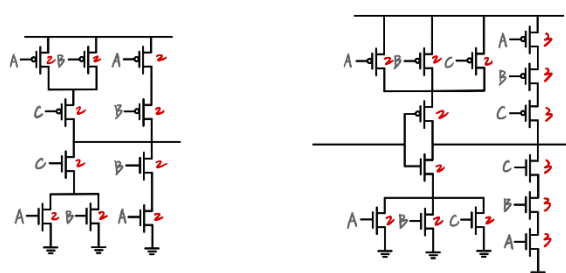
首先要先決定DFF電路中個電晶體大小，才能方便後續的計算順利進行，考量到電晶體的串並聯結構，以及輸入端所看到的電容希望能越小的情況下，再經過HSPICE測試微調mp4, mn4, mn5使 T_{pcq0} 與 T_{pcq1} 接近一致，所得電晶體大小結果如下 (DFF模擬結果請見第(2)小題)：



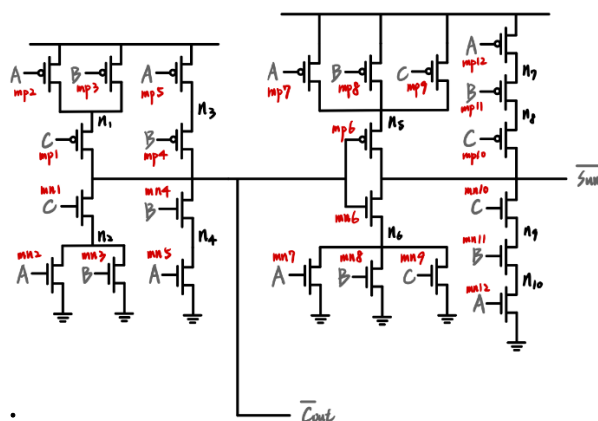
Transistor widths of all DFFs :

MOS	mp1	mp2	mn1	mp3	mn2	mn3	mp4	mn4	mn5	mp5	mn6
nfin	1	2	1	1	2	2	2	1	1	1	1

接著將一個FA拆分為 $\overline{C_{out}}$ 電路與 \overline{Sum} 電路兩個部分，右圖為拆分後的初步預設大小，後續將根據這樣的大小進行每一級的縮放。



為了讓電路有最快的速度，以Logical effort的概念來看，希望Critical Path (從FA0輸入端的Unit size inverter，到FA5的sum輸出端外所接的DFF+FO4電容)上的Delay能夠最小，使每一級的 \hat{f} 能夠盡量趨近於一致的大小。據題目所述，此部分不需要敘述計算過程，因此下方是我大概計算後的最終結果：



Transistor widths of all FAs :

nfin	mp1-5	mn1-5	mp6-9	mn6-9	mp10-12	mn10-12
FA0	2	2	2	2	3	3
FA1	2	2	2	2	3	3
FA2	2	2	2	2	3	3
FA3	2	2	2	2	3	3
FA4	2	2	2	2	3	3
FA5	2	2	2	2	3	3

由於此計算結果每個FA的大小皆設置為相同較不直觀，因此以下簡述此計算過程：

主要是透過計算第二長的Critical path(由FA0 C_{in} 到FA5 C_{out})，假設每一級FA電路與下一級電路有 x 倍的大小縮放關係，經過的每一級 $\overline{C_{out}}$ 電路所形成的 $G = 1 \times 2^6$, $B = ((7x + 2)/2x)^5$, $H = 5/1$ ，經過疊代求解 $F = GBH = \hat{f}^6 = (g_i h_i)^6$ ，可以反推每一級的 $h_i = 4.5$ ，對應得 $x = 1$ 。此結果表示不同級FA之間不需要進行比例縮放。

最後還要決定交替出現在FA輸入與輸出上的Inverters，考量到FA的大小以及輸出端負載趨近於FO4，我決定將所有的Inverters都設置為Unit size。

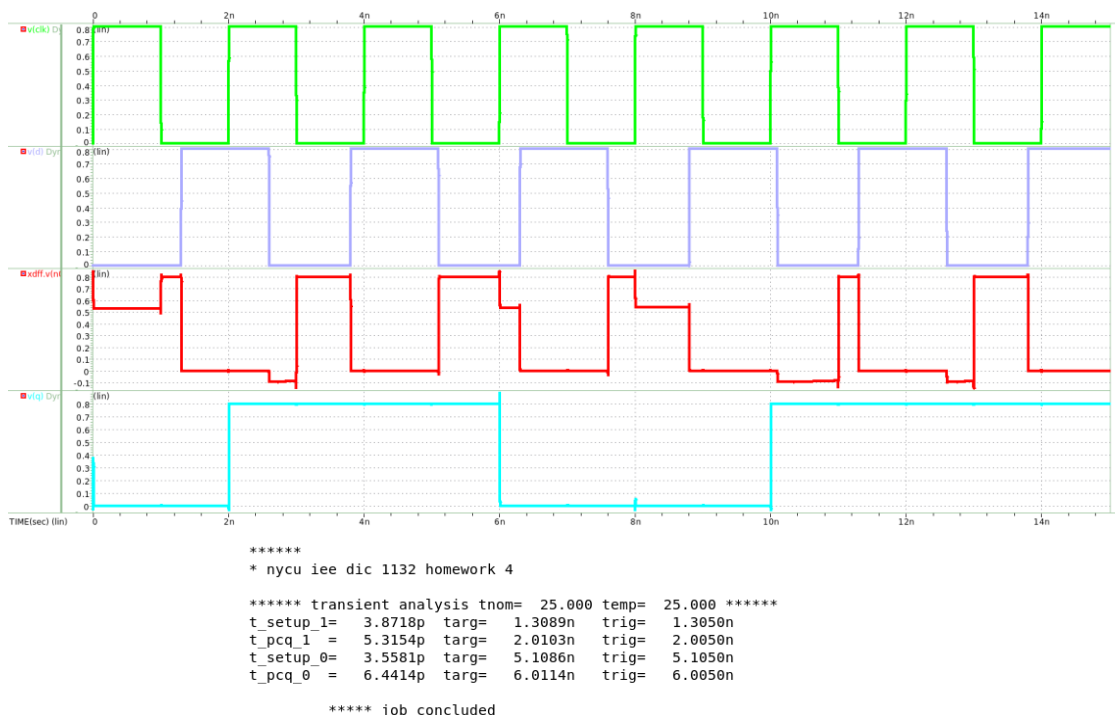
Transistor widths of all Inverters (inside RCA) :

nfin	INV0	INV1a	INV1b	INV2	INV3a	INV3b	INV4	INV5a	INV5b
PMOS	1	1	1	1	1	1	1	1	1
MMOS	1	1	1	1	1	1	1	1	1

- (2) Based on the design of (1), run SPICE to find the **propagation delay time** (with pattern from **0000001111110** to **0000001111111** (A[5:0]@B[5:0]@Cin). Determine the **minimum clock cycle time** with the delay time estimated by SPICE. (20%)

• **Setup time & Clock-to-Q propagation delay of DFF :**

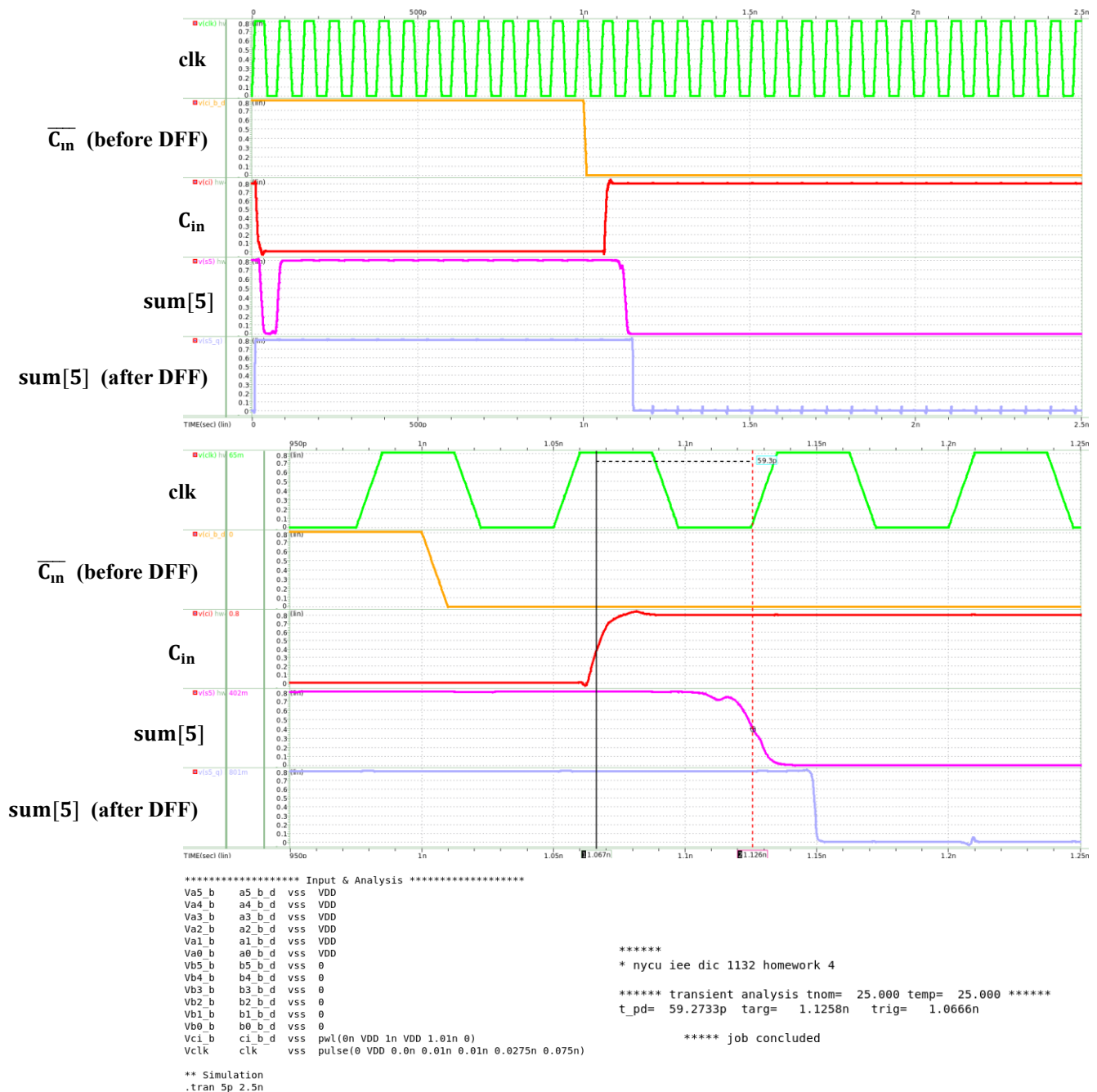
為了後續決定出最小的Cycle time，此處需要先測量DFF的時間資訊，詳細的各種時間分析在講義Ch6.5中可以找到。測量Setup time的方式是從輸入D至第一個儲存點n0所花費的時間，Clock-to-Q propagation delay則是從Clock訊號改變至Q改變所花費的時間。



	t_{setup1}	t_{pcq1}	t_{setup0}	t_{pcq0}
Time	3.87ps	5.31ps	3.56ps	6.44ps

• Propagation delay time & Minimum clock cycle time :

由於訊號太多，以下只顯示主要改變的訊號以及最後Critical path尾端的FA5的sum訊號：



	Propagation delay time	Minimum clock cycle time
Time	59.27ps	0.075ns (=75ps)

以上結果可以發現符合先前所學的公式： $t_{pd} \leq T_c - (t_{setup} + t_{pcq})$

帶入測量結果： $59.27ps \leq 75 - (3.56 + 6.44) = 65ps$

考量到實際訊號並非完美的立即上升或下降，有些微的約5ps誤差造成Cycle time沒辦法低於75ps，如果設置更小則會造成sum[5] (after DFF) 往後一個Cycle才改變為0。

