

一、选择题

1. 下列关于计算机系统的说法中，错误的是 (B)
- I. 存储程序并按地址执行是冯·诺依曼计算机的工作原理
 - II. 机器字长通常指 CPU 内部用于整数运算的数据通路宽度，均为 32 位
 - III. 计算机系统软硬件具有逻辑等价性
 - IV. 将指令和数据分别放在不同的存储器，称为哈佛结构
 - V. 计算机系统是一个由硬件、软件组成的多级层次结构
- A. I B. II C. III和V D. IV
2. 下列说法有误的是 (D)
- A. 任何二进制整数都可以用十进制表示
 - B. 任何二进制小数都可以用十进制表示
 - C. 任何十进整数都可以用二进制表示
 - D. 任何十进小数都可以用二进制表示
3. 浮点数加减法运算过程中，下列说法错误的是 (B)
- A. 对阶操作不会产生溢出
 - B. 浮点数溢出和定点数溢出一样都表示结果错误
 - C. 浮点数运算时尾数溢出，结果不一定溢出
 - D. 左规和右规操作后都需要同时调整阶码
4. 下列对机器乘法运算的说法正确的是 (A)
- A. 定点数乘法运算，乘积的符号位是乘数符号位的异或运算结果
 - B. 定点数乘法运算，乘积的数值位是乘数绝对值的乘积结果
 - C. 浮点数乘法运算，乘积的符号位是阶码符号位的异或运算结果
 - D. 浮点数乘法运算，乘积的数值位是乘数尾数的积
5. 对下列几种 ROM 芯片，描述正确的是 (B)
- A. PROM 型存储芯片支持数据的写入操作，可对其多次写入数据
 - B. FLASH 芯片，可以实现芯片级、也可以实现比特级的数据擦除
 - C. EPROM 存储芯片，采用电擦除方式，只能实现芯片级的数据擦除
 - D. EEPROM 存储芯片，采用紫外线擦除方式，能实现芯片级和比特级的数据擦除
6. DRAM 采用下列哪种刷新方式时，死时间最小 (C)
- A. 集中刷新 B. 分散刷新 C. 异步刷新 D. 都不对
7. 下列属于易失性存储器的是 (A)
- A. Cache B. EPROM C. Flash 存储器 D. CD-ROM
8. 下列说法中，错误的是 (D)
- A. 程序访问的局部性体现在时间和空间两方面

- B. LRU 能够较好的体现局部性
C. 不论命中与否, 读操作均不影响数据一致性
D. 不论命中与否, 写操作均影响数据一致性
9. 某指令系统有 200 条指令, 采用固定长度操作码编码, 最少需要的编码位数是 (C)
A. 4 B. 6 C. 8 D. 10
10. CPU 中的通用寄存器 (B)
A. 只能存放数据, 不能存放地址
B. 可以存放数据和地址
C. 既不能存放数据, 也不能存放地址
D. 可以存放数据和地址, 还可以替代指令寄存器
11. 具有一个控制部件和多个处理单元的计算机系统属于 (B)
A. SISD B. SIMD C. MISD D. MIMD
12. 在总线上, 同一时刻 (A)
A. 只能有一个主设备控制总线传输操作
B. 只能有一个从设备控制总线传输操作
C. 只能有一个主设备和一个从设备控制总线传输操作
D. 可以有多个主设备控制总线传输操作
13. 在统一编址方式下, 区分存储单元和 I/O 设备是靠 (A)
A. 不同的地址码 B. 不同的地址线
C. 不同的控制线 D. 不同的数据线
14. 在主机和外设的信息传送方式中, 不需要 CPU 控制的方式的是 (B)
A. 无条件传送 B. 直接存储器存取
C. 程序中中断 D. 条件查询传送
15. 计算机系统外部设备需要接口器件的原因是 (D)
I. 数据缓冲、隔离 II. 速度匹配 III. 设备选择
IV. 数据传输格式变换
A. I 和 II B. I 和 III C. I、III 和 IV D. 以上都对

二、主观题

1. 唯一能够被完全可靠测量的计算机性能指标是时间, 程序的执行时间是衡量计算机系统性能可靠且有效的度量方法。已知:

一个程序的 CPU 执行时间 = $n \times CPI \times T_{clk}$

其中, n 为该程序运行所需的指令数, CPI 为该 CPU 执行一条指令所需的平均时钟周期

数， T_{clk} 为 CPU 的时钟频率；

问：

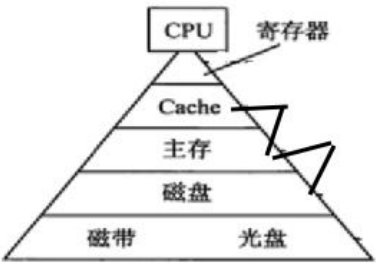
- 1) 依据上述公式分析程序的性能可以从哪几方面进行改进？
- 2) 已知处理器 A 的时钟周期为 250ns，CPI=2.0；B 的时钟周期为 400ns，CPI=1.5；则 A 处理器的 MIPS 为？ B 处理器的 MIPS 为？ 2, 1.67
- 3) 某 JAVA 程序在处理器 A 上执行时需要 15 秒，则该执行该程序的指令数是？现使用处理器 B 运行该程序，并改进了 JAVA 编译程序，希望该程序在 B 上的执行时间达到 9 秒，则新版本的编译程序产生的指令数量是旧版本多少倍？ 0.5

2.已知 16 位字长的计算机中数据类型有：单字长无符号定点整数 unsigned int；单字长带符号定点整数 int，用补码表示；规格化单精度浮点数 float，表示格式为：阶码 尾数，其中阶码 6 位，尾数 10 位（最高位均为 1 位符号位），用补码表示；假设有变量 X 和变量 Y，X 的机器码表示为 06A0H，Y 的机器码表示为 FD68H；

问：

- 1) 该计算机能够表示的定点机器数范围是多少？ $-2^{15} \sim +2^{15}-1$
- 2) 该计算机能够表示的浮点机器数范围是多少？ $-1 \times 2^{+31} \sim + (1-2^{-10}) \times 2^{+31}$
- 3) 若 X 和 Y 均为 int 类型，X 和 Y 的真值是多少？ +06A0H 和 -0298H
- 4) X 和 Y 均为 int 类型，计算 (X-Y) /2，写出结果的机器码 049CH
- 5) 若 X 和 Y 均为 float 类型，X 和 Y 的真值是多少？ $X=-0.1011 \times 2^{+1}$ ， $Y=+0.101101 \times 2^{-1}$
- 6) 若 X 和 Y 为 float 类型，用浮点运算方法计算 X+Y，写出结果的机器数表示？ 06F8H

3.为了解决存储系统大容量、高速度和低成本 3 个相互制约的矛盾，在计算机系统中，通常采用多级存储器结构，如图所示，其中 Cache-主存层解决 CPU 和主存速度不匹配的问题，主存-辅存层解决存储系统容量的问题。



问：

- 1) Cache-主存层能够解决 CPU 和主存速度不匹配的原理是什么？ 程序访问的局部性原理
- 2) 通常主存储器由 DRAM 实现， Cache 由 SRAM 实现，填写下表比较两者的异同

比较内容	名称	速度(快/慢)	是否需要刷新	集成度(高/低)
------	----	---------	--------	----------

3) 设
上
述
结

SRAM	静态随机读写存储器	快	否	低
DRAM	动态随机读写存储器	慢	是	高

构的某计算机存储系统中 Cache 容量为 1K 字，主存容量为 2M 字，其中 Cache 的存取时间为 20ns，主存的存取时间为 200ns，若要求 Cache-主存平均存取时间不大于 30ns，则命中率至少为多少？ 94.4%

4) 若 2M 字主存（2M×16 位）用 1M×8 位的 DRAM 存储芯片构成，按字编址，从 0 开始，主存地址范围是多少（0~1FFFFFH）？写出扩展方案？（4 片芯片采用字位扩展，2 片 1 组做位扩展，形成 1M×16 位容量，需要 2 组做字扩展形成 2M×16 位）

5) 若 Cache 采用直接映射方式，每块 4 个字，写出访问 Cache 和主存的地址格式

8 位	2 位
块号	块内字号

11 位	8 位	2 位
主存标记（组号）	Cache 块号	块内字号

6) 该存储系统中定义了字数组 a，有 100 个元素，数组首地址为 2000H，已知 CPU 访问数组元素 a[10]时 Cache 命中，则相对应的 Cache 块地址和标记分别是多少？

Cache 块地址是 00000010

标记是 0000 0010 000

4.ARM 处理器使用 RISC，指令集基本格式如下：

Cond	00	I	Opcode	s	Rn	Rd	Operand2
------	----	---	--------	---	----	----	----------

各字段含义及所占二进制编码位数如下表，

标识符	含义
Cond	指令执行的条件码，第 31-28 位，涉及条件转移指令
I	指明第二个操作数，第 25 位，为 1 表示 Opcode2 为立即数，为 0 表示 Opcode2 在寄存器中
Opcode	操作码，说明指令的功能，第 24-21 位
S	设置条件位，第 20 位，当前指令执行是否影响程序状态寄存器
Rn	第一个操作数的寄存器，第 19-16 位
Rd	目标寄存器，第 15-12 位
Opcode2	第二个操作数，第 11-0 位

问：

1) 1) 分析该指令格式中 Cond、Opcode 和 S 字段组合使用的特点? (可以构成多少种指令?各自的特点?)

Cond 有 4 位, 可以表示 16 种条件, Opcode 有 4 位, 可以表示 16 种不同指令, S 占 1 位, 表示是否影响状态寄存器, 三者组合可以表示: 无条件不影响状态的指令 16 条, 无条件影响状态的指令 16 条, 有条件不影响状态的指令条 $15 \times 16 = 240$ 条, 有条件影响状态的指令 $15 \times 16 = 240$ 条

2) ARM 指令集只有 L/S 指令能够访存, 取数指令 (L) 完成存储器到寄存器的数据加载, 存数指令 (S) 完成寄存器到存储器的数据存入, 写出 L/S 指令访存时可以使用的寻址方式?

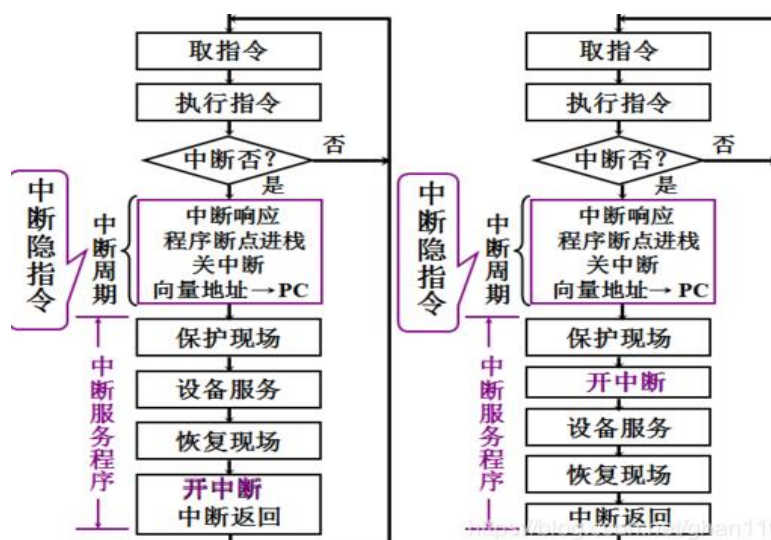
寻址方式可以使用 Rn、Rd 和 Opcode2, 因此可以有直接寻址、寄存器间接寻址、相对寻址

3) 已知 ARMV9 采用了基于哈佛结构的 5 级流水线结构, 分别是取指令、译码、执行、数据缓冲、回写, 每个流水线阶段需要 1 个时钟周期 T_c , 则该指令集的平均指令周期是多少? $5T_c$ 若某程序循环体由 10 条指令构成, 循环次数为 100 次, 则执行该循环需要的时钟周期数是多少? $1004T_c$

4) CPU 是底层硬件基础设施中的核心, 当前主流芯片架构为 X86 和 ARM。“十五”期间, 国家启动了发展国产 CPU 的一系列计划, 在国家的帮助下, 国产 CPU 产业已初具规模, 涌现出一批领军企业。试写出你知道的国产 CPU 产品名称?

龙芯、鲲鹏、海思、申威、紫光、飞腾、兆芯等

5. 在计算机处理中断的过程中, 有可能出现新的中断请求, 此时如果 CPU 暂停现行的中断服务程序, 转去处理新的中断请求, 这种现象称为中断嵌套, 或多重中断。倘若 CPU 在执行中断服务时, 对新的中断请求不予理睬, 这种中断称为单重中断。这两种处理方式的 中断服务程序略有区别, 如下图所示,



①

②

问:

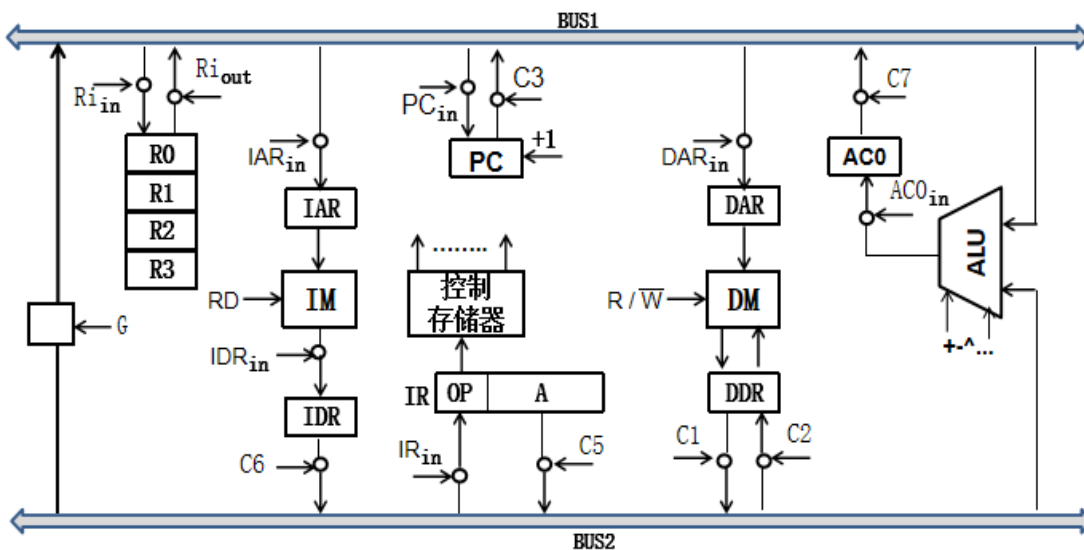
1) CPU 响应中断的条件有哪些?

当前指令执行结束, CPU 开中断状态, 有中断源且判优, 该中断源未被屏蔽

2) 图①和图②哪个是多重中断服务流程? 哪个是单重中断服务流程? 请说明原因。

图②是多重中断服务流程, 图①是单重中断服务流程, 因为图②中的中断服务程序中执行了开中断, 可以允许优先级更高的中断源进入

6. 某处理机逻辑结构如下图所示, 有两条独立的总线 BUS1、BUS2 和两个独立的存储器 IM、DM。已知指令存储器 IM 的最大容量为 16384 字(字长 18 位), 数据存储器 DM 的最大容量为 65536 字 (字长 16 位), 有程序计数器 PC、指令寄存器 IR、累加器 AC0、通用寄存器 R0-R3、指令存储器地址寄存器 IAR、指令寄存器数据寄存器 IDR、数据存储器地址寄存器 DAR、数据寄存器数据寄存器 DDR, G 是两个总线之间的桥接器。



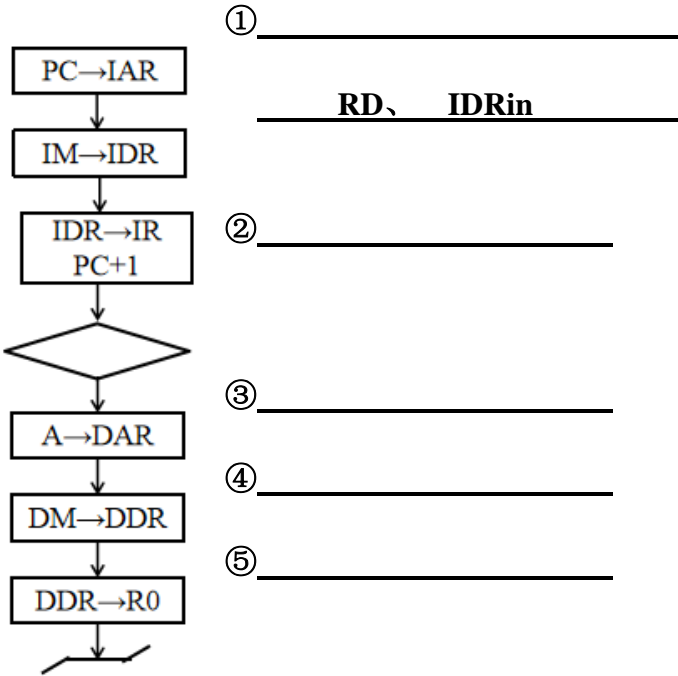
问:

1) 试填写下表, 写出各寄存器的位数 (5 分)

寄存器名	长度	寄存器名	长度	寄存器名	长度	寄存器名	长度	寄存器名	长度
PC	14	AC0	16	R1	16	IAR	14	DAR	16
IR	18	R0	16	R2	16	IDR	18	DDR	16

2)

LOAD R0, A 指令的功能为将地址为 A 的存储单元内容传送给寄存器 R0 即 (A)→R0，指令周期流程图如下，在横线处标出相应的微操作控制信号序列。（10 分）



- ① C3 、 IARin
- ② C6 、 IRin、 PC+1
- ③ C5、 G 、 DARin
- ④ R/W=1
- ⑤ C1 、 G、 R0in