

Électronique numérique

Les pages 1 et 4 du sujet sont à rendre complétées avec votre copie.

→ Polycopiés, notes de cours, de TP et de TD autorisés, calculatrice interdite

→ Une présentation trop négligée sera pénalisée !

1. Simplifier les équations suivantes pour une réalisation utilisant le plus petit nombre de portes :

$$S1 = \bar{a}\bar{b} + ab$$

$$S2 = \bar{a}\bar{b}c + a\bar{b}\bar{c} + a\bar{b}c + abc$$

$$S3 = \bar{a}\bar{b} + \bar{a}c + \bar{a}b$$

$$S4 = a\bar{b}\bar{c} + \bar{a}c + ab\bar{c}$$

2. Numération et codage

Convertir les nombres décimaux suivants en binaire sur 12 bits selon les codages indiqués (sur le modèle de la première ligne). Indiquer clairement d'une croix dans la case correspondante les cas d'impossibilité de transcoding.

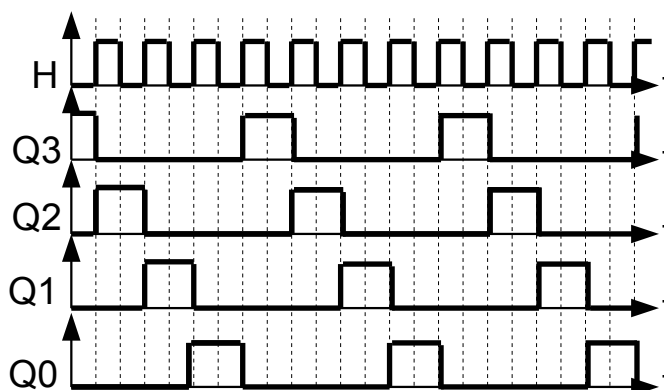
notation :	décimal → binaire naturel		décimal → compl. à deux		décimal → DCB	
	binaire	hexa	binaire	hexa	binaire	hexa
1	0b000000000001	0x001	0b000000000001	0x001	0b000000000001	0x001
-1						
250						
2223						
2048						
-2048						
-250						
4500						

(DCB : décimal codé binaire)

3. Système séquentiel : Commande de moteur pas à pas.

Pour commander un moteur pas à pas unipolaire, on souhaite réaliser un dispositif réalisant le chronogramme ci-contre :

Chaque sortie Q_n commande le passage du courant dans une des phases du moteur. A chaque front actif de H le moteur avance d'un pas.



- 3.1. Définir le nombre d'états et le cycle de comptage pour obtenir cette séquence en sortie d'un compteur 4 bits.
- 3.2. Montrer que cette séquence peut-être obtenue à l'aide d'un compteur en anneau
- 3.3. Établir le schéma d'un compteur en anneau auto-initialisant qui donne cette séquence.
- 3.4. Établir le diagramme d'état pour montrer la convergence vers le cycle voulu.

4. Étude d'un système de vision à balayage horizontal

Un système de repérage d'obstacle monté sur un robot est constitué d'une caméra balayant alternativement la vue face au robot sur un angle de 120° . La caméra est entraînée dans un mouvement de rotation selon un axe vertical par un moteur pas à pas. L'angle balayé est défini par deux butées de fin de course qui ferment chacune un contact. Lorsque le moteur arrive en butée sur un de ces deux contacts, le sens de rotation s'inverse et la caméra repart dans l'autre sens.

Nous avons donc comme fonctionnement : rotation à droite jusqu'à la butée, rotation à gauche jusqu'à la butée, rotation à droite jusqu'à la butée... etc.

Le moteur est commandé par des signaux similaires à ceux définis à la question 3, sachant qu'en inversant la séquence on obtient l'inversion du sens de rotation. L'horloge " H " est fournie prête à l'emploi à une fréquence adaptée au moteur pas à pas et à la vitesse angulaire voulue.

- 4.1. Montrer que les 2 contacts des butées peuvent être réunis en parallèle. Quelle est la fonction booléenne câblée ainsi obtenue ?
On les traitera ensuite comme un contact unique noté " b " (au repos à " 0 ").
- 4.2. Le chronogramme de l'exercice précédent sera considéré comme définissant le sens "vers la droite" de la rotation. Définir le cycle de sortie permettant d'obtenir le sens "vers la gauche"
- 4.3. Pour faciliter la synthèse du système, on introduit un signal " s " mémorisant le sens de rotation ($S=0$: rotation à droite, $S=1$: rotation à gauche). Montrer que le signal " s " peut être créé très facilement à partir de " b " par une fonction séquentielle simple. Nommer cette fonction et en donner un exemple de réalisation à partir d'une bascule JK.
- 4.4. Établir le diagramme d'état d'un dispositif délivrant les signaux de commande du moteur selon le signal " s " au rythme de H .
- 4.5. Déterminer le nombre minimum de bascules D pour réaliser ce dispositif
- 4.6. Déterminer les équations des entrées des bascules pour obtenir le fonctionnement voulu.
- 4.7. Établir le schéma du dispositif complet.

5. Circuits FPGA et langage VHDL : questions de cours

- 5.1. Quel est le rôle du fichier *.ucf en VHDL?
- 5.2. En quoi le VHDL se différencie d'un langage de programmation type langage C ou Python?
- 5.3. Pourquoi faut-il éviter de "mixer" signaux logiques et signaux d'horloges dans une équation logique?

6. VHDL : Etude d'une description

Soit la description VHDL suivante:

```
entity mystere port (  
    x1, x2, x3, sel: in std_logic;  
    y: out std_logic);  
end mystere;  
  
architecture archi of mystere is  
    signal a, b, c, d, e, f: std_logic;  
begin  
    a <= x1 or x3;  
    b <= x1 and x3;  
    c <= x2 and a;  
    d <= b or c;  
    e <= x1 xor x2;  
    f <= x3 xor e;  
  
    P1: process (d, f, sel)  
    begin  
        if sel='0' then  
            y <= d;  
        else  
            y <= f;  
        end if;  
    end process P1;  
end architecture archi;
```

- 6.1. Etablissez le schéma équivalent correspondant à cette description en utilisant des portes ou fonctions logiques de bases.
- 6.2. Le processus P1 est-il combinatoire ou séquentiel? Justifiez.
- 6.3. Etablir une table décrivant le fonctionnement de ce circuit.
Quel est selon vous la fonction de ce circuit?

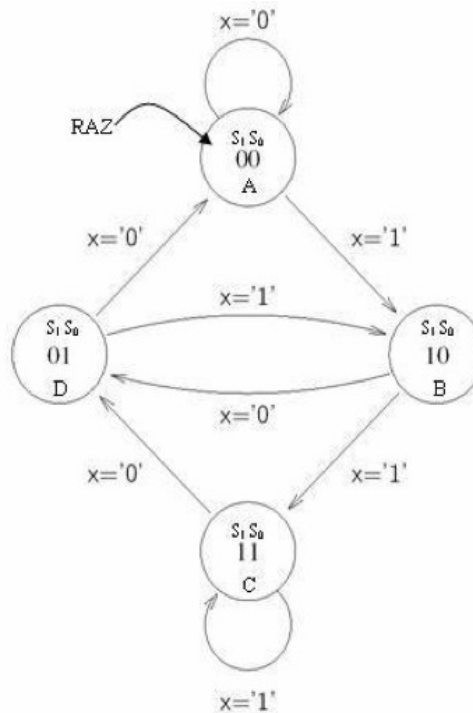
7. Diagramme d'état

Le système à concevoir dispose de trois entrées et de deux sorties.

Les entrées sont l'horloge clk, RAZ et la commande x ; les sorties sont S0 et S1. Les entrées et les sorties sont de type std_logic sauf x qui est de type bit.

La description du système se fait par un nombre fini d'états.

Ci-dessous la représentation schématique d'un système à 4 états (A, B, C et D) :



7.1. Donner la description en langage VHDL (Entité et Architecture) de ce système en se basant sur le diagramme d'état. Le système est actif sur front montant.

7.2. Compléter alors le chronogramme suivant du système :

