

# Électronique numérique

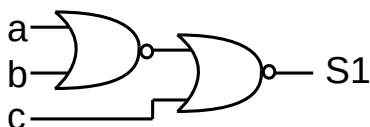
N° anonymat : .....

La pages 1 est à rendre complétée avec votre copie.

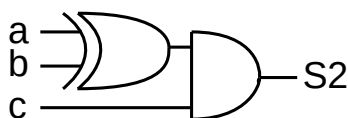
- Polycopiés, notes de cours, de TP et de TD autorisés, **calculatrice interdite**
- Une présentation trop négligée sera pénalisée !

## 1. Lecture de schémas

1.1. exprimer la fonction S1 selon la deuxième forme canonique



1.2. exprimer la fonction S2 selon la première forme canonique



## 2. Numération et codage

Convertir les nombres décimaux suivants en binaire selon les codages indiqués (sur le modèle de la première ligne). Indiquer clairement d'une croix dans la case correspondante les cas d'impossibilité de transcodage. Les codages binaires et complément à deux se feront sur 10 bits et les codages DCB sur 12 bits.

	décimal → binaire naturel		décimal → compl. à deux		décimal → DCB	
notation :	binaire	hexa	binaire	hexa	binaire	hexa
1	0b0000000001	0x001	0b0000000001	0x001	0b000000000001	0x001
-1						
249						
1010						
512						
-512						
-249						
1024						

(DCB : décimal codé binaire)

### 3. Analyse de code VHDL

Le code du module "unidentified\_device" est proposé ci-dessous pour analyse :

```
library ieee;
use ieee.std_logic_1164.all;
entity unidentified_device is
    port ( clock      : in  std_logic;
          clear_L    : in  std_logic;
          enable_L    : in  std_logic;
          en_nxt      : out std_logic;
          DigOut      : out std_logic_vector (3 downto 0));
end unidentified_device;
architecture behav of unidentified_device is
    constant maxi: integer:=9;
    signal  int_count std_logic_vector (3 downto 0);
begin
    process ( clock, clear_L, enable_L )
    begin
        if clock = '1' and clock'event then
            if clear_L = '0' then
                int_count <= 0;
            elsif enable_L = '0' then
                if int_count = maxi then
                    int_count <= 0;
                else
                    int_count <= int_count + 1;
                end if; --int_count = maxi
            end if; --clear_L = '0'
        end if; --clock transition
        if enable_L = '0' and int_count = maxi then
            en_nxt <= '1';
        else
            en_nxt <= '0';
        end if;
        DigOut <= int_count;
    end process;
end behav;
```

- 3.1. Enumérer les entrées, les sorties, et préciser leur nature (bit isolé, mot binaire : dans ce cas préciser le nombre de bits)
- 3.2. définir le rôle de la constante maxi
- 3.3. pour chaque entrée préciser son rôle exact, son état ou front actif, et le cas échéant si elle est synchrone ou asynchrone
- 3.4. pour chaque sortie préciser l'information véhiculée, le niveau actif et si elle est synchrone ou asynchrone
- 3.5. définir la fonction réalisée par ce module
- 3.6. Etablir un chronogramme type de "unidentified\_device" montrant le fonctionnement de ce module.

### 4. Trouvez les erreurs

Un de vos camarade essaye d'implémenter un code VHDL dans un CPLD mais le compilateur refuse obstinément de le compiler : 7 erreurs sont détectées. La partie "architecture" de ce code est retranscrite ci-dessous. Il comporte à la fois des erreurs de syntaxe et de structure, énumérez les 7 erreurs en les expliquant et en précisant le numéro correspondant de la ligne.

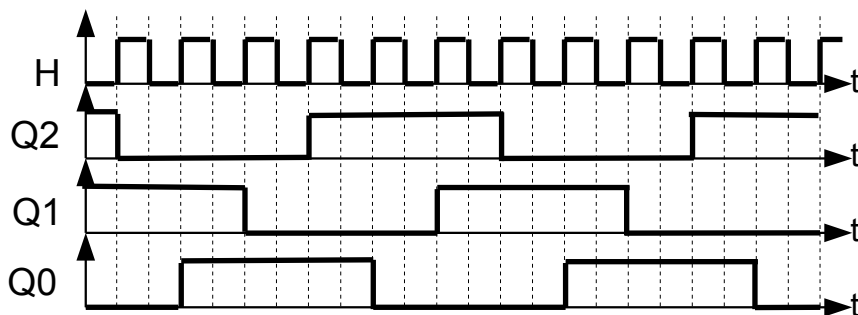
```

architecture douteuse of truc is
begin
  process(clock)
  begin
    if rising_edge(clock) and reset = '0' then
      Q=Q+1;
    elsif reset == '1' then
      Q := (others => '0');
    end if;
  end process;
  Cpt <= Cpt+1 when clock='1' else Cpt;
  if Q(0)='0' then
    pair <='1';
  else
    pair <="0";
  end if;
end douteuse;

```

## 5. Système séquentiel synchrone : générateur de signaux triphasés.

On souhaite générer les signaux définis par le chronogramme ci-dessous.



- 5.1. Définir le nombre d'états et le cycle de comptage pour obtenir cette séquence en sortie d'un compteur synchrone. Pour noter les états on prendra Q0 comme bit de poids faible.
- 5.2. Cette séquence peut-elle être obtenue à partir d'un compteur en anneau à 3 bascules ?
- 5.3. On souhaite réaliser ce compteur à l'aide de 3 bascules D. Déterminer les équations des 3 entrées D0, D1, D2 qui permettront d'obtenir cette séquence de comptage.
- 5.4. Établir le diagramme d'état complet du dispositif.
- 5.5. Le système est-il auto-initialisant ?

## 6. Etude d'une commande de massicot.

Un massicot électrique est actionné par un moteur à deux sens de rotation : montée (M) et descente (D). D et M sont les signaux de commande de deux contacteurs qui mettent le moteur en rotation dans le sens correspondant. En attente de coupe, la lame est au repos en position haute.

Pour des raisons de sécurité, la descente de la lame ne peut être commandée que si l'opérateur appuie simultanément sur deux boutons (d et g) situés de part et d'autre de la zone de coupe, une main sur chaque bouton.

Pour éviter tout accident liés à une tierce personne, une cellule photo-électrique (c) couvre les abords de la lame et empêche tout démarrage si la zone n'est pas libre. Si la zone est libre la cellule délivre un signal à "1", sinon un signal à "0".

Si les conditions de départ sont réunies, le moteur effectue un cycle de coupe en descendant la lame jusqu'à un capteur de fin de course bas (b) et la remonte ensuite jusqu'à sa position initiale donnée par un capteur de fin de course haut (h). Si les conditions de départ ne sont plus réunies pendant la descente (relâchement d'un bouton poussoir par exemple) cela provoque un mouvement de remontée anticipé. Si les conditions de démarrage sont réunies pendant toute la descente le massicot effectue une coupe et s'arrête une fois revenu à sa position initiale.

- 6.1. Montrer que l'étude structurelle du système peut-être décomposée en une partie combinatoire délivrant un signal de départ de cycle (s) et une partie séquentielle.
- 6.2. Donner l'équation de s.

La partie séquentielle sera réalisée à l'aide d'un automate construit autour de bascules D dont les entrées d'horloge sont reliées à une horloge à fréquence constante. A la mise sous tension les bascules sont mises à zéro par un circuit RC sur une entrée reset asynchrone.

- 6.3. Sachant que la vitesse de descente de la lame est de 20 mm/s et que le dépassement autorisé du capteur b est de 0,5 mm, déterminer la fréquence minimale de l'horloge à adopter. On supposera que l'inversion de sens s'effectue avec un temps de retard négligeable (on néglige les inerties mécaniques).
- 6.4. Donner le diagramme d'état en 4 étapes du fonctionnement du système faisant apparaître les signaux s, h, b et les sorties D et M
- 6.5. donner le nombre de bascules D nécessaire pour réaliser cet automate.
- 6.6. Attribuer à chaque état une valeur de sortie des bascules. Pour cela on prendra un comptage binaire naturel en sortie des bascules pour passer d'une étape à la suivante.
- 6.7. Déterminer les équations des entrées des bascules
- 6.8. Déterminer les équations des sorties D et M