

# Registro CLCxCON

La sección de salida y la sección lógica de la celda lógica configurable (CLC) (<https://microchip-dev.wikidot.com/8bit:clc>) están controladas por el registro CLCxCON.

## CLCxCON: Registro de control de celda lógica configurable

L/E- 0/0	L/E- 0/0	L/E-0/0	L/E-0/0	L/E-0/0	L/E-0/0	L/E-0/0	L/E-0/0
LCxES	LCxOE	LCxSALIDA	LCxINTP	LCxINTN	LCxMODE2	LCxMODE1	LCxMODE0
bit 7				bit 0			

### Leyenda

R = Bit legible

u = El bit no cambia

'1' = el bit está establecido

W = bit grabable

x = el bit es desconocido

'0' = el bit se borra

U = bit no implementado, leído como '0'

-n/n = Valor en POR y BOR/Valor en todos los demás reinicios

-n = Valor en el reinicio de POR

bit 7 **LCxEN:** bit de habilitación de CLC

1 = CLC está habilitado y mezcla señales de entrada

0 = CLC está deshabilitado y tiene salida lógica cero

bit 6 **LCxEQE:** bit de habilitación de salida CLC

1 = Salida de pin de puerto CLC habilitada

0 = Salida de pin de puerto CLC deshabilitada

bit 5 **LCxOUT:** bit de salida de datos CLC

Solo lectura: datos de salida de celda lógica, después de LCxPOL; muestreado del cable lcx\_out

bit 4 **LCxINTP:** bit de habilitación de interrupción de avance de flanco positivo CLC

1 = LCxIF se establecerá cuando se produzca un flanco ascendente en lcx\_out

0 = LCxIF no se establecerá

bit 3 **LCxINTN:** bit de habilitación de interrupción de flanco negativo CLC

1 = LCxIF se establecerá cuando se produzca un flanco descendente en lcx\_out

0 = LCxIF no se establecerá

bit 2-0 **LCxMODE<2:0>**: Bits de modo funcional CLC

111 = La celda es un pestillo transparente de 1 entrada con S y R

110 = La celda es un Flip-Flop JK con R

101 = La celda es un Flip-Flop D de 2 entradas con R

100 = La celda es un Flip-Flop D de 1 entrada con S y R

011 = La celda es SR latch

010 = La celda es AND de 4 entradas

001 = La celda es OR-XOR

000 = La celda es AND-OR

De la hoja de datos PIC16F1507  
(<http://ww1.microchip.com/downloads/en/DeviceDoc/40001586D.pdf>) .

---

El bit de habilitación de CLC habilitará o deshabilitará el módulo CLC. Un 1 lo habilita y un 0 lo deshabilita.

bit 7 **LCxEN**: Configurable Logic Cell Enable bit  
1 = Configurable logic cell is enabled and mixing input signals  
0 = Configurable logic cell is disabled and has logic zero output

(/local--files/8bit:clcon/LCEN.png)

---

El bit de habilitación de salida CLC habilitará o deshabilitará la salida del módulo CLC. Un 1 lo habilita y un 0 lo deshabilita.

bit 6 **LCxOE**: Configurable Logic Cell Output Enable bit  
1 = Configurable logic cell port pin output enabled  
0 = Configurable logic cell port pin output disabled

(/local--files/8bit:clcon/LCOE.png)

---

El bit CLC LCOUT es un indicador que se puede monitorear en el software para determinar el estado de la salida CLC.

bit 5 **LCxOUT**: Configurable Logic Cell Data Output bit  
Read-only: logic cell output data, after LCxPOL; sampled from lcx\_out wire.

(/local--files/8bit:clcon/LCOUT.png)

---

El bit CLC LCINTP habilita la interrupción de flanco ascendente en el CLC. Cuando está habilitado (establecido en 1), el CLC activará una interrupción cuando la salida del CLC aumente del estado bajo al alto.

**bit 4**            **LCxINTP:** Configurable Logic Cell Positive Edge Going Interrupt Enable bit  
1 = LCxIF will be set when a rising edge occurs on lcx\_out  
0 = LCxIF will not be set

(/local--files/8bit:clcon/LCINTP.png)

---

El bit CLC LCINTN habilita la interrupción de flanco descendente en el CLC. Cuando está habilitado (establecido en 1), el CLC activará una interrupción cuando la salida del CLC caiga del estado alto al bajo.

**bit 3**            **LCxINTN:** Configurable Logic Cell Negative Edge Going Interrupt Enable bit  
1 = LCxIF will be set when a falling edge occurs on lcx\_out  
0 = LCxIF will not be set

(/local--files/8bit:clcon/LCINTN.png)

---

Los bits CLC LCMODE seleccionan la función lógica CLC usando tres bits (0-2).

**bit 2-0**            **LCxMODE<2:0>:** Configurable Logic Cell Functional Mode bits  
111 = Cell is 1-input transparent latch with S and R  
110 = Cell is J-K Flip-Flop with R  
101 = Cell is 2-input D Flip-Flop with R  
100 = Cell is 1-input D Flip-Flop with S and R  
011 = Cell is S-R latch  
010 = Cell is 4-input AND  
001 = Cell is OR-XOR  
000 = Cell is AND-OR

(/local--files/8bit:clcon/LCMODE.png)