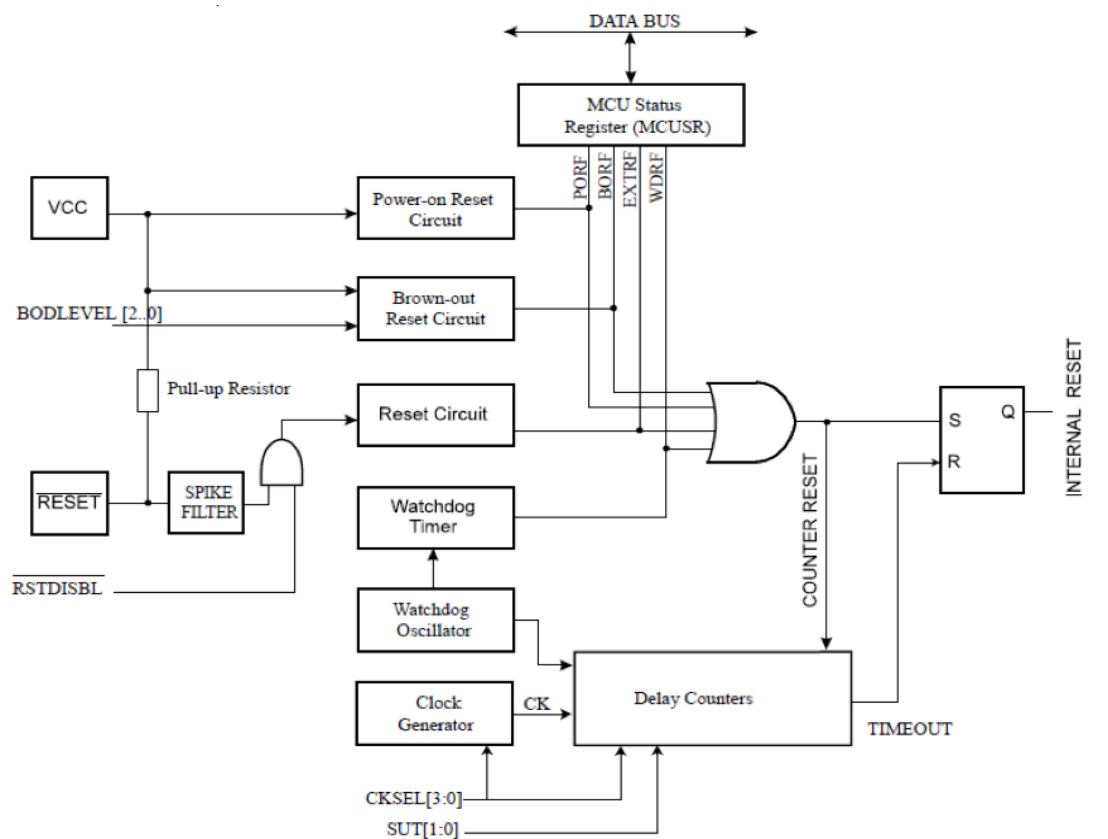


Fuentes de restablecimiento de AVR

El dispositivo AVR tiene cuatro fuentes de reinicio:

- **Power-on Reset** - The Microcontroller (MCU) is reset when the supply voltage is less than the Power-on Reset threshold (VPOT).
- **External Reset** - The MCU is reset when a low level is present on the RESET pin for longer than the minimum pulse length.
- **Watchdog System Reset** - The MCU is reset when the Watchdog Timer period expires and the Watchdog System Reset mode is enabled.
- **Brown-out Reset** - The MCU is reset when the supply voltage V_{CC} is less than the Brown-out Reset.



MCU Status Register (MCUSR)

To make use of the reset flags to identify a reset condition, the user should read and then reset the MCUSR as early as possible in the program. If the register is cleared before another reset occurs, the source of the reset can be found by examining the reset flags.

Name: MCUSR

Offset: 0x54

Reset: 0x00

Property: When addressing as I/O Register: address offset is 0x34

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|---|---|---|---|------|------|-------|------|
| | | | | | WDRF | BORF | EXTRF | PORF |
| Access | | | | | R/W | R/W | R/W | R/W |
| Reset | | | | | 0 | 0 | 0 | 0 |

Bit 3 – WDRF: Watchdog System Reset Flag

This bit is set if a Watchdog System Reset occurs. The bit is reset by a Power-on Reset, or by writing a '0' to it.

Bit 2 – BORF: Brown-out Reset Flag

This bit is set if a Brown-out Reset occurs. The bit is reset by a Power-on Reset, or by writing a '0' to it.

Bit 1 – EXTRF: External Reset Flag

This bit is set if an External Reset occurs. The bit is reset by a Power-on Reset, or by writing a '0' to it.

Bit 0 – PORF: Power-on Reset Flag

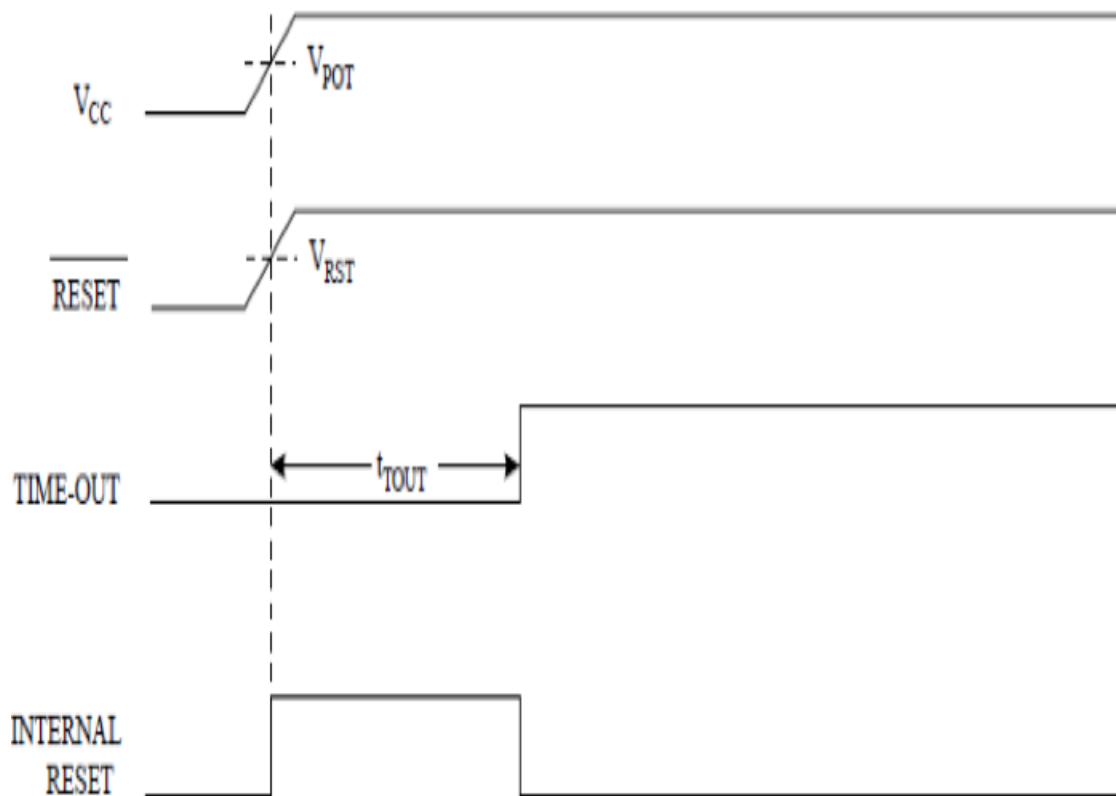
This bit is set if a Power-on Reset occurs. The bit is reset only by writing a '0' to it.

Power-on Reset (POR)

A POR pulse is generated by an On-chip detection circuit. The POR is activated whenever V_{CC} is below the detection level. The POR circuit can be used to trigger the start-up Reset, as well as to detect a failure in supply voltage.

A POR circuit ensures that the device is reset from Power-on. Reaching the Power-on Reset threshold voltage invokes the delay counter, which determines how long the device is kept in Reset after V_{CC} rise.

The Reset signal is activated again, without any delay, when V_{CC} decreases below the detection level.

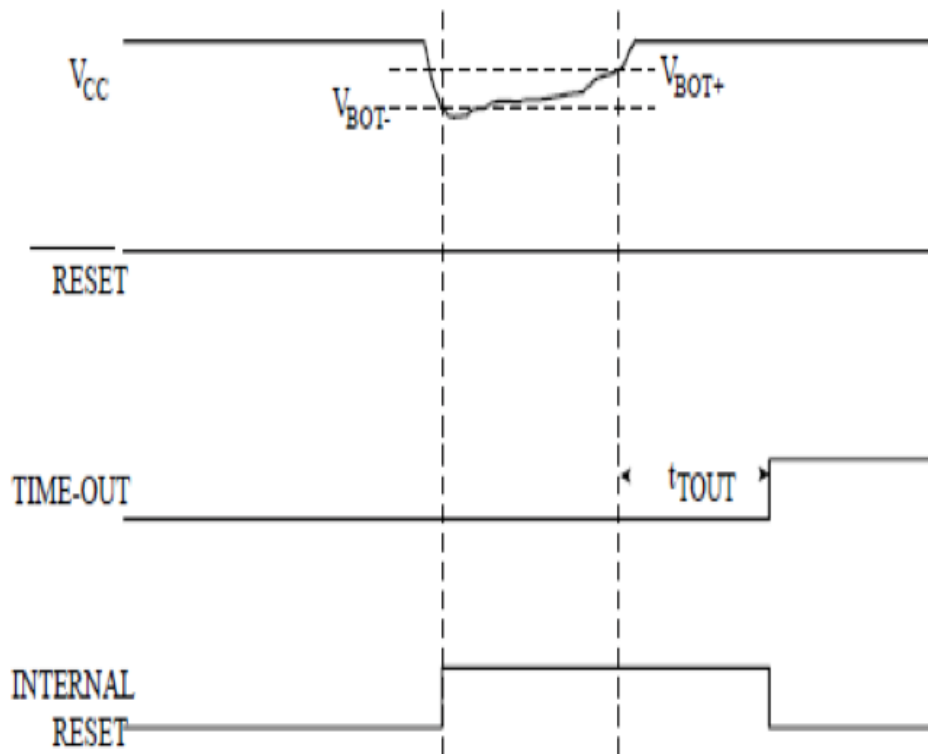


Brown-out Detection (BOD) and Brown-out Reset (BOR)

The device has an On-chip BOD circuit for monitoring the V_{CC} level during operation by comparing it to a fixed trigger level. The trigger level for the BOD can be selected by the BODLEVEL Fuses.

The BOR circuitry has hysteresis on the detection level. The BOD circuit will only detect a drop in V_{CC} if the voltage stays below the trigger level (V_{BOT-}) for longer than t_{BOD} . When that occurs, the BOR is immediately activated.

Cuando V_{CC} aumenta por encima del nivel de activación (V_{BOT+} en la siguiente figura), el contador de retardo inicia la MCU después de que haya expirado el período de tiempo de espera t_{TOUT} .



Temporizador de vigilancia (WDT)

El WDT se ejecuta independientemente del resto del sistema, lo que hace que el sistema se reinicie cada vez que se agote el tiempo de espera. Sin embargo, el software de la aplicación debe garantizar que nunca se agote el tiempo de espera reiniciando el WDT periódicamente siempre que el software se encuentre en un estado saludable conocido. Si el sistema se bloquea o la ejecución del programa se corrompe, el WDT no recibirá su reinicio periódico y, finalmente, expirará y provocará un reinicio del sistema.

El WDT mejorado en algunos dispositivos AVR también tiene la capacidad de generar interrupciones en lugar de reiniciar el dispositivo. Dado que el WDT funciona con su propio reloj independiente, se puede utilizar para activar el AVR desde todos los modos de suspensión. Esto lo convierte en un temporizador de despertador ideal, que se combina fácilmente con el funcionamiento normal como fuente de reinicio del sistema. La interrupción también se puede utilizar para obtener una advertencia temprana de un próximo restablecimiento del sistema Watchdog para que los parámetros vitales se puedan respaldar en una memoria no volátil.

Detección de fallas de reloj (CFD)

El CFD permite al usuario monitorear el oscilador de cristal de baja potencia o la señal del reloj externo (XOSC). El XOSC es monitoreado por el circuito CFD que opera con el oscilador interno de 128kHz. CFD supervisa el reloj XOSC y, si falla,

cambiará automáticamente a un reloj RC interno seguro. Cuando se produce un encendido o un restablecimiento externo, el dispositivo volverá al reloj XOSC y continuará monitoreando el reloj XOSC en busca de fallas.

El reloj seguro se deriva del reloj del sistema RC interno de 8 MHz. Esto permite configurar el reloj seguro para satisfacer las necesidades de seguridad de la aplicación.