

...Celda lógica configurable

La celda lógica configurable (CLC) proporciona una lógica programable que opera fuera de las limitaciones de velocidad de ejecución del software. La celda lógica acepta hasta 16 señales de entrada y, mediante el uso de puertas configurables, reduce las 16 entradas en cuatro líneas lógicas que controlan una de las ocho funciones lógicas de salida única seleccionables.

Las fuentes de entrada son una combinación de lo siguiente:

- pines de E/S
- relojes internos
- Periféricos
- Bits de registro

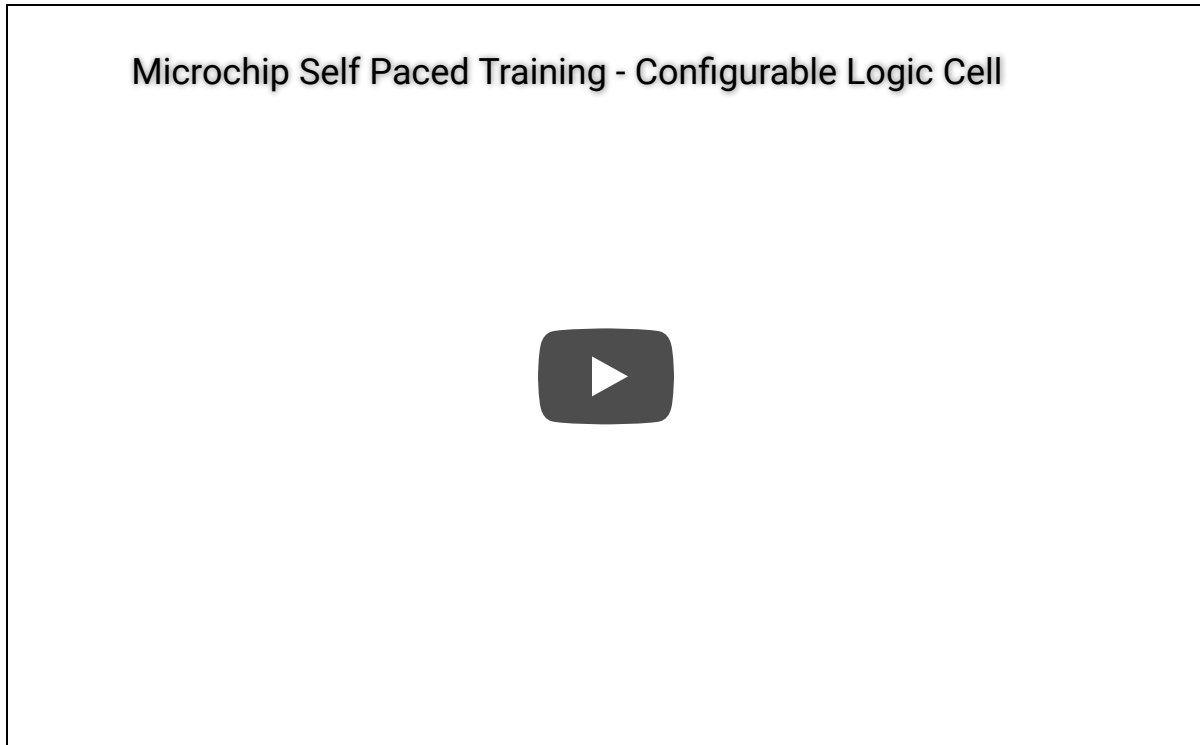
La salida se puede dirigir internamente a los periféricos ya un pin de salida.

Las posibles configuraciones incluyen:

- Lógica combinatoria
 - Y
 - NAND
 - Y-O
 - Y-O-INVERTIR
 - OR-XOR
 - O-XNOR
 - Pestillos
 - RS
 - Reloj D con Set y Reset
 - D transparente con Set y Reset
 - JK cronometrado con reinicio
-

Videotutorial de CLC

Este video presenta la celda lógica configurable (CLC) para dispositivos MCU de 8 bits de Microchip y muestra cómo usarla.



Configuración de CLC

El periférico CLC tiene cuatro secciones que deben configurarse antes de poder usarse. Esto implica configurar ocho registros en su programa de software. Una vez que se configuran estos registros, el CLC funcionará independientemente del control del software hasta que los registros se cambien a través del software.

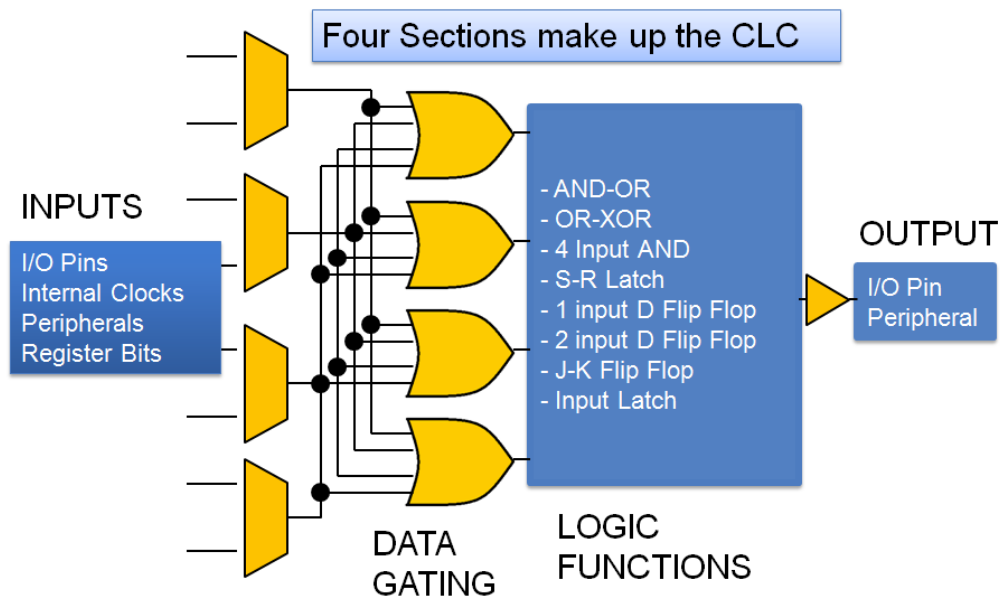
Incluyen:

- CLCxCON
- CLCxSEL0
- CLCxSEL1
- CLCxGLS0
- CLCxGLS1
- CLCxGLS2
- CLCxGLS3
- CLCxPOL

Un dispositivo **PIC®** puede tener varios ^{CLC}, por lo que cada módulo CLC tiene su propio conjunto de ocho registros. La x en los nombres de registro anteriores representan el número CLC (por ejemplo, CLC1 usa el registro CLC1CON).

Para simplificar la configuración, el CLC se puede dividir en cuatro secciones que deben configurarse. Incluyen:

- Entradas
- puerta de datos
- función lógica
- Configuración de salida



(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/clcsetup.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

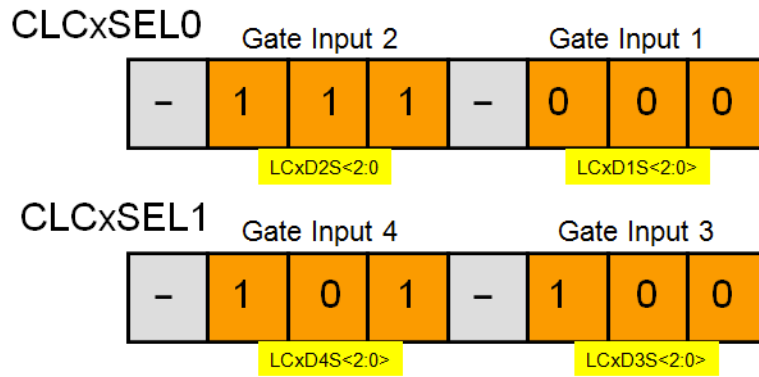
Entradas

Las entradas pueden provenir de 8 a 16 fuentes diferentes, según el dispositivo PIC, y de esta lista, se pueden elegir hasta cuatro para alimentar la sección de activación de datos.

Pueden incluir:

- pines de E/S
- Salidas de reloj internas
- Salidas de periféricos
- Bits de registro

Las entradas se seleccionan por bits en los registros CLCxSEL0 y CLCxSEL1.



(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/CLCselregisters.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

Cada entrada tiene un código de 3 bits asociado que se coloca en los registros CLCxSEL para habilitar la entrada.

CLC 1 Input	Source
CLC1IN[0] CLC1IN[1]	CLC1IN0 PIN CLC1IN1 PIN
CLC1IN[2] CLC1IN[3]	SYNCC1OUT SYNCC2OUT
CLC1IN[4] CLC1IN[5]	Fosc TMR0IF
CLC1IN[6] CLC1IN[7]	TMR1IF TMR2 = PR2
CLC1IN[8] CLC1IN[9]	lc1_out lc2_out
CLC1IN[10] CLC1IN[11]	lc3_out lc4_out
CLC1IN[12] CLC1IN[13]	NCO1OUT HFINTOSC
CLC1IN[14] CLC1IN[15]	PWM3OUT PWM4OUT

(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/CLCinputs.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-

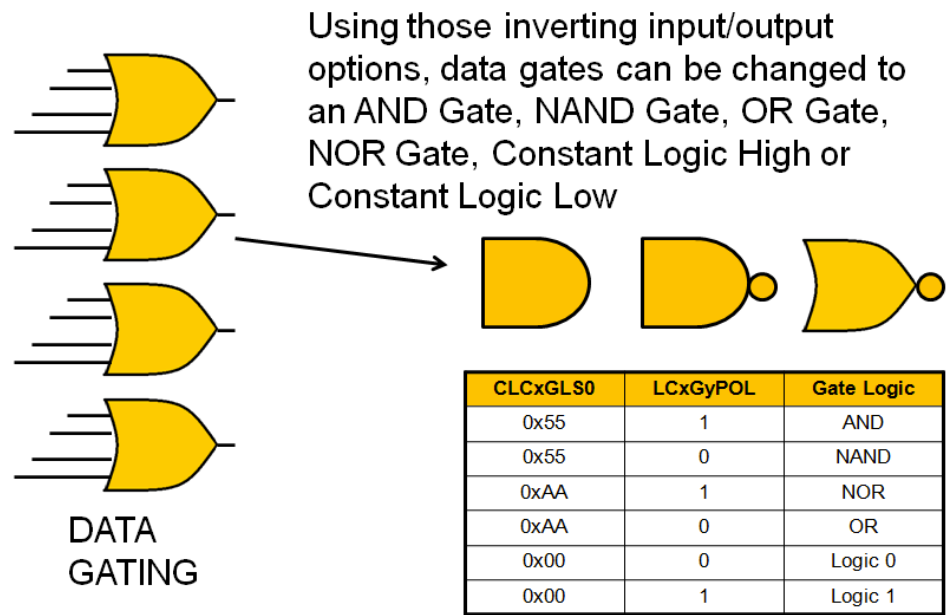
puerta de datos

La sección de puerta de datos tiene cuatro puertas lógicas que deben configurarse. Esto requiere que se configuren cinco registros separados. Configuran la conexión invertida o no invertida desde las entradas que controlan el periférico CLC. Los cinco registros incluyen:

- CLCxGLS0
- CLCxGLS1
- CLCxGLS2
- CLCxGLS3
- CLCxPOL

Cada puerta comienza como una puerta OR base, pero cada entrada y salida puede invertirse o no invertirse individualmente.

Esto permite crear compuertas AND, NAND, OR y NOR. Las puertas también se pueden configurar para controlar un nivel lógico constante de 1 o 0.



(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/datagating.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

Cada entrada a una puerta de datos tiene un par de bits en uno de los registros CLCxGLSx. Los dos bits incluyen un bit no invertido (T) y un bit invertido (N) que debe configurarse. Si el bit T está establecido, la entrada no está invertida. Si se establece el

bit N, la entrada se invierte. Si ambos se ponen a cero, entonces la entrada no está conectada a la puerta.

CLC1POL

LC1POL	—	—	—	LC1G4POL	LC1G3POL	LC1G2POL	LC1G1POL 0
--------	---	---	---	----------	----------	----------	---------------

CLC1GLS0

LC1G1D4T 0	LC1G1D4N 1	LC1G1D3T 0	LC1G1D3N 1	LC1G1D2T 0	LC1G1D2N 1	LC1G1D1T 0	LC1G1D1N 1
---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------



(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/clcglregisters.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

El bit de registro CLCxPOL, bit LCxGxPOL, invertirá o no la salida de la puerta.

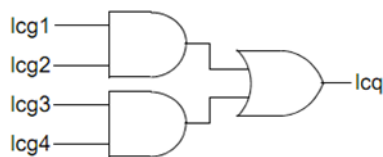
0 - no invertido

1 - invertido

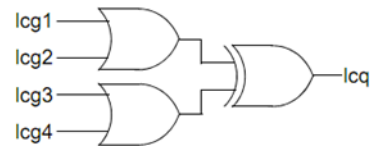
función lógica

La función lógica tiene ocho opciones para elegir. Se selecciona en el registro CLCxCON. Cada función lógica tiene un código de 3 bits asociado.

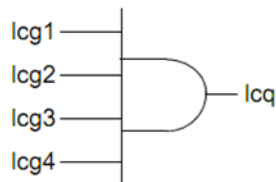
000 = AND – OR



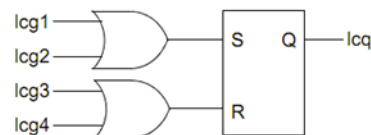
001 = OR – XOR



010 = 4-Input AND

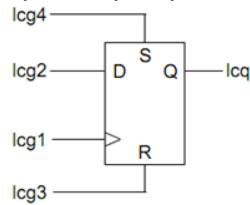


011 = S-R Latch

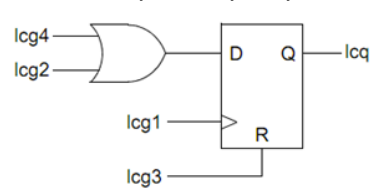


(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/logic1.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

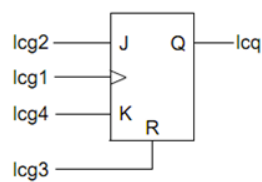
100 = 1-Input D Flip-Flop with S and R



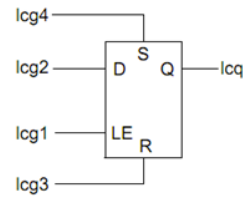
101 = 2-Input D Flip-Flop with R



110 = J-K Flip-Flop with R



111 = 1-Input Transparent Latch with S and R



(<https://microchipdeveloper-com.translate.goog/local--files/8bit:clc>

[/logic2.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc](https://microchipdeveloper-com.translate.goog/local--files/8bit:clc))

El código de 3 bits se establece en los bits LCxMODE del registro CLCxCON para habilitar la función lógica seleccionada.

CLCxCON

LCxMODE < 2 : 0 >

-	-	-	-	-	1	1	0
---	---	---	---	---	---	---	---

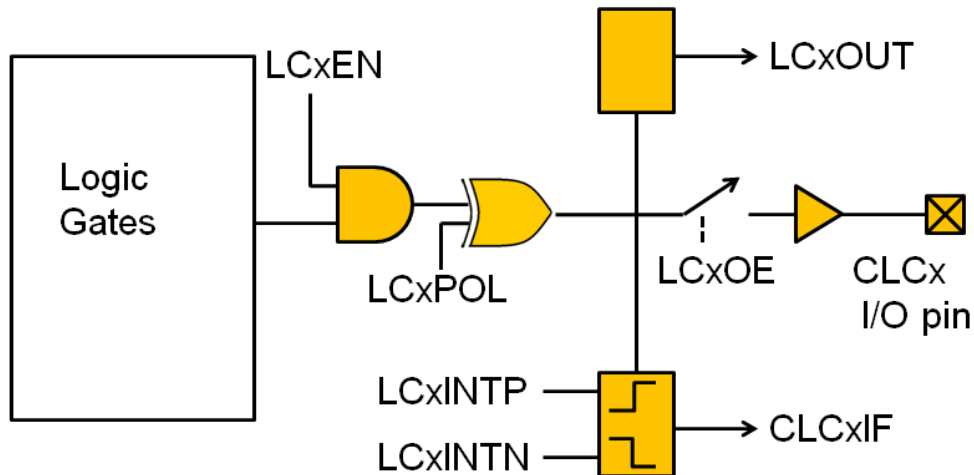
(<https://microchipdeveloper-com.translate.goog/local--files/8bit:clc>

[/clcon.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc](https://microchipdeveloper-com.translate.goog/local--files/8bit:clc))

Producción

Todas las secciones CLC se reducen a una sola salida que puede controlar un pin de E/S, alimentar otro módulo CLC o periférico interno, o también puede activar una interrupción de borde ascendente o descendente. Estas diversas opciones se configuran en los registros CLCxCON y CLCxPOL.

There are multiple bits that control the output from the CLC module



(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/output.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

Los bits en el registro CLCxCON controlan la configuración de salida.

LCxEN: bit de habilitación del módulo CLC (1 - CLC activado, 0 - desactivado)

LCxOE: bit de habilitación de salida (1: habilitar, 0: deshabilitar)

LCxOUT: monitorizar internamente la salida a través del software (bit de solo lectura)

LCxINTP: habilitación de interrupción de borde ascendente (1 -CLCxIF configurado en el flanco ascendente)

LCxINTN: habilitación de la interrupción del flanco descendente (1-CLCxIF configurado en el flanco descendente)

CLCxCON

LCxEN	LCxOE	LCxOUT	LCxINTP	LCxINTN	LCxMODE2	LCxMODE1	LCxMODE0
0	1	X	1	0	—	—	—

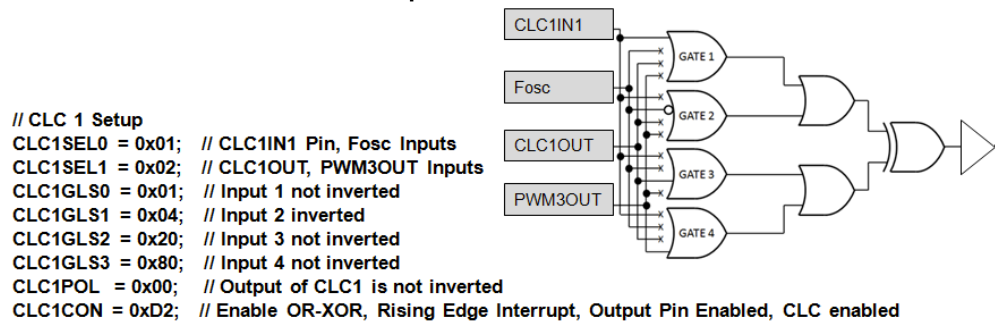
P - Rising Edge Interrupt
N - Falling Edge Interrupt

(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/clcconoutput.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

Ejemplo de CVX

Aquí hay un ejemplo simple que muestra los ocho registros configurados en el software para crear la configuración CLC que se muestra en la imagen.

The example below shows a setup for the CLC1 module.
The eight register settings are shown for this example in a
format for the XC8 compiler.



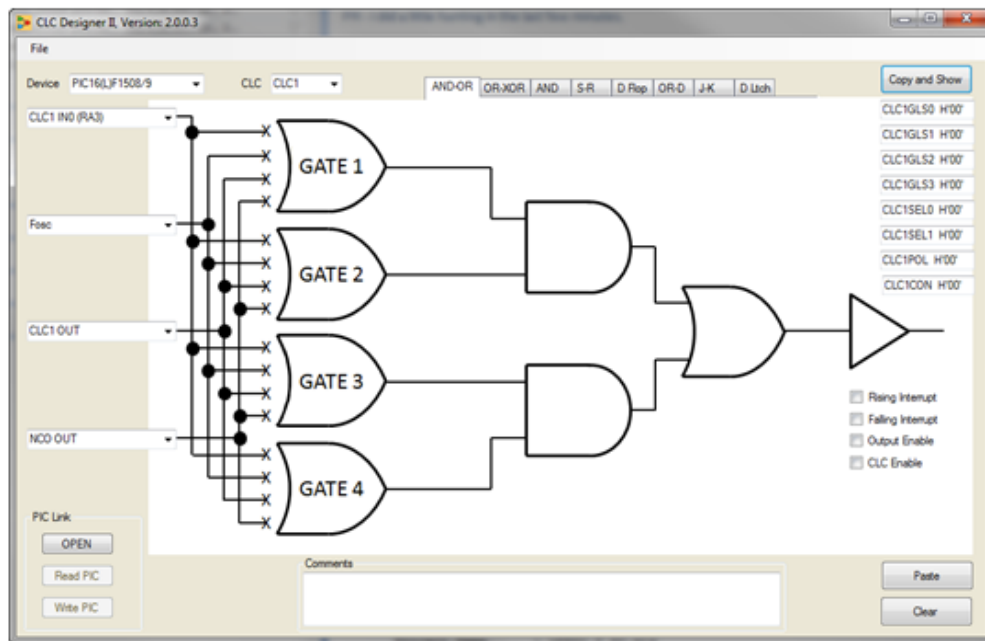
(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/clcexample.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)

Herramienta de diseño de CLC

CLC Designer Tool es una herramienta basada en GUI que facilita mucho la creación de la estructura CLC. A través de una serie de opciones de configuración, la herramienta generará automáticamente la configuración de ocho registros para que pueda incluirla en su proyecto **MPLAB® X**.



La herramienta CLC Designer es parte del complemento MPLAB Code Configurator (MCC) MPLAB® X.



(https://microchipdeveloper-com.translate.goog/local--files/8bit:clc/clcgui.png?_x_tr_sl=en&_x_tr_tl=es&_x_tr_hl=es-419&_x_tr_pto=sc)