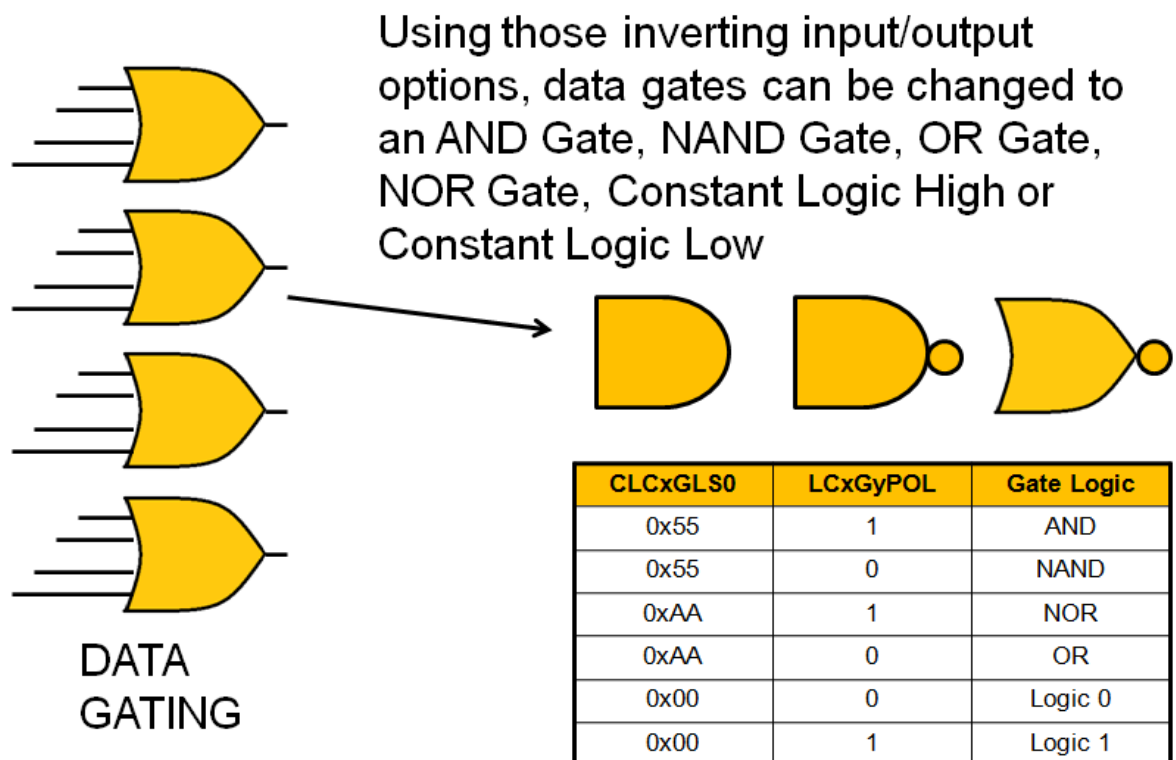


Registro CLCxPOL

El registro CLCxPOL, contenido en la celda lógica configurable (CLC) (<https://microchip-dev.wikidot.com/8bit:clc>) , controla la polaridad de las salidas de puerta de datos y también la polaridad de la salida CLC.

Salidas de puerta de datos CLC

La siguiente imagen resume la lógica básica que se puede obtener en una puerta usando los bits de selección de lógica de puerta.



(/link)

La tabla muestra la lógica de cuatro variables de entrada, pero cada puerta se puede configurar para usar menos de cuatro. Si no se seleccionan entradas, la salida será 0 o 1, dependiendo del bit de polaridad de salida de la puerta. La polaridad de salida está controlada por el registro CLCxPOL.

CLC1POL

LC1POL	—	—	—	LC1G4POL	LC1G3POL	LC1G2POL	LC1G1POL 0
--------	---	---	---	----------	----------	----------	---------------

CLC1GLS0

LC1G1D4T 0	LC1G1D4N 1	LC1G1D3T 0	LC1G1D3N 1	LC1G1D2T 0	LC1G1D2N 1	LC1G1D1T 0	LC1G1D1N 1
---------------	---------------	---------------	---------------	---------------	---------------	---------------	---------------



(/link)

Control de salida CLC

La salida de todo el CLC también se puede invertir en el registro CLCxPOL configurando el séptimo bit en el registro. Borrar el bit hará que la salida CLC no se invierta.

CLC1POL

LC1POL	—	—	—	LC1G4POL	LC1G3POL	LC1G2POL	LC1G1POL
--------	---	---	---	----------	----------	----------	----------

(/link)

1 - Invertir la salida CLC

0 - No invertir la salida CLC