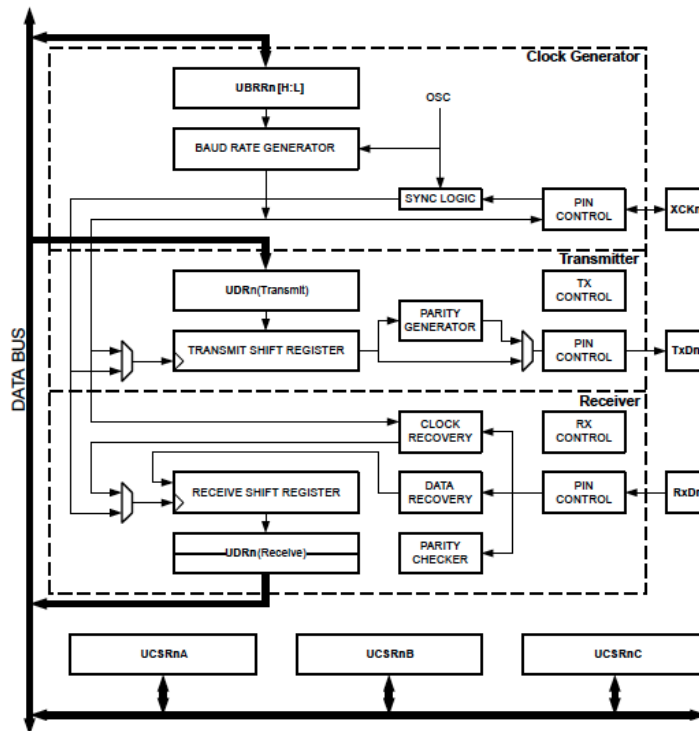


AVR® USART Introducción

Los dispositivos AVR® incluyen al menos uno ya veces más bloques Universal Synchronous and Asynchronous serial Receiver and Transmitter (USART). En el diagrama de bloques del USART, se muestran los pines de E/S y los registros de E/S accesibles de la unidad central de procesamiento (CPU).

Diagrama de bloques USART



(/local--files/8avr:avrusartintro/avrusart.png)

Los cuadros discontinuos en el diagrama de bloques separan las tres partes principales del USART:

- Generador de reloj
- Transmisor
- Receptor

La lógica de **generación de reloj** consiste en la lógica de sincronización para la entrada de reloj externa utilizada por la operación esclava síncrona y el generador de velocidad en baudios. El **pin XCKn (Transfer Clock)** solo se usa en el modo de transferencia síncrona.

El **transmisor** consta de un solo búfer de escritura, un registro de desplazamiento en serie, un generador de paridad y una lógica de control para manejar diferentes formatos de tramas en serie. El búfer de escritura permite una transferencia continua de datos sin demora entre fotogramas.

El **Receptor** es la parte más compleja del módulo USART debido a sus unidades de reloj y recuperación de datos. Las unidades de recuperación se utilizan para la recepción de datos asíncronos. Además de las unidades de recuperación, el receptor incluye un verificador de paridad, lógica de control, un registro de desplazamiento y un búfer de recepción de dos niveles (UDRn). El receptor admite los mismos formatos de trama que el transmisor y puede detectar errores de trama, saturación de datos y errores de paridad.

Breve introducción a USART

AVR® Insights - Episode 6 - USART



Características de USART:

- Operación Full Duplex (Registros Independientes de Recepción y Transmisión en Serie)
- Operación asíncrona o síncrona
- Operación síncrona sincronizada con reloj maestro o esclavo
- Generador de tasa de baudios de alta resolución
- Admite tramas en serie con 5, 6, 7, 8 o 9 bits de datos y 1 o 2 bits de parada
- Generación de paridad par o impar y comprobación de paridad compatibles con el hardware
- Detección de exceso de datos
- Detección de errores de encuadre
- El filtrado de ruido incluye detección de bit de inicio falso y filtro de paso bajo digital
- Tres interrupciones separadas en TX completo, registro de datos de TX vacío y RX completo
- Modo de comunicación multiprocesador
- Modo de comunicación asíncrona de doble velocidad
- Iniciar detección de fotogramas

Comunicación serial

La comunicación en serie es una forma de enviar datos entre dos dispositivos electrónicos usando solo dos cables. El USART transmite y recibe datos utilizando el formato estándar sin retorno a cero (NRZ). NRZ se implementa con dos niveles: una salida de voltaje alta (VOH) o estado de marca que representa un bit de datos '1', y una salida de voltaje baja (VOL) o estado de espacio que representa un bit de datos '0'. NRZ se refiere al hecho de que los bits de datos del mismo estado transmitidos consecutivamente permanecen en el mismo nivel de salida sin volver a un nivel cero o neutral entre cada transmisión de bits. El estado inactivo pone el pin de salida en una marca (es decir, estado alto). La transmisión puede ocurrir de forma síncrona o asíncrona.

Operación de reloj síncrono

Las comunicaciones seriales síncronas se usan típicamente en sistemas con un solo maestro y uno o más esclavos. El dispositivo maestro contiene los circuitos necesarios para la generación de velocidad en baudios y suministra el reloj para todos los dispositivos del sistema. Los dispositivos esclavos pueden aprovechar el reloj maestro al eliminar el circuito de generación de reloj interno. Hay dos líneas de señal en modo síncrono:

- Línea de datos bidireccional
- línea de reloj

Los esclavos utilizan el reloj externo suministrado por el maestro para cambiar los datos en serie dentro y fuera de sus respectivos registros de recepción y transmisión. Dado que la línea de datos es bidireccional, la operación síncrona es solo semidúplex. Half-duplex se refiere al hecho de que los dispositivos maestro y esclavo pueden

recibir y transmitir datos, pero no ambos simultáneamente. El USART puede funcionar como dispositivo maestro o esclavo. Por lo general, los bits de inicio y parada no son necesarios para las transmisiones síncronas.

Cuando se usa el modo síncrono (UMSEL = 1), el pin **XCKn** se usará como entrada de reloj (esclavo) o salida de reloj (maestro). La dependencia entre los bordes del reloj y el muestreo de datos o el cambio de datos es la misma. El principio básico es que la entrada de datos (pin **RxDn**) se muestrea en el borde del reloj **XCKn opuesto al borde en el que se cambia la salida de datos (pin TxDn)**.

Recepción de datos asíncronos

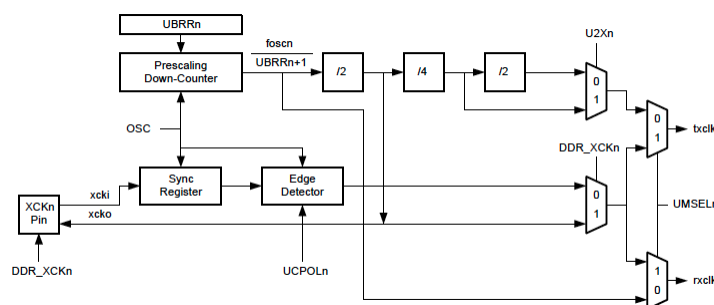
En las comunicaciones Asíncronas se utilizan dos pines. Uno es Transmit (**TxDn**) y el otro es Receive (**RxDn**). El **TxDn** de un dispositivo está conectado al **RxDn** del segundo dispositivo. Cada transmisión de caracteres consta de un bit de inicio seguido de cinco a nueve bits de datos y siempre termina con uno o más bits de parada. El bit de inicio es siempre un espacio y los bits de parada son siempre marcas. Cada bit transmitido persiste durante un período de $1/(Tasa\ de\ baudios)$. Se utiliza un generador de tasa de baudios dedicado en el chip para derivar frecuencias de tasa de baudios estándar del oscilador del sistema.

Generación de reloj

La lógica de generación de reloj genera el reloj base para el transmisor y el receptor. El USART admite cuatro modos de funcionamiento del reloj:

- Asíncrono normal
- Asíncrono de doble velocidad
- Maestro síncrono
- Esclavo síncrono

Diagrama de bloques de reloj



(/local--files/8avr:avrusartintro/clockblock.png)

Descripción de la señal:

- txclk Reloj del transmisor (señal interna).
- rxclk Reloj base del receptor (señal interna).
- xcki Entrada del pin XCK (señal interna). Se utiliza para la operación esclava síncrona.
- Salida de reloj xcko a pin XCK (señal interna). Se utiliza para la operación de maestro síncrono.
- Frecuencia de reloj del sistema OSC.

Generador de velocidad de transmisión

La generación de reloj interno se utiliza para los modos de operación maestro asíncrono y síncrono. El registro de tasa de baudios USART (**UBRRn**) y el contador descendente conectado a él funcionan como un preescalador programable o generador de tasa de baudios. El contador regresivo, que funciona con el reloj del sistema (fosc), se carga con el valor **UBRRn** cada vez que el contador llega a cero o cuando se escribe el registro **UBRRnL** . Se genera un reloj cada vez que el contador llega a cero. Este reloj es la salida del reloj del generador de velocidad en baudios ($= fosc/(UBRRn+1)$).

La siguiente tabla contiene ecuaciones para calcular la tasa de baudios (en bits por segundo) y para calcular el valor **UBRRn** para cada modo de operación utilizando una fuente de reloj generada internamente.

Operating Mode	Equation for Calculating Baud Rate(1)	Equation for Calculating UBRRn Value
Asynchronous Normal mode (U2X = 0)	$BAUD = \frac{f_{osc}}{16(UBRRn + 1)}$	$UBRRn = \frac{f_{osc}}{16BAUD} + - 1$
Asynchronous Double Speed mode (U2X = 1)	$BAUD = \frac{f_{osc}}{8(UBRRn + 1)}$	$UBRRn = \frac{f_{osc}}{8BAUD} + - 1$
Synchronous Master mode	$BAUD = \frac{f_{osc}}{2(UBRRn + 1)}$	$UBRRn = \frac{f_{osc}}{2BAUD} + - 1$

(/local--files/8avr:avrusartintro/baudrate.png)

Más información

Proyecto de ejemplo usando ATmega324PB
(<https://microchiptechnology.sharepoint.com/:u:/s/DeveloperHelp/EWF0Ca52qP5MmkRot2kWnVwBFoLGa3c8KYEjhyaLikHqtg?e=lqa6eV>)
Nota de aplicación AVR306: Usando AVR USART en dispositivos tinyAVR y megaAVR
(http://www.atmel.com/images/atmel-1451-using-the-avr-uart-on-tinyavr-and-megaavr-devices_applicationnote_avr306.pdf)