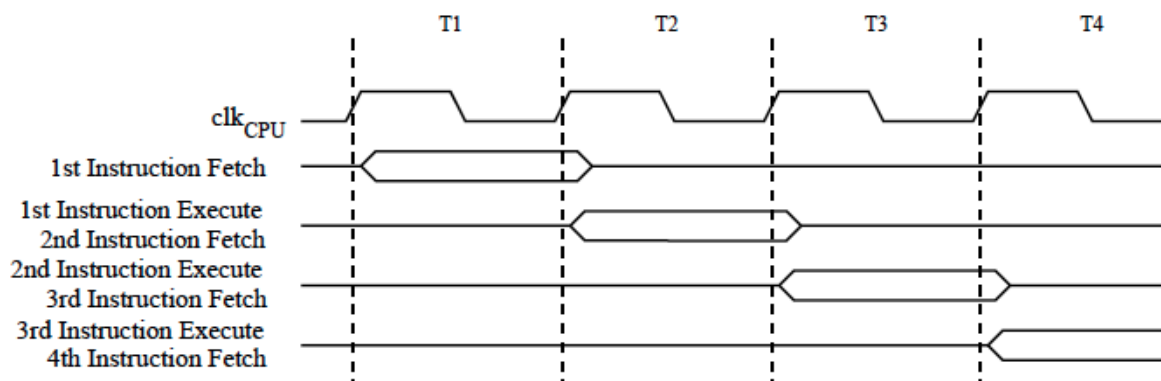


Temporización de instrucciones AVR® de 8 bits

La unidad central de procesamiento (CPU) AVR es impulsada por el reloj `clkCPU` de la CPU, generado directamente desde la fuente de reloj seleccionada para el chip. No se utiliza ninguna división de reloj interna. La arquitectura de Harvard y el concepto de archivo de registro de acceso rápido permiten obtener y ejecutar instrucciones en paralelo. Este es el concepto básico de canalización para obtener hasta 1 MIPS por MHz con los resultados únicos correspondientes para funciones por costo, funciones por relojes y funciones por unidad de potencia.

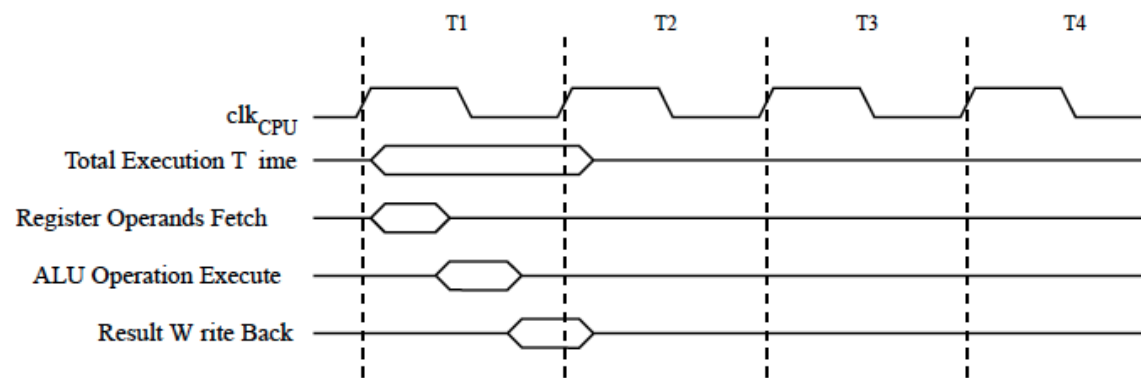
Obtención de instrucciones en paralelo y ejecución de instrucciones



(/local--files/8avr:instime/fetch.png)

En un solo ciclo de reloj, se ejecuta una operación de unidad lógica aritmética (ALU) utilizando dos operandos de registro y el resultado se almacena nuevamente en el registro de destino.

Operación ALU de ciclo único



(/local--files/8avr:instime/single.png)