

Interrupciones AVR®

Los dispositivos AVR® **proporcionan** varias fuentes de interrupción diferentes, incluidas interrupciones internas y externas (/8avr:extint) . Las interrupciones pueden detener la ejecución del programa principal para realizar una rutina de servicio de interrupción (ISR) separada. Cuando se completa la ISR, el control del programa vuelve al programa principal en la instrucción que se interrumpió.

Cada una de estas interrupciones tiene un vector de programa separado en el espacio de memoria del programa. A todas las interrupciones se les asignan bits de habilitación individuales que deben escribirse en una lógica junto con el bit de habilitación de interrupción global en el registro de estado para habilitar la interrupción. Las direcciones más bajas en el espacio de la memoria del programa se definen por defecto como vectores de reinicio e interrupción. Tienen determinados niveles de prioridad; cuanto menor sea la dirección, mayor será el nivel de prioridad. RESET tiene la prioridad más alta, y el siguiente es la Solicitud de interrupción externa 0 (INT0).

Tabla de vectores de interrupción para ATmega324PB:

| Vector No | Program Address ⁽²⁾ | Source | Interrupts definition |
|-----------|--------------------------------|--------------|---|
| 1 | 0x0000 ⁽¹⁾ | RESET | External Pin, Power-on Reset, Brown-out Reset and Watchdog System Reset |
| 2 | 0x0002 | INT0 | External Interrupt Request 0 |
| 3 | 0x0004 | INT1 | External Interrupt Request 1 |
| 4 | 0x0006 | INT2 | External Interrupt Request 2 |
| 5 | 0x0008 | PCINT0 | Pin Change Interrupt Request 0 |
| 6 | 0x000A | PCINT1 | Pin Change Interrupt Request 1 |
| 7 | 0x000C | PCINT2 | Pin Change Interrupt Request 2 |
| 8 | 0x000E | PCINT3 | Pin Change Interrupt Request 3 |
| 9 | 0x0010 | WDT | Watchdog Time-out Interrupt |
| 10 | 0x0012 | TIMER2_COMPA | Timer/Counter2 Compare Match A |
| 11 | 0x0014 | TIMER2_COMPB | Timer/Counter2 Compare Match B |
| 12 | 0x0016 | TIMER2_OVF | Timer/Counter2 Overflow |
| 13 | 0x0018 | TIMER1_CAPT | Timer/Counter1 Capture Event |
| 14 | 0x001A | TIMER1_COMPA | Timer/Counter1 Compare Match A |
| 15 | 0x001C | TIMER1_COMPB | Timer/Counter1 Compare Match B |
| 16 | 0x001E | TIMER1_OVF | Timer/Counter1 Overflow |
| 17 | 0x0020 | TIMER0_COMPA | Timer/Counter0 Compare Match A |
| 18 | 0x0022 | TIMER0_COMPB | Timer/Counter0 Compare Match B |
| 19 | 0x0024 | TIMER0_OVF | Timer/Counter0 Overflow |
| 20 | 0x0026 | SPI0_STC | SPI0 Serial Transfer Complete |
| 21 | 0x0028 | USART0_RX | USART0 Rx Complete |
| 22 | 0x002A | USART0_UDRE | USART0, Data Register Empty |

(/local--files/8avr:int/inttable.png)

Los vectores de interrupción se pueden mover al inicio de la sección Boot Flash configurando el bit `IVSEL` en el registro de control MCU `MCUCR`. El vector de reinicio también se puede mover al inicio de la sección Boot Flash programando el fusible `BOOTRST`.

AVR® Insights - Episode 21 - AVR Microcontroller Interrupts



Cómo funciona

Cuando ocurre una interrupción, el bit I de habilitación de interrupción global se borra y todas las interrupciones se desactivan. El vector de interrupción dirige el control del programa al ISR o ejecución adecuada. Ese ISR puede escribir uno lógico en el bit I para habilitar interrupciones anidadas. Todas las interrupciones habilitadas pueden interrumpir la rutina de interrupción actual. Cuando se completa el ISR y se ejecuta el comando de retorno (RETI) desde el ISR, el bit I global se establece automáticamente en 'ON' y la ejecución del programa vuelve al programa principal en la instrucción que se interrumpió.

Tiempo de respuesta a la interrupción

La respuesta de ejecución de interrupción para todas las interrupciones AVR habilitadas es de cuatro ciclos de reloj como mínimo. Después de cuatro ciclos de reloj, se ejecuta la dirección de vector de programa para la rutina de manejo de interrupción real. Durante este período de cuatro ciclos de reloj, el Contador de programa se coloca en la pila. El vector normalmente es un salto a la rutina de interrupción, y este salto toma tres ciclos de reloj. Si se produce una interrupción durante la ejecución de una instrucción de varios ciclos, esta instrucción se completa antes de que se cumpla la interrupción.

Si se produce una interrupción cuando la MCU está en modo de suspensión, el tiempo de respuesta de ejecución de la interrupción aumenta en cuatro ciclos de reloj. Este aumento se suma al tiempo de inicio del modo de suspensión seleccionado. Un retorno de una rutina de manejo de interrupciones toma cuatro ciclos de reloj. Durante estos cuatro ciclos de reloj, el contador de programa (dos bytes) se extrae de la pila, el puntero de la pila se incrementa en dos y se establece el bit I en `SREG`.

Información Adicional

- Proyecto de ejemplo que usa Watchdog Timer como interrupción en ATmega324PB (<https://microchiptechnology.sharepoint.com/:u:/s/DeveloperHelp/EXb8iTpCqgxHrXsg1eoY1-8Bbwvi6e1ngmuSeX21Xngt7g?e=J7hrYP>)
- Interrupciones externas (/8avr:extint)