

Registros CLCxGLSn

Los registros CLCxGLSn, contenidos en la celda lógica configurable (CLC) (<https://microchip-dev.wikidot.com/8bit:clc>) , controlan la polaridad de las entradas CLC seleccionadas.

Puerta de datos CLC

Las salidas de los multiplexores de entrada se dirigen a la entrada de función lógica deseada a través de la etapa de puerta de datos. Cada puerta de datos puede dirigir cualquier combinación de cuatro entradas seleccionadas. La puerta se puede configurar para dirigir cada señal de entrada como datos invertidos o no invertidos. Las señales dirigidas se combinan en OR en cada puerta. La salida de cada puerta también se puede invertir antes de pasar a la etapa de función lógica, pero eso está controlado por el registro CLCxPOL (<https://microchip-dev.wikidot.com/8bit:clcpol>) .

La sección de puerta de datos está controlada por uno de los cuatro registros. Cada puerta tiene un registro separado. Cada entrada tiene un bit "N" y un bit "P". Establecer el bit "N" invierte la entrada y establecer el bit "P" hace que no se invierta. Si no se establece ninguno, la puerta tendrá un nivel lógico constante alto o bajo dependiendo de la configuración de polaridad de salida en:

- CLCxGLS0
- CLCxGLS1
- CLCxGLS2
- CLCxGLS3

CLCxGLS0 se muestra en la Figura 1

R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u	R/W-x/u
LCxG1D4T	LCxG1D4N	LCxG1D3T	LCxG1D3N	LCxG1D2T	LCxG1D2N	LCxG1D1T	LCxG1D1N
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
u = Bit is unchanged x = Bit is unknown -n/n = Value at POR and BOR/Value at all other Resets
'1' = Bit is set '0' = Bit is cleared

bit 7 **LCxG1D4T:** Gate 1 Data 4 True (non-inverted) bit
1 = lcx4T is gated into lcxg1
0 = lcx4T is not gated into lcxg1

bit 6 **LCxG1D4N:** Gate 1 Data 4 Negated (inverted) bit
1 = lcx4N is gated into lcxg1
0 = lcx4N is not gated into lcxg1

bit 5 **LCxG1D3T:** Gate 1 Data 3 True (non-inverted) bit
1 = lcx3T is gated into lcxg1
0 = lcx3T is not gated into lcxg1

bit 4 **LCxG1D3N:** Gate 1 Data 3 Negated (inverted) bit
1 = lcx3N is gated into lcxg1
0 = lcx3N is not gated into lcxg1

bit 3 **LCxG1D2T:** Gate 1 Data 2 True (non-inverted) bit
1 = lcx2T is gated into lcxg1
0 = lcx2T is not gated into lcxg1

bit 2 **LCxG1D2N:** Gate 1 Data 2 Negated (inverted) bit
1 = lcx2N is gated into lcxg1
0 = lcx2N is not gated into lcxg1

bit 1 **LCxG1D1T:** Gate 1 Data 1 True (non-inverted) bit
1 = lcx1T is gated into lcxg1
0 = lcx1T is not gated into lcxg1

bit 0 **LCxG1D1N:** Gate 1 Data 1 Negated (inverted) bit
1 = lcx1N is gated into lcxg1
0 = lcx1N is not gated into lcxg1

(/local--files/8bit:clcgls/CLCGLS.png)

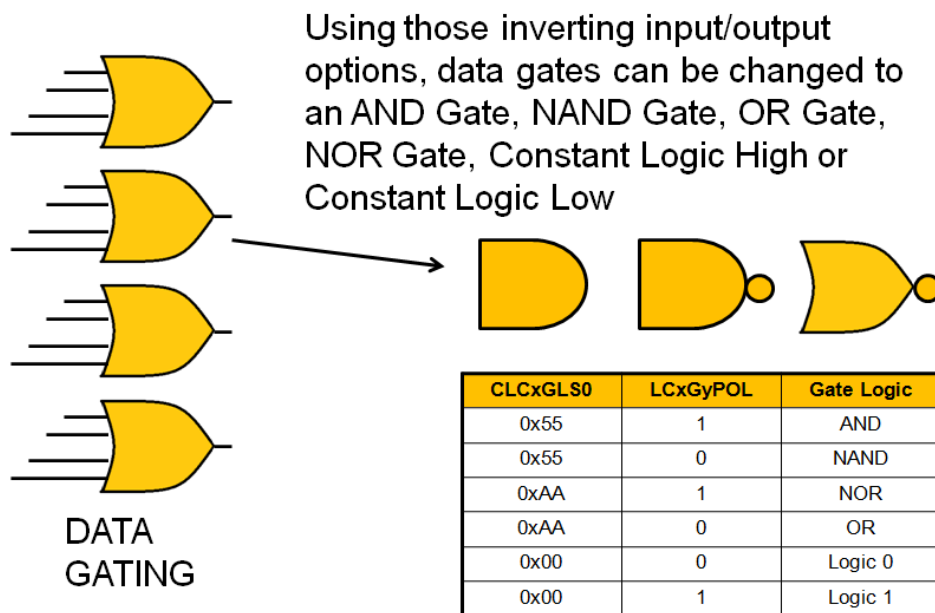
Figura 1

De la hoja de datos PIC16F1507
(<http://ww1.microchip.com/downloads/en/DeviceDoc/40001586D.pdf>) .

Crear varias puertas

Cada compuerta de datos es, en esencia, una compuerta AND/NAND/OR/NOR de 1 a 4 entradas según la configuración de inversión/no inversión. Cuando cada entrada se invierte y la salida se invierte, la puerta es un NOR de todas las entradas de datos habilitadas. Cuando las entradas y salidas no están invertidas, la puerta es un OR de todas las entradas habilitadas.

La tabla que se muestra en la Figura 2 resume la lógica básica que se puede obtener en una puerta usando los bits de selección de lógica de puerta.



(/local--files/8bit:clc/datagating.png)

Figura 2

La tabla muestra la lógica de cuatro variables de entrada. Sin embargo, cada puerta se puede configurar para usar menos de cuatro. Si no se seleccionan entradas, la salida será 0 o 1, según el bit de polaridad de salida de la puerta. La polaridad de salida es controlada por el registro.

CLC1POL

LC1POL	—	—	—	LC1G4POL	LC1G3POL	LC1G2POL	LC1G1POL 0
--------	---	---	---	----------	----------	----------	---------------

CLC1GLS0

LC1G1D4T 0	LC1G1D4N 1	LC1G1D3T 0	LC1G1D3N 1	LC1G1D2T 0	LC1G1D2N 1	LC1G1D1T 0	LC1G1D1N 1
Input 4		Input 3		Input 2		Input 1	

(/local--files/8bit:clc/clcglsregisters.png)

figura 3