

Verschiebungen an der Grenze zwischen Software und Hardware

Marco Platzner und Christian Plessl

1 Einleitung

Im Bereich der Computersysteme ist die Festlegung der Grenze zwischen Hardware und Software eine zentrale Problemstellung. Diese Grenze hat in den letzten Jahrzehnten nicht nur die Entwicklung von Computersystemen bestimmt, sondern auch die Strukturierung der Ausbildung in den Computerwissenschaften beeinflusst und sogar zur Entstehung von neuen Forschungsrichtungen geführt.

In diesem Beitrag beschäftigen wir uns mit Verschiebungen an der Grenze zwischen Hardware und Software und diskutieren insgesamt drei qualitativ unterschiedliche Formen solcher Verschiebungen. Wir beginnen mit der Entwicklung von Computersystemen im letzten Jahrhundert und der *Entstehung dieser Grenze*, die Hardware und Software erst als eigenständige Produkte differenziert. Dann widmen wir uns der Frage, welche Funktionen in einem Computersystem besser in Hardware und welche besser in Software realisiert werden sollten, eine Fragestellung die zu Beginn der 90er-Jahre zur Bildung einer eigenen Forschungsrichtung, dem sogenannten Hardware/Software Co-design, geführt hat. Im Hardware/Software Co-design findet eine Verschiebung von Funktionen an der Grenze zwischen Hardware und Software während der Entwicklung eines Produktes statt, um Produkteigenschaften zu optimieren. Im fertig entwickelten und eingesetzten Produkt hingegen können wir dann eine *feste Grenze zwischen Hardware und Software* beobachten. Im dritten Teil dieses Beitrags stellen wir mit selbst-adaptiven Systemen eine hochaktuelle Forschungsrichtung vor. In unserem Kontext bedeutet Selbst-adaption, dass ein System Verschiebungen von Funktionen an der Grenze zwischen Hardware und Software autonom während der Betriebszeit vornimmt. Solche Systeme beruhen auf rekonfigurierbarer Hardware, einer relativ neuen Technologie mit der die Hardware eines Computers während der

Laufzeit verändert werden kann. Diese Technologie führt zu einer *durchlässigen Grenze zwischen Hardware und Software* bzw. löst sie die herkömmliche Vorstellung einer festen Hardware und einer flexiblen Software damit auf.

2 Von Hardware zu Software

Der Begriff Hardware bezeichnet die physikalischen Teile eines Computers, die Teile die – wenigstens im Prinzip – anfassbar sind. So steht das Wort Hardware im Englischen auch für Eisenwaren und ein Hardware Store ist ein Eisenwarenladen. Computerhardware umfasst zum Beispiel die Prozessoren, Speicher und externe Datenträger, Gehäuse, Tastaturen und Mäuse. Der Begriff Software bezeichnet die Programme und manchmal auch Daten, also Teile die nicht anfassbar sind. Der Begriff Software ist nicht scharf gefasst und man kann über das Wesen von Software philosophieren, sogar darüber ob Software ohne Hardware existiert. In den Computerwissenschaften wird Software üblicherweise klar abgegrenzt von den Rechenvorschriften bzw. Algorithmen, die einen Problemlösungsprozess für einen Computer formal beschreiben. Software bezeichnet dann konkrete Umsetzungen der Algorithmen in Programmiersprachen, wobei es von sehr abstrakten anwendungsorientierten Sprachen bis hin zu Maschinensprachen ein breites Spektrum an Programmiersprachen gibt. Jedenfalls lässt sich feststellen, dass die Ausführung von Software Hardware voraussetzt, und auch für die Speicherung von Software müssen geeignete Datenträger vorhanden sein

Die ersten Computer verwendeten Programme, also Software, die nicht explizit in einem Datenträger gespeichert wurden sondern jedesmal bei einer neuen Programmierung durch Verkabelung hergestellt. Abbildung 1 zeigt einen der ersten Computer, den ENIAC (Electronic Numerical Integrator and Calculator), der von J.P. Eckert und J. Mauchly an der University of Pennsylvania entwickelt und im Jahr 1946 der Öffentlichkeit vorgestellt wurde. ENIAC war zwar ein programmierbarer general-purpose Computer, ein Computer der grundsätzlich durch seine Programmierbarkeit für unterschiedliche Aufgaben eingesetzt werden konnte, wurde aber hauptsächlich für militärische Aufgaben wie ballistische Berechnungen eingesetzt. Als einer der ersten elektronischen Computer war ENIAC 80 Fuss lang und mehrere Fuss hoch. Die Programmierung erfolgte durch Verkabelung, die Eingabe der Daten über damals übliche Lochkarten. Software im heutigen Sinn gab es bei ENIAC nicht.

Die Idee Programme wie Daten zu behandeln, das bedeutete damals sie über Lochkarten in einen Computer einzulesen und dort im Speicher abzu-

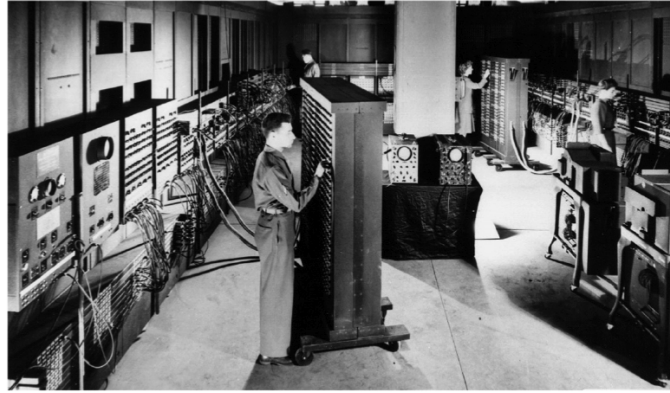


Abbildung 1: ENIAC, University of Pennsylvania

legen, wird heute meistens John von Neumann zugeschrieben [Cer03]. Software explizit zu speichern (*stored program concept*) hatte technische und wirtschaftliche Vorteile und die Idee fand rasch Verbreitung, zum Beispiel im EDSAC (Electronic Delay Storage Automatic Calculator) 1949 in Cambridge, UK. Frühen Computern wie ENIAC und EDSAC, die entweder für militärische Anwendungen entwickelt wurden oder Forschungsprojekte waren, folgten rasch kommerzielle Computerentwicklungen. Beispiele sind der UNIVAC im Jahr 1951, der 48 mal verkauft wurde und für die Vorhersage der Ergebnisse der Präsidentenwahlen in den USA Bekanntheit erlangte, oder das IBM System 701 im Jahr 1952, das insgesamt 19 mal verkauft wurde und den relativ späten Einstieg von IBM in das Geschäft mit Computern markiert.

In den Anfängen der Computertechnik waren Hardware und Software keine getrennten Komponenten, sondern integrale Bestandteile eines Computers. Computer wurden von einer Firma entworfen, hergestellt und als Gesamtsystem verkauft. Die Software wurde oft auch noch eingeteilt in BIOS (basic input/output system) für grundlegende Funktionen zur Ein- und Ausgaben von Daten, Betriebssystem, Systemsoftware (Lader, Assembler, Compiler, Linker) und Anwendersoftware. Die Anwendersoftware wurde entweder auch vom Computerhersteller mitgeliefert oder, was zunehmend der Fall war, vom Kunden angepasst oder erstellt. Software wurde erst nach und nach zu einem eigenständigen Produkt, getrieben durch die rasante Verbreitung von Computern und unterstützt durch die Etablierung von quasi-standardisierten Computersystemen.

Im Jahr 1964 brachte IBM das System/360 auf den Markt, das erstmals

den Ansatz der Computerfamilie umsetzte. Mit dem System/360 konnte IBM sechs Varianten eines Computers mit unterschiedlichem Preis/Leistungs-Verhältnis anbieten. Die Idee der Computerfamilie war äusserst erfolgreich, da Investitionen in Software auf unterschiedlich leistungsfähigen Computern genutzt werden und damit den Kundenbedürfnissen angepasst werden konnten. Das System/360 und seine Nachfolger dominierten bald den Computermarkt. Unterstützt durch den Fortschritt in der Mikroelektronik brachte DEC im Jahr 1965 mit der PDP8 einen sogenannten Minicomputer am unteren Ende der Preisskala für weniger als US\$ 20'000 auf den Markt. Diese neue Klasse von Computersystemen trug stark zur weiteren Verbreitung von Computern bei und erlaubte viele neue Anwendungen, zum Beispiel in der Steuerung von Produktionsanlagen. Die PDP8 wird häufig als Vorläufer des Mikroprozessors gesehen, eines Prozessors der aus nur einer integrierten Schaltung besteht. Der erste Mikroprozessor war dann der Intel 4004, der 1971 eingeführt wurde. In den folgenden Jahrzehnten hielt der Mikroprozessor Einzug in alle Klassen von Computersystemen, von kleinen eingebetteten Computern über den Personal Computer bis hin zu Supercomputern.

General-purpose Computer sind per Konstruktion für viele Anwendungen geeignet. Eine Konsequenz aus dem General-Purpose Konzept ist, dass man bei der Herstellung der Hardware die Software (noch) nicht kennen muss. Diese Unabhängigkeit, die weite Verbreitung und die quasi-Standardisierung von Computerhardware erlaubte es zunehmend Software als eigenes Produkt zu etablieren. In den 70-ern entstanden vielen Firmen, die ausschliesslich Software entwickelten, zum Beispiel Microsoft und SAP. Diese Öffnung des Computermarktes und die Loslösung der Software von der Hardware im Entwurfs- und Herstellungsprozess kann man als Entstehung der Grenze zwischen Hardware und Software sehen. Im Bereich dieser General-Purpose Systeme hat der technische Fortschritt im Hardwarebereich zu einer klassischen "Commoditization" geführt, wie sie in der Wirtschaftsliteratur z.B. von Christensen [Chr97] beschrieben wird. Das heisst, General-Purpose Hardware ist weitgehend standardisiert und die Produkte der einzelnen Hardwarehersteller sind nicht mehr wesentlich voneinander differenziert. Dies hat zu einer Modularisierung der Komponenten und Geschäftsmodelle sowie einer starken Erosion der Gewinnmargen der Hardwarehersteller geführt, so dass heute der Grossteil der Wertschöpfung im Bereich der Softwareanbieter liegt.

Neben General-Purpose Computing gibt es allerdings auch grundlegend andere Domänen mit anderen Geschäftsmodellen. Hierbei sind aktuell besonders die Domäne der mobilen *Personal Digital Assistants (PDA)*, d.h. Mobiltelefone und Tablets, sowie der Bereich des *Cloud Computing* hervorhebenswert. Im PDA Bereich ist momentan noch kein Trend zur Modularisierung

zu erkennen. Im Gegenteil, angetrieben durch den Erfolg des integrierten Geschäftsmodells von Apple, ist beim Rest dieser Industrie ein deutlicher Trend zu integrierten Produkten und Geschäftsmodellen zu sehen, wie die Übernahme der Smartphone-Sparte von Nokia durch Microsoft oder die Übernahme der Motorola Smartphone-Sparte durch Google zeigen. Dies ist ein Indikator dafür, dass die Hard- und Softwaresysteme für mobile Geräte den Zustand einer hinreichenden Befriedigung der Bedürfnisse der Mehrheit der Kunden noch nicht erreicht haben und Innovationen nur durch eine passgenaue Abstimmung von Hardware, Software und Betriebssystem und einer grösseren Kontrolle des Herstellers über diese Systeme erreichen lassen. Im Bereich des Cloud Computing ist interessanterweise ein entgegengesetzter Trend zu verzeichnen. Die Grundidee des Cloud Computing ist es gerade, die Eigenschaften der Hardware möglichst zu verbergen und gewissermassen eine perfekte Commoditization von Rechenleistung und Datenhaltung zu schaffen. Das heisst, die Entscheidung, welche Software wann auf welcher konkreter Hardware ausgeführt wird, ist möglichst stark verborgen, was durch eine Abstraktion von Software in sogenannte Dienste erreicht wird. Durch den grossen Kapitalbedarf für den Aufbau und den Betrieb von Cloud Systemen ist der Grossteil der Kapazität gegenwärtiger Cloud Systeme heute allerdings in den Händen weniger Anbieter konzentriert (z.B. Google, Amazon, Microsoft, Salesforce). Diese Anbieter bieten neben der reinen Bereitstellung der Hardware- und Betriebssystem-Infrastruktur zunehmend auch komplexere Plattformen (z.B. Google AppEngine, Amazon Elastic Beanstalk) und auch Anwendungen an (GoogleDocs, Microsoft Office365) an, was langfristig auch auf ein integriertes Modell hinauslaufen könnte.

Wie sich die Märkte für Hardware und Software für Computersysteme weiter entwickeln, getrieben durch technologische Innovationen und neue Anwendungen, und ob sich auf diesen Märkten langfristig integrierte oder modulare Geschäftsmodelle durchsetzen werden ist noch offen. Eine mögliche Zukunft solcher Märkte und der dazugehörigen technischen Umgebungen wird an der Universität Paderborn im Sonderforschungsbereich 901, On-The-Fly Computing [?], von einem Forscherteam aus Informatikern und Wirtschaftswissenschaftlern untersucht.

3 Hardware/Software Co-design

In diesem Abschnitt besprechen wir wie sich Computersysteme durch ein Schichtenmodell von aufeinander aufbauenden Hard- und Softwareschichten beschreiben lassen. Diese Betrachtung führt uns zum Konzept der Instruktio-

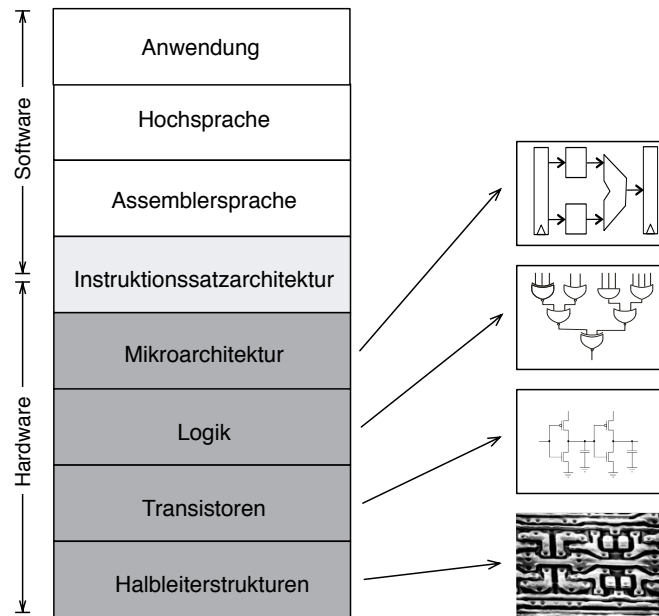


Abbildung 2: Klassisches Schichtenmodell von Computersystemen mit verschiedenen Abstraktionsebenen der Hardware (grau) und Software (weiss)

onssatzarchitektur, welche als Schnittstelle zwischen Hardware und Software dient, die sich im Laufe der Zeit stark verändert hat. Schliesslich stellen wir das Forschungsgebiet des Hardware/Software Co-Design vor, das sich mit der systematischen Optimierung der Grenze zwischen Hard- und Software zum Entwurfszeitpunkt beschäftigt.

3.1 Schichtenmodell für Computersysteme

Der Aufbau von Computersystemen und deren Strukturierung in Hard- und Software wird üblicherweise durch ein Schichtenmodell beschrieben. Jede Schicht stellt dabei eine Abstraktionsebene dar, welche es den höher liegenden Schichten erlaubt, die Funktionen der darunter liegenden Schichten über eine definierte Schnittstelle zu nutzen, ohne deren detaillierten Eigenschaften zu kennen. Abbildung 2 zeigt eine in der Lehre üblicherweise verwendete Darstellungsform dieses Schichtenmodells.

Die unterste Hardwareebene ist die der Halbleiterstruktur, welche die geometrischen Abmessungen und die Halbleitermaterialien beschreibt, die einen Prozessor als integrierte Schaltung (Chip) umsetzen. Auf der nächst

höheren Stufe werden diese Strukturen als Transistoren abstrahiert, welche die Grundelemente elektronischer Schaltungen bilden. Da Prozessoren digitale Schaltungen sind, wird die Hardware weiter abstrahiert und durch Logikelemente dargestellt, welche die Funktionen von Transistor-Baugruppen durch mathematische Grundoperationen in binärer Logik abbilden. Diese Grundoperationen werden in der sogenannten Mikroarchitektur zu komplexeren Einheiten zusammengefasst, welche die Rechen- und Kontrolleinheiten des Prozessors, sowie die vorhandenen Register und Speicher zum Halten von Daten beschreibt. Obwohl diese Schaltungsstruktur die Grundlage für die konkrete Ausführung eines Programms durch den Prozessors darstellt, wird sie gegenüber dem Programmierer völlig verborgen. Stattdessen wird als Schnittstelle zwischen der Hard- und Software die sogenannte *Instruktionssatzarchitektur* als zusätzliche Abstraktion eingeführt.

Die Instruktionssatzarchitektur beschreibt die Grundoperationen des Prozessors aus Sicht des Programmierers, ohne eine spezifische Hardwareumsetzung vorwegzunehmen. So definiert die Instruktionssatz zum Beispiel die Namen und Funktionen von arithmetischen Operationen sowie die Namen der internen Register zum Zwischenspeichern von Daten. Eigenschaften einer konkreten Implementierung, zum Beispiel wie schnell Instruktionen ausgeführt werden, ob die Ausführung parallel oder sequentiell erfolgt oder ob zur Optimierung der Datenhaltung neben den Registern zusätzliche interne Speicher verwendet werden, bleiben bewusst offen.

Als unterste Softwareebene ist die Assemblersprache eng mit der Instruktionssatzarchitektur verwandt. Bei der Assemblersprache handelt es sich um eine textuelle Repräsentation des Instruktionssatzes ohne weitergehende Abstraktionen. Das Programmieren auf dieser Ebene ist heutzutage lediglich noch für sehr wenige, hardwarenahe Aufgaben gebräuchlich, zum Beispiel für Kernfunktionen des Betriebssystems oder zur Optimierung der Rechenleistung für numerische Berechnungen. In den allermeisten Fällen wird Assemblersprache jedoch nicht direkt vom Programmierer erstellt, sondern aus einem Programm in einer Hochsprache erzeugt. Hochsprachen unterscheiden sich von Assemblersprache dadurch, dass sie abstraktere Programmierkonzepte und eine textuelle Notation anbieten, welche auf eine spezielle Klasse von Anwendungen zugeschnitten ist. So bietet die Programmiersprache Fortran zum Beispiel die Möglichkeit numerische Berechnungen mit Matrizen, Vektoren und komplexen Zahlen bequem auszudrücken. Ein Hochsprachenüppogramm lässt sich dann durch ein Softwareübersetzungswerkzeug (Compiler) automatisch und effizient in Assemblersprache transformieren. Als oberste Softwareschicht kann man die Anwendung bzw. das Betriebssystem betrachten.

3.2 Die Instruktionssatzarchitektur als Grenze zwischen Hardware und Software

Aus der Perspektive der Verschiebung der Grenze zwischen Software und Hardware ist die Instruktionssatzarchitektur von zentraler Bedeutung. Diese Grenze wurde in Industrie und Wissenschaft sehr ausführlich untersucht. Das liegt unter anderem auch daran, dass die Instruktionssatzschicht nicht nur die Grenze zwischen Hard- und Software, sondern auch zwischen wissenschaftlichen Disziplinen markiert. Die Umsetzung eines Instruktionssatzes in Hardware, das heisst der Entwurf einer Mikroarchitektur und deren Implementierung, liegt im Bereich der Elektrotechnik, während die Fragestellungen oberhalb der Instruktionssatzebene Kerngebiete der Informatik sind. Unterschiedliche Implementierungen desselben Instruktionssatzes sind durchaus üblich. In der Tat ist genau diese Trennung zwischen Hard- und Software dafür verantwortlich, dass Computersysteme durch Einsatz von neuen Prozessoren mit verbesserter Mikroarchitektur oder aktuellerer mikroelektronischer Technologie enorme Geschwindigkeitszuwächse erzielen können, ohne dass eine Anpassung der Anwendungssoftware notwendig ist.

Eine Grundfrage bei der Definition eines Instruktionssatzes ist die Festlegung der Grenze zwischen Hard- und Software, d.h. welche Funktionen als Prozessorinstruktionen angeboten werden sollen und welche Funktionen besser als Sequenz von solchen Instruktionen (Programm) umgesetzt werden. Bietet der Instruktionssatz nur einfache Instruktionen, welche wenig Arbeit erledigen (z.B. zwei Zahlen addieren), benötigt man viele Instruktionen, um ein Programm auszuführen. Dadurch wird die Ausführungszeit verlängert, die Hardwarekomplexität des Prozessors bleibt hingegen niedrig. Bietet der Instruktionssatz mächtige Instruktionen, welche viel Arbeit erledigen, wird das Programm kürzer. Die Hardwarekomplexität des Prozessors steigt hingegen, was zu höheren Kosten und niedriger Geschwindigkeit führt. Ein klassisches Beispiel für eine komplexe Instruktion ist die Multiplikation. In den frühen Jahren der Computertechnik (1950–70) konnten Prozessoren aufgrund der hohen Schaltungskomplexität keine Hardwaremultiplizierer integrieren. Stattdessen wurden Multiplikationen, wie bei der schriftlichen Multiplikation, durch Addieren und Schieben in Software ausgeführt. Diese Methode war aber sehr langsam, und mit steigenden technologischen Möglichkeiten wurden ab Mitte der 70-er Jahre Multiplizierer in Hardware gebaut. Der Hardwareaufwand dieser frühen Multiplizierer war mit etwa 10'000 integrierten Schaltkreisen exorbitant, aber durch weitere Fortschritte in der Halbleitertechnologie konnte ein Multiplizierer bereits Ende der 70-er Jahre auf einem einzigen integrierten Schaltkreis gefertigt werden und heute multiplizieren

Tabelle 1: Vergleich von CISC und RISC Prozessoren

CISC (Complex Instruction Set Computing)	RISC (Reduced Instruction Set Computing)
Viele Instruktionen	Wenige Instruktionen
Variable Instruktionslänge	Fixe Instruktionslänge
Viele, komplex Adressierungsarten	Wenige, einfache Adressierungsarten
Beispiel: Intel IA-32, VAX, IBM/360, Intel 8051	Beispiele: PowerPC, SPARC, MIPS, Alpha, Itanium, AVR

nahezu alle Prozessoren in Hardware.

Im Laufe der Zeit hat es immer wieder Experimente mit Instruktionssätzen gegeben, die sehr nahe oder gar identisch mit Hochsprachen waren. So wurden in den 70-er und 80-er Jahren spezielle LISP Processing Machines entwickelt (z.B. die Texas Instruments Explorer), deren Prozessoren direkt LISP Code ausführen konnten. LISP ist eine funktionale Programmiersprache, die in 70-er Jahren sehr populär zur Bearbeitung von Problemstellungen aus dem Bereich der künstlichen Intelligenz war. Man hoffte mit solchen Hochsprachen-Prozessoren die sogenannte Semantische Lücke zwischen Programmiersprache und Instruktionssatz zu schliessen, und damit auch die Aufgabe der Compiler zu reduzieren oder sie im Extremfall ganz überflüssig zu machen. Diese Ansätze waren allerdings allesamt nicht erfolgreich, da die technische Entwicklung von General-Purpose Prozessoren zu rasch voranschritt und es aufgrund der beschränkten Grösse des LISP Marktes nicht rentabel war, diese speziellen Prozessoren alle 1,5-2 Jahre in der neuesten Technologie zu realisieren.

Die Frage ob Prozessoren komplexe (Complex Instruction Set Computing, CISC) oder einfache (Reduced Instruction Set Computing, RISC) Instruktionen nutzen sollen und ob ein Konzept dem anderen grundsätzlich überlegen ist, wird seit Jahrzehnten intensiv debattiert. Eine Übersicht über die wesentlichen Unterschiede von CISC und RISC Prozessorarchitekturen ist in Tabelle 1 dargestellt.

Historisch hatten die meisten Computer komplexe Instruktionen, da frühe Computer primär in Assemblersprache programmiert wurde und durch komplexe Instruktionen kurze und aussagekräftige Assemblerprogramme ermöglicht werden. Die mit komplexen Instruktionen verbundenen Nachteile der hohen Hardwarekomplexität und die damit einhergehende Einschränkung der Ausführungsgeschwindigkeit wurde als weniger gravierend einge-

schätzt. Mitte der 80-er Jahre wurde diese Frage in zwei Projekten an den amerikanischen Universitäten Stanford und Berkeley systematisch untersucht. Dabei wurde empirisch ermittelt, welche Instruktionen von reale Programme tatsächlich genutzt werden und welche Speicherzugriffs- und Sprungmuster sie dabei verwenden. Das Resultat dieser Untersuchungen war, dass die meisten komplexen Instruktionen kaum benutzt werden und dass man durch eine radikale Vereinfachung des Instruktionssatzes, der Zufügung von schnellem lokalem Zwischenspeicher (Cache) und durch Fließbandverarbeitung von Instruktionen (Pipelining) wesentlich einfachere und leistungsfähigere Prozessoren fertigen kann. Die aus diesen beiden Forschungsprojekten resultierenden und kommerzialisierten Prozessorarchitekturen SPARC und MIPS läuteten das Zeitalter der RISC Prozessoren ein und seit den 90-er Jahren folgen nahezu alle neu entwickelten Prozessorarchitekturen dem RISC Konzept. Die grosse Ausnahme von dieser Regel ist Intels IA-32 Prozessorarchitektur, welche vor der RISC Revolution entwickelt wurde. Diese Architektur hat aus Kompatibilitätsgründen bis heute einen CISC Instruktionssatz, ist intern allerdings ebenfalls als RISC Architektur organisiert.

3.3 Optimierung der Hardware/Software-Grenze

Die Suche nach der optimalen Grenze zwischen Hard- und Software ist nach wie vor eine relevante Entscheidung beim Entwurf von Computersystemen, welche – getrieben durch neue Anforderungen und Anwendungen – einer ständigen Veränderung unterliegt. Zum Verständnis der Entwicklung ist es notwendig, zwei grundsätzlichen Klassen von Computersystemen zu unterscheiden. Die Klasse der *General Purpose Computing Systems* ist nicht auf eine spezielle Anwendung oder Domäne zugeschnitten, sondern versucht für ein sehr breites Spektrum von Anwendungen eine hohe Rechenleistung bei akzeptablem Energieverbrauch abzudecken. Das Anwendungsspektrum reicht hierbei von klassischen Office PC Anwendungen wie Textverarbeitung, Tabellenkalkulation oder Bildbearbeitung bis zu Serveranwendungen in Rechenzentren, welche Dienste wie Datenbanken, Buchhaltung oder Email anbieten. Computersysteme für diesen Markt sind hochgradig modularisiert und standardisiert, das heisst, sie werden durch die Integration austauschbarer Hardwarekomponenten (Prozessoren, Mainboards, Speicherbausteine, Festplatten, Gehäuse, Stromversorgung) aufgebaut und durch ein ebenfalls standardisiertes Betriebssystem verwaltet. Die Software für diese Systeme ist auch modular und wird von einer grossen Anzahl von Firmen angeboten. Aufgrund der für die Standardisierung notwendigen Abstimmung von Hardware, Software und Betriebssystemen ist die Innovation an der Hardwa-

re/Software Schnittstelle im General-Purpose Bereich eher langsam, findet aber dennoch kontinuierlich statt. Zum Beispiel wurde der Intel IA-32 Instruktionssatz in den letzten Jahren mit Befehlen zur Beschleunigung der rechenaufwendigen AES Verschlüsselungsmethode erweitert, um dem zunehmenden Einsatz dieses Verfahrens Rechnung zu tragen.

Dem gegenüber steht die Klasse der *Embedded Computing Systems*, welche Computer beschreibt, die in technische Systeme integriert sind. Beispiele für solche Systeme sind Autos, Satelliten, Hörgeräte, industrielle Steuerungen, Drucker, Fax, Fernseher, etc. Im Gegensatz zu General Purpose Systemen üben eingebettete Systeme eine sehr spezifische Funktion aus und sind daher nicht als typische Computersysteme zu erkennen. Sie unterliegen durch die Interaktion mit der physikalischen Welt (z.B. Sensoren, elektro-mechanische Komponenten, Benutzer) auch anderen Entwurfszielen, wie zum Beispiel geringen Kosten, niedriger Energieverbrauch, hohe Zuverlässigkeit, Sicherheit oder die ausreichende Performance für eine klar definierte Aufgabe. Viele dieser Ziele stehen grundsätzlich miteinander in Konflikt und können nicht gleichzeitig maximiert sondern nur gegeneinander abgewogen werden. Zum Beispiel steht eine hohe Rechenleistung im Konflikt mit geringen Kosten, da zur Erzielung hoher Rechenleistung zusätzliche, spezialisierte Hardwarekomponenten benötigt werden. Folglich müssen Hard- und Software im Bereich des Embedded Computing sehr genau aufeinander abgestimmt werden, um für das resultierende Gesamtsystem ein optimales Ergebnis zu erzielen. Anbieter in diesem Bereich verfolgen daher statt einem modularen meist ein integriertes Geschäftsmodell, bei dem ein System mit für die Anwendung massgeschneiderten Hardwarekomponenten und genau darauf abgestimmter Software angeboten wird.

In den 90-er Jahren wurde der systematische Entwurf von Computersystemen und deren Optimierung als eigenes, methodisch orientiertes Forschungsgebiet mit dem Namen *Hardware/Software Co-Design* etabliert [TH07]. Die Grundidee des Hardware/Software Co-Design ist dabei eine ganzheitliche Betrachtung des Entwurfsprozesses ausgehend von einer Beschreibung des gewünschten Systemverhaltens. Diese Beschreibung ist unabhängig davon, welche Funktionen letztlich in Software – das heisst als Programm auf einem Prozessor – ausgeführt werden und welche aus Gründen der Performance oder der Energieeffizienz in massgeschneiderter Hardware umgesetzt werden. Zur systematischen Optimierung werden die Funktionen des Systems modelliert, sowie dessen gewünschte nichtfunktionale Eigenschaften und Rahmenbedingungen (z.B die benötigte Performance, akzeptabler Energieverbrauch, Reaktionszeiten zur Verarbeitung von Sensor und Benutzereingaben) formal erfasst. Dann werden die betrachteten Komponenten (verschiedene Arten von

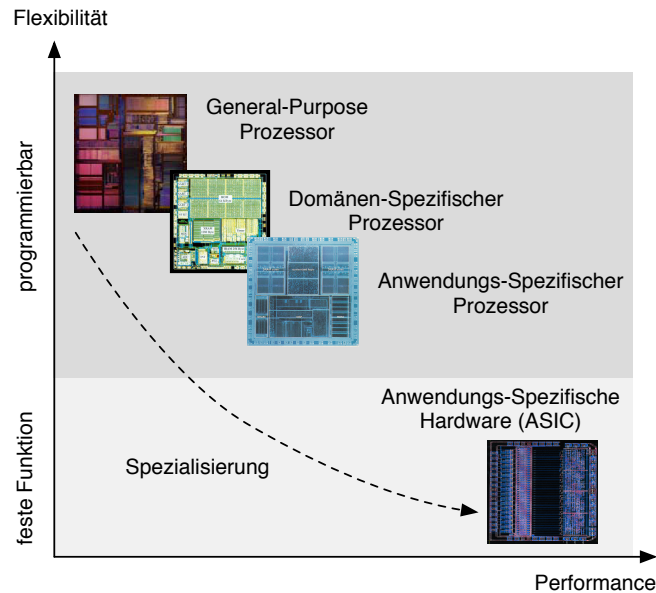


Abbildung 3: Im Hardware/Software Co-Design stehen die verschiedenen Entwurfsziele üblicherweise miteinander im Konflikt. Die Abbildung illustriert einen Trade-Off zwischen den Zielen Flexibilität und Performance. Durch zunehmende Spezialisierung der Rechenressourcen lässt sich eine höhere Performance erzielen, allerdings bewirkt die Spezialisierung eine Einbuße der Flexibilität.

Prozessoren, Hardwarebeschleuniger, Speicher, Kommunikationsnetzwerke) und deren Eigenschaften ebenfalls auf einer abstrakten Ebene modelliert. Durch computergestützte Methoden kann nun eine Auswahl an Ressourcen getroffen und eine optimal Zuordnung von Anwendungsfunktionen zu Soft- und Hardwareressourcen bestimmt werden. Dieser Prozess wird als *Hardware/Software Partitionierung* bezeichnet. Im Allgemeinen resultiert dieser Prozess nicht in einer einzigen, optimalen Lösung sondern in einer Vielzahl von Implementierungsvarianten.

Abbildung 3 illustriert die Ursache eines derartigen Konfliktes. Bei der Abbildung von Funktionen auf Rechenressourcen existieren verschiedene Varianten. Eine Variante ist es, die Funktion in Software auf einem programmierbaren General-Purpose Prozessor auszuführen. Diese Lösung ist sehr flexibel, da grundsätzlich jede Funktion ausgeführt und auch leicht geändert werden kann. Der Allzweckcharakter des Prozessors bedingt allerdings auch Ineffizienzen, welche sich in suboptimaler Performance niederschlagen. Durch

die Verwendung eines Prozessors, der für eine spezifische Klasse von Funktionen oder gar für die Anwendung selbst optimiert ist, lässt sich eine bessere Performance erzielen. Diese Lösungen sind allerdings weniger flexibel, da die Umsetzung auf die spezialisierten Rechenressourcen komplizierter ist und sich die Spezialisierung für andere Funktionen negativ auswirken kann. Die optimale Lösung in Bezug auf die Performance ist eine Ausführung in fester, komplett anwendungsspezifischer Hardware. Durch diese Verschiebung von Software nach Hardware entfallen zwar alle Ineffizienzen der Programmierbarkeit, allerdings lässt sich die Funktion im Nachhinein auch nicht mehr anpassen.

Diese Art der Verschiebung von Funktionen an der Hardware/Software Grenze ist im Entwurf heutiger Computersysteme, insbesondere für Embedded Systems, essentiell. Dies trifft besonders auf Systeme zu, welche Daten mit sehr hoher Rate verarbeiten müssen oder batteriebetriebene Geräte, welche mit einem sehr knappen Energiebudget haushalten müssen. Im Laufe der Zeit wurden Komponenten, die sich in vielen Systemen als anwendungsspezifische Beschleuniger-Hardware bewährt haben in Prozessoren integriert, um das beste aus beiden Welten zu vereinen. So besitzen heute alle domänen-spezifischen Prozessoren für Mobiltelefone spezielle Hardwarebeschleuniger-Einheiten zum Dekomprimieren von Videodaten, ohne die in einem batteriebetriebenen Gerät ein stundenlanges kontinuierliches Abspielen von Videos undenkbar wäre.

Alle in diesem Abschnitt betrachtete Ansätze verschieben Funktionen an der Grenze zwischen Hardware und Software zur Entwurfszeit. Im nächsten Abschnitt betrachten wir neuartige Systeme, welche diese Grenze während der Laufzeit des Computersystems verschieben, um dynamisch auf veränderte Anforderungen zu reagieren.

4 Hardware/Software Migration

In diesem Abschnitt beschreiben wir, wie rekonfigurierbare Hardwaretechnologie verwendet werden kann, um Funktionen während des Betriebs eines Computersystems über die Hardware/Software-Grenze hinweg zu verschieben. Diese Hardware/Software Migration ermöglicht den Aufbau selbst-adaptiver Systeme. Wir umreißen zuerst die Entwicklung der zugrundeliegenden Hardwaretechnologie, beschreiben dann deren Einsatz anhand eines Anwendungsbeispiels auf einem hybriden Multicore-System und verweisen abschliessend auf ein aktuelles Forschungsprojekt in dem Gebiet.

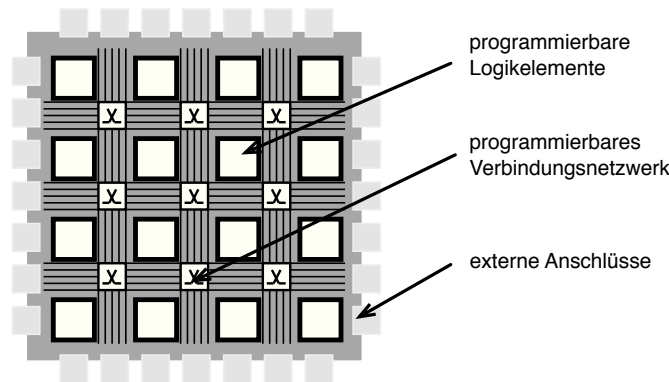


Abbildung 4: Aufbau eines Field-programmable Gate Array (FPGA)

4.1 Rekonfigurierbare Hardware

Die Idee, Hardware flexibel zu halten geht auf G. Estrin zurück, der 1960 an der UCLA den Vorschlag machte, Computersysteme mit festen und variablen Anteile zu gestalten [Est00]. Der variable Anteil kann der jeweiligen Anwendung angepasst werden. Bei Estrin waren die variablen Anteile Module für arithmetische Operationen, das Anpassen erfolgte manuell durch Einstecken und Entfernen von Modulen in ein sogenanntes *motherboard*.

Eine Hardwaretechnologie, die Estrins Ansatz automatisierbar machte, wurde erst Mitte der 80er-Jahre von der Firma Xilinx mit dem *Field-programmable Gate Array (FPGA)* eingeführt. Ein FPGA ist ein Hardwarebaustein der, wie in Abbildung 4 skizziert wird, aus drei Teilen besteht: aus einer Menge von Logikelementen in einer matrixförmigen Anordnung, einem Verbindungsnetzwerk, in das die Logikelemente eingebettet sind, und externen Anschlüssen. Bei einem FPGA sind die Funktionen der Logikelemente, zum Beispiel ob ein Element addiert oder eine logische Verknüpfung seiner Eingänge durchführt, und die konkreten Verbindungen zwischen den Logikelementen konfigurierbar. Die Konfiguration eines FPGA wird in SRAM-Speicherzellen abgelegt. Durch Schreiben dieser Speicherzellen, was je nach Grösse des FPGAs im Bereich von einigen Millisekunden bis wenigen hundert Millisekunden dauert, wird dem FPGA erst eine bestimmte Funktion eingeprägt.

FPGAs ermöglichen es, die Hardwarefunktion durch Schreiben von Speicherzellen zu verändern. Im Schichtenmodell eines Computersystems (siehe Abbildung 2) entspricht das einer Verschiebung der Grenze zwischen Hardware und Software von der Ebene des Instruktionssatzes nach unten in die

Logikebene. Die tieferen Ebenen bleiben aber unangetastet. Das bedeutet insbesondere, dass auch bei FPGAs die mikroelektronische Schaltung mit ihren Transistoren bei der Fertigung endgültig festgelegt wird.

Zu Beginn der 1990er Jahre wurden eine Reihe von Forschungsprojekten gestartet, um das Potential von FPGAs für den Aufbau von Computersystemen zu untersuchen. Ein prominentes Beispiel ist das DECPerLe-1 System [BRV92], das am DEC Paris Research Lab entwickelt wurde. DECPerLe-1 konnte ausgewählte Anwendungen aus der Kryptographie rund drei Größenordnungen mal schneller ausführen als der schnellste Supercomputer zu der Zeit – und das bei einem Bruchteil der Kosten. Allerdings war die Programmierung der DECPerLe-1 sehr hardwarenahe und man benötigte dafür elektrotechnische Fachkenntnisse von Hardwareingenieuren.

Ab circa Mitte der 1990er Jahre wurde die dynamische Rekonfiguration von FPGAs zum Forschungsthema. Bei der dynamischen Rekonfiguration wird ein FPGA zur Laufzeit neu rekonfiguriert, entweder der komplette Baustein oder auch nur ein Teil davon. Dynamische Rekonfiguration erlaubt es, die Hardwarefunktionen sehr rasch, d.h. im Bereich von Millisekunden an neue Erfordernisse anzupassen. Ein 1997 im Scientific American erschienener Artikel stellte FPGAs und dynamische Rekonfiguration einer breiteren Leserschaft vor, und präsentierte die Erkennung von Objekten in Bildern als Anwendungsbeispiel [VMS97]. Durch Anpassung bzw. Spezialisierung der Hardwarefunktionen an die einzelnen zu suchenden Objekte konnte das System seine Verarbeitungsgeschwindigkeit deutlich steigern. Die spezialisierten Hardwarefunktionen wurden durch dynamische Rekonfiguration während der Laufzeit in das System eingebracht.

Beginnend mit Anfang der 90er-Jahre bildete sich das Forschungsgebiet Reconfigurable Computing, das Wissenschaftler aus der Informatik, der Elektrotechnik und vielen Anwendungsgebieten vereint. Heute ist Reconfigurable Computing ein etabliertes Gebiet mit einer Vielzahl von Konferenzreihen und zwei Fachzeitschriften. In den letzten 15 Jahren wurden einer Reihe von grösseren Forschungsverbundprojekten durchgeführt, um die Nutzbarkeit von rekonfigurierbarer Hardware und speziell der dynamischen Rekonfiguration für Computing zu untersuchen. Beispiele dafür sind das DARPA Programm Adaptive Computing Systems (1997–2003) in den USA oder das Schwerpunktprogramm Rekonfigurierbare Rechensysteme (2003–2009) [PT-We10] der DFG in Deutschland.

FPGAs sind seit ihrer Einführung ein grosser wirtschaftlicher Erfolg und seit Jahren einer der am schnellsten wachsenden Sektoren der mikroelektronischen Industrie. Wegen ihres regelmässigen Aufbaus eignen sich FPGAs sehr gut für die mikroelektronischen Fertigungsprozesse und durch die gros-

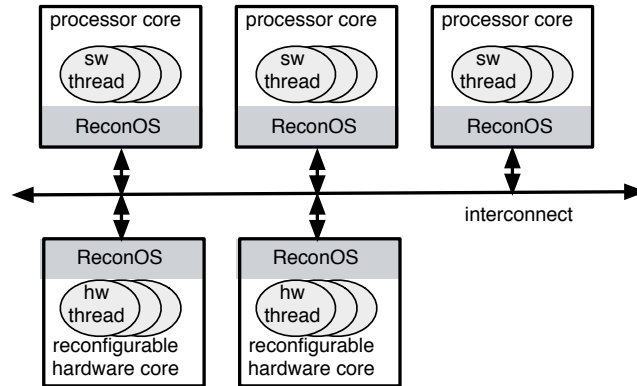


Abbildung 5: Hybrides Multicore-System

se Nachfrage können die Hersteller immer die aktuellsten und damit schnellsten Technologien für FPGAs nutzen. Heutige FPGAs haben riesige Logikkapazitäten und erlauben es, komplette Systeme mit mehreren Prozessoren, dedizierten Hardwarefunktionen, Speicher und Peripheriekomponenten auf einem Baustein in Form eines sogenannten *Reconfigurable System-on-Chip* unterzubringen.

Ein grosse Herausforderung, an der wir seit einigen Jahren arbeiten, ist die Programmierung solcher Systeme. Wir entwickeln mit ReconOS [LP09] ein neuartiges Betriebssystem, das es erlaubt sowohl die Softwarefunktionen als auch die rekonfigurierbaren Hardwarefunktionen mit einem gemeinsamen Programmiermodell zu beschreiben. Dabei greifen wir auf *Multi-threading* zurück, ein Programmiermodell das durch den aktuellen Trend zu Multicore-Prozessoren sehr weit verbreitet und populär ist. Abbildung 5 zeigt ein Beispiel eines hybriden Multicore-Systems, das verschiedene Prozessor-Cores und rekonfigurierbare Hardware-Cores kombiniert. Hardwarefunktionen werden als Hardware Threads auf den rekonfigurierbaren Hardware-Cores ausgeführt und kommunizieren und synchronisieren sich mit den Software Threads mittels des Betriebssystems ReconOS.

4.2 Selbst-adaptive Hybride Multi-Cores

Als Anwendungsbeispiel diskutieren wir einen selbst-adaptiven hybriden Multicore zur Objektverfolgung in Videostreamen [HLP11]. Der Fussballspieler in Abbildung 6 wird markiert und soll im Laufe einer Videosequenz verfolgt werden. Das hier verwendete Verfahren zur Objektverfolgung ist ein sogenannter Partikelfilter, der Bild für Bild eine Anzahl von Schätzungen

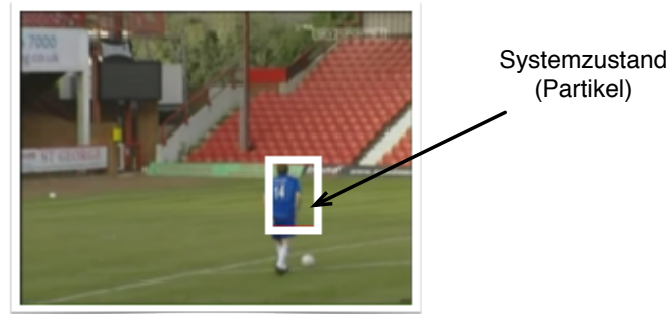


Abbildung 6: Beispiel zur Objektverfolgung in Videoströmen

(Partikel) des Systemzustands (Ort, wo sich der Fussballspieler im Bild befindet) erzeugt. Der Systemzustand ist beschrieben durch die Koordinaten und Grösse des Rechteckes, das die Position des Fussballspielers umschreibt. Partikelfilter sind eine häufig angewendete Methode zur Online-Schätzung des Systemzustandes eines nicht-linearen dynamischen Systems.

Wie in Abbildung 7 gezeigt wird, läuft ein Partikelfilter als Iteration von drei Schritten ab. Im ersten Schritt (Sampling) werden ausgehend von der angenommenen Position des Spielers neue Schätzungen erzeugt. Dieser Schritt basiert auf einem mathematischen Zustandsmodell, das die aktuelle Bewegung des Spielers sowie eine gewisses Mass an Rauschen (Zufall) berücksichtigt. Im zweiten Schritt (Importance) werden die Schätzungen anhand der realen, gemessenen Daten aus dem nächsten Bild des Videos bewertet. Im vorliegenden Fall geschieht dies durch den Vergleich der Farbhistogramme von Schätzung und Messung. Verkürzt formuliert kann man sagen, dass bewertet wird, wie häufig die Farbe des T-Shirts des Spielers in den geschätzten Rechtecken vorhanden ist. Partikeln in denen diese Farbe einen grossen Anteil hat wird eine hohe Importance zugewiesen, Partikeln mit niedrigen Farbanteilen eine niedrige. Die Importance kann als Wahrscheinlichkeit interpretiert werden, dass die Schätzung tatsächlich das gesuchte Objekt abbildet. Der Partikel mit der höchsten Importance ist die aktuelle Ausgabe des Verfahrens. Im letzten Schritt (Resampling) werden gute Schätzungen vervielfacht und schlechte Schätzungen gelöscht.

Der Partikelfilter wurde auf einem hybriden Multicore in einem FPGA implementiert. Wie in Abbildung 8 unten gezeigt wird, besteht das System aus zwei Prozessoren (Master, Worker) und zwei Hardware Cores (HW Slot 1, HW Slot 2). Das Ziel ist, die Performance gemessen in der Anzahl der bearbeiteten Bilder pro Sekunde (frames per second), innerhalb eines vorge-

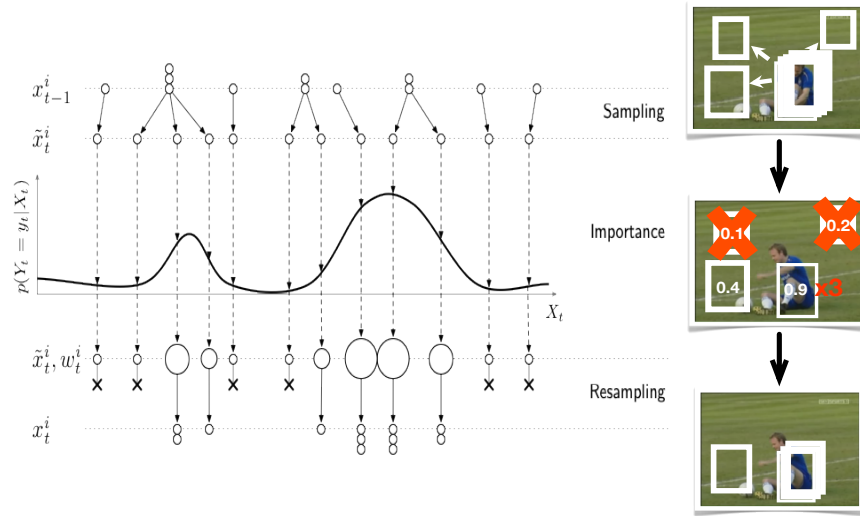


Abbildung 7: Graphische Veranschaulichung der Schritte Sampling, Importance und Resampling eines Partikelfilters (links) und Beispiel-Bildsequenz (rechts)

gebenen Bereichs von 7–10 Bildern pro Sekunde zu halten. Zu Beginn verwendet das System nur einen Prozessor und erzielt damit eine sehr niedrige Performance von unter 3 Bildern pro Sekunde. Daraufhin schaltet das System autonom zuerst einen zweiten Prozessor und dann einen Hardware-Core dazu. Als Resultat steigt die Performance auf circa 8 Bilder pro Sekunde. Da der Fußballspieler im Laufe der Videosequenz nach hinten läuft (siehe Abbildung 8 rechts) und durch die kleineren Rechtecke der Rechenaufwand für den Partikelfilter sinkt, übersteigt die Performance bald den Zielbereich. Als Reaktion darauf schaltet das System zuerst den zweiten Prozessor und dann den Hardware-Core ab. Da dadurch die Performance aber zu stark sinkt, wird der zweite Prozessor für eine kurze Zeit wieder dazu genommen.

Dieses Beispiel demonstriert zwei wesentliche Punkte: Erstens zeigt es, dass mit moderner FPGA-Technologie Funktionen zur Laufzeit zwischen Hardware und Software migriert werden können und somit eine dynamische Anpassung der Hardware/Software Grenze ermöglicht wird. Zweitens kann dieses System als selbst-adaptiv bezeichnet werden, da die Adaption, d.h. das Aktivieren und Deaktivieren von Rechenressourcen, vom System selbst ohne Eingriff von aussen gesteuert wird. Der Algorithmus jedoch, nach dem das System diese Entscheidungen trifft, wurde bei der Entwicklung festgelegt.

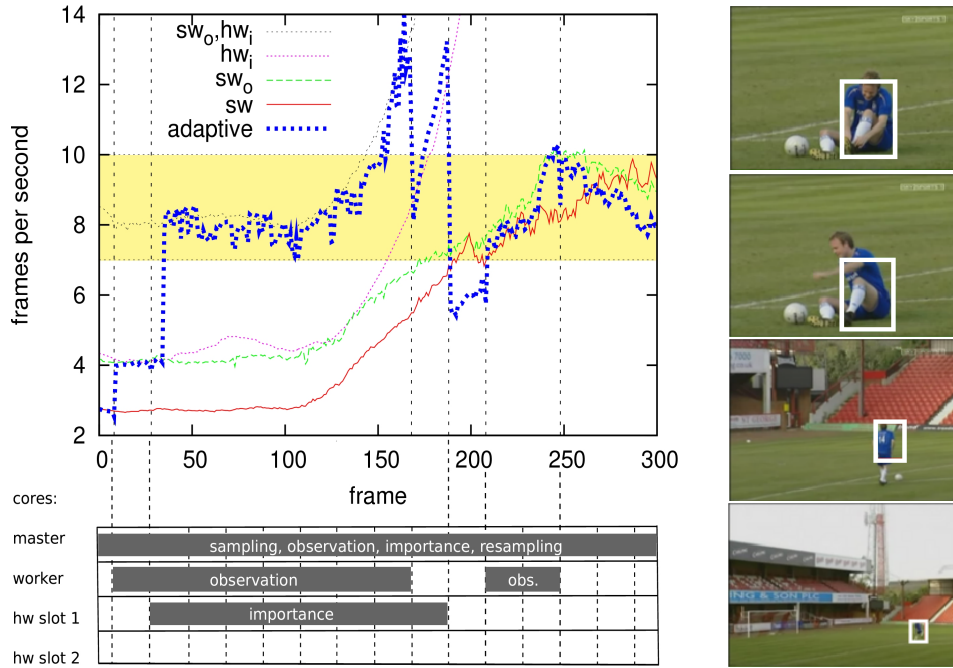


Abbildung 8: Aktivitäten der einzelnen Prozessor- und Hardware-Cores (unten), Bildsequenz (rechts) und Performance (oben) des selbst-adaptiven Multicore-Systems

4.3 Von Selbst-adaption zu Self-awareness

Eine Weiterentwicklung von selbst-adaptiven Systemen führen wir im Rahmen des EU-Projekts EPiCS [EPi] durch. In EPiCS studieren wir sogenannte propriozeptive Computersysteme. Darunter verstehen wir Systeme, die durch geeignete Sensoren nicht nur ihre Umgebung sondern auch ihren inneren Zustand erfassen können. Für ein hybrides Multicore-System zur Objektverfolgung in Videos wäre die Umgebung beispielsweise die ankommenden Videodaten oder die Benutzerinteraktion zum initialen Auswählen des Objekts. Der innere Zustand könnte beispielsweise die aktuelle Ressourcenauslastung und Temperaturverteilung oder entdeckte Fehlfunktionen umfassen.

In Anlehnung an die Psychologie bezeichnen wir im Kontext des EPiCS-Projekts das Wissen und die Modelle über externe und interne Ereignisse und Zustände als *self-awareness*. Basierend auf diesem Wissen entscheidet das System autonom über mögliche Reaktionen. In unserem Partikelfilterbeispiel wären mögliche Reaktionen das Aktivieren und Deaktivieren von

Tabelle 2: Ebenen der self-awareness nach [BAL⁺12]

Ebene	Charakteristik
stimulus-aware	Stimulus-Response System, passiv
interaction-aware	vernetztes System, aktiv
time-aware	Langzeitgedächtnis, Lernen, Vorhersage
goal-aware	Ziel bekannt, Auswahl aus mehreren Strategien
meta self-aware	“Philosophie-Agent”

Cores oder eine Reduktion der Anzahl der Partikel, was die Rechenlast für den Preis einer etwas schlechteren Schätzung verringert. Die Auswahl der entsprechenden Reaktion bezeichnen wir als *self-expression*.

Unser langfristiges Ziel ist es, Computersysteme zu entwerfen, die Parameter wie Performance, Ressourcennutzung und Energieeffizienz aber auch Eigenschaften wie Zuverlässigkeit und Sicherheit autonom zur Laufzeit optimieren können. Ein wesentlicher Schritt dabei ist das Erzeugen von Modellen der self-awareness und self-expression. Diese Modelle dienen zum einen zur Beschreibung und Diskussion der Begrifflichkeiten und zum anderen als Schritt im systematischen Entwurf von Computersystemen. Tabelle 2 zeigt zum Beispiel eine aus der Psychologie abgeleitete Klassifikation [Nei97], die fünf unterschiedliche Ebenen der self-awareness in Computersystemen beschreibt. Die niedrigste Form von self-awareness ist demnach *stimulus-awareness*, wie sie ein einfaches passives Stimulus-Response-System aufweist. Das System besitzt kein Wissen über die Ursachen der Stimuli und keine Erinnerung an vergangene Ereignisse und kann damit auch keine Vorhersagen über zukünftige Ereignisse machen. Die nächste Ebene ist *interaction-awareness*, die aktive Kommunikation in einem vernetzten System voraussetzt. Darüber befindet sich *time-awareness*, die eine Langzeitgedächtnis voraussetzt und damit Lernen und Voraussagen ermöglicht. Die Ebene *goal-awareness* zeichnet sich dadurch aus, dass das System Wissen über seine Ziele und eventuelle Randbedingungen besitzt und den Stand der Erreichung feststellen kann. Die höchste Ebene ist schliesslich die der *meta self-awareness*, bei der ein System Wissen über seine eigene self-awareness erlangt und Nutzen/Kosten seiner self-awareness abschätzt.

Konkrete Anwendungen von Computersystemen verwenden meistens mehrere Ebenen der self-awareness. Das im vorigen Abschnitt präsentierte hybride Multicore-System ist definitiv time-aware, da das Verfahren des Partikel-filters ein Systemmodell verwendet, um Vorhersagen zu machen. Nachdem

die vorgestellte Implementierung auch ihr Performanceziel explizit kennt und laufend Massnahmen zur Erreichung des Ziels durchführt, kann man das System auch als goal-aware klassifizieren. Computersysteme auf der Ebene der meta self-awareness werden im EPiCS-Projekt derzeit nicht untersucht. Man könnte solche Systeme am ehesten als “Philosophie-Agenten” beschreiben, die ihre awareness reflektieren.

5 Conclusion

Die Grenze zwischen Hardware und Software ist durch neue Hardwaretechnologien im Laufe der Zeit durchlässig geworden. Rekonfigurierbare Hardware erlaubt heute die Konstruktion von selbst-adaptiven Systemen, die sich laufend den Änderungen anpassen können. Besonders bei komplexen Systemen, die in vielfältiger Weise mit anderen Computersystemen und Benutzern interagieren, lassen sich viele Entscheidungen nicht mehr zur Entwurfszeit vorwegnehmen und damit fest in das System programmieren. Hier ist die Selbst-adaption ein vielversprechender Ansatz. Die Auflösung von starren Grenzen zwischen Hardware und Software wirft aber auch eine Reihe von neuen Fragestellungen auf. Aus technischer Sicht sind das neben der Programmierbarkeit solcher Systeme vor allem die Modellierung und die Validierung. Bei der Modellierung geht es um die klare konzeptionelle Beschreibung der Komponenten von selbst-adaptiven Systemen und deren Funktionalität. Heute entstammen die meisten Beispiele selbst-adaptiver Hardware/Software-Systemen einem ad-hoc Entwurf. Erst eine umfassende aber nachvollziehbare Modellierung von Selbst-adaption ermöglicht einen systematischen Entwurfsprozess und den Vergleich mit klassischen Systemen. Ein Teil der Modellierung ist auch die Bereitstellung von geeigneten algorithmischen Methoden für die Entscheidungsfindung und das Lernen. Bei der Validierung von Hardware oder Software möchte man bestimmte Systemeigenschaften zur Entwurfszeit nachweisen. Wie kann man aber zum Beispiel die Sicherheit eines Systems nachweisen, das sich selbständig verändern kann? Neben dem technisch-wissenschaftlichen Bereich hat die sich auflösende Grenze zwischen Hardware und Software auch Auswirkung auf die Ausbildung. Die Beschäftigung mit selbst-adaptiven Computersystemen wird vermehrt Experten des *Computer Engineering* erfordern, die in Informatik und Elektrotechnik gleichermaßen trainiert sind.

Literatur

- [BAL⁺12] T. Becker, N. Agne, P.R. Lewis, R. Bahsoon, F. Faniyi, L. Esterle, A. Keller, A. Chandra, A. Jensenius, and S.C. Stalkerich. Engineering Proprioception in Computing Systems. In *Proceedings of the Conference on Embedded and Ubiquitous Computing (EUC)*. IEEE, 2012.
- [BRV92] P. Bertin, D. Roncin, and J. Vuillemin. Programmable active memories: A performance assessment. In *Proceedings of the Conference on Field-programmable Gate Arrays*. ACM, 1992.
- [Cer03] Paul E. Ceruzzi. *A History of Modern Computing*. The MIT Press, 2 edition, 2003.
- [Chr97] Clayton M. Christensen. *The Innovator's Dilemma*. Harvard Business Review Press, 1997.
- [EPi] EPiCS website. www.epics-project.eu.
- [Est00] G. Estrin. Reconfigurable Computer Origins: The UCLA Fixed-Plus-Variable (F+V) Structure Computer. *IEEE Annals of the History of Computing*, pages 3–9, Oct–Dec 2000.
- [HLP11] Markus Happe, Enno Lübbers, and Marco Platzner. A self-adaptive heterogeneous multi-core architecture for embedded real-time video object tracking. *Journal of Real-Time Image Processing*, pages 1–16, 2011.
- [LP09] E. Lübbers and M. Platzner. Reconos: Multithreaded programming for reconfigurable computers. *ACM Transactions on Embedded Computing Systems*, 9(1):1–33, 2009.
- [Nei97] U. Neisser. The roots of self-knowledge: Perceiving self, it, and thou. *Annals of the New York Academy of Sciences*, (818):19–33, 1997.
- [PTWe10] M. Platzner, J. Teich, and N. Wehn (editors). *Dynamically Reconfigurable Systems: Architectures, Design Methods and Applications*. Springer, 2010.
- [TH07] Jürgen Teich and Christian Haubelt. *Digitale Hardware/Software-Systeme. Synthese und Optimierung*. Springer, Berlin Heidelberg New York, 2nd edition, 2007.
- [VMS97] J. Villasenor and W.H. Mangione-Smith. Configurable computing. *Scientific American*, pages 66–71, June 1997.