# Rapport de TP - ESN11 - Lab 2

Davy MILLION M2 SETSIS

20 janvier 2023

#### 1 Introduction

Dans ce lab, on se propose de réaliser plusieurs compteurs :

- un premier compteur soft 1-digit;
- un second compteur *soft* 3-digit;
- un autre compteur 3-digit, basé sur un timer cette fois (avec gestion d'une interruption).

Dans ce rapport, nous nous concentrerons sur le dernier compteur (timer) car celui-ci est le plus intéressant.

# 2 Développements

#### 2.1 Synthèse de la solution

Nous avons choisis de réaliser un compteur hexadécimal afin de rentre la partie soft moins lourde  $^1$ . Les valeurs affichées seront donc conforme à celle montrés ci-dessous :



FIGURE 1 – Représentation d'un digit hexadécimal sur un afficheur 7 segments

Le SoPC réalisé se compose de 3 parties principales :

- un Softcore Nios-II et sa on-chip memory associée, permettant d'exécuter le soft et de répondre aux interruptions ;
- un Parallel I/O (PIO), configuré en sortie et permettant de "sortir" la valeur du compteur du système et de la fournir aux 3 afficheurs;
- un *timer*, paramétré pour lever des interruptions à une certaine fréquence (à chaque fois que son compteur interne atteint le *timeout*). À chaque interruption, la valeur du compteur sera incrémentée.

<sup>1.</sup> Bien qu'un double-dabble soit réalisable en hard...

La valeur du compteur sera une variable globale déclarée volatile.

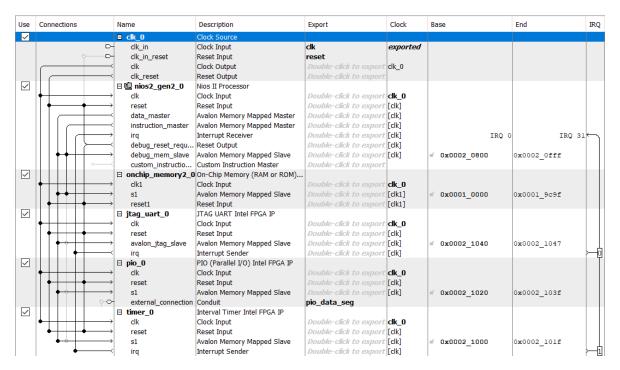


FIGURE 2 – Système QSYS du Lab2

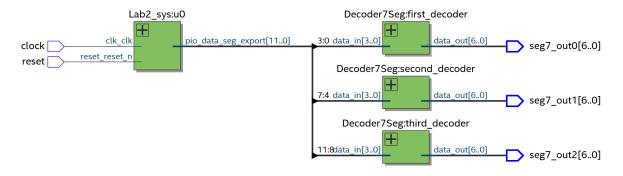


FIGURE 3 – Intégration du système QSYS

#### 2.2 Configuration du *Timer*

La configuration du *Timer* a été fixée à :

- une période de 20 ms;
- compteur interne de 32-bit;
- No start/stop control bits : le compteur commence immédiatement et ne peut pas être arrêté;
- la snapshot est *readable* (lisible), même si on ne l'utilise pas.

## 2.3 Côté Software

Listing 1: Extrait de main.c

Le *timer* a été paramétré en désactivant la possibilité de contrôler manuellement son démarrage (Start, Stop, Continuous mode). Il n'y a donc pas d'amorcage à fournir via la modification du registre du contrôle du *timer*. Nous utiliserons ce mode dans le *Lab3*.

## 3 Conclusion

Ce lab nous a permis de continuer à s'exercer à la conception de SoPC avec QSys/Quartus et notamment l'intégration de timer.