# ESN11 : Co-design labs

TP1

Objectif : Intégrer une Nios II sur la carte DE10 pour jouer avec les fonctions d’un SoC. Le but est d’utiliser l’architecture logicielle pour exécuter un script qui va réaliser un compteur décimal et afficher la valeur sur les 7-digits displays.

Voici l’architecture à mettre en œuvre :

DE10-LITE

PIO

RAM + Cache

JTAG UART

NIOS II

FPGA

Bus AVALON

# Modèle QSYS

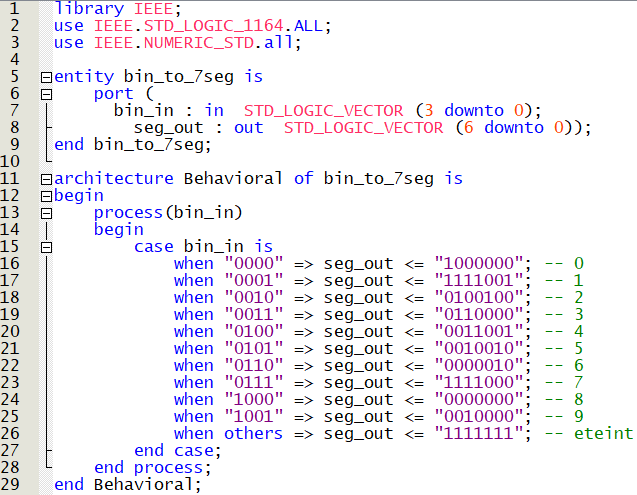
Il nous faut définir un modèle qsys avec un nios2, une RAM et un JTAG et y ajouter un PIO en output pour piloter l’afficheur 7 segments.

Une image contenant texte, capture d’écran, nombre, Parallèle

Description générée automatiquement

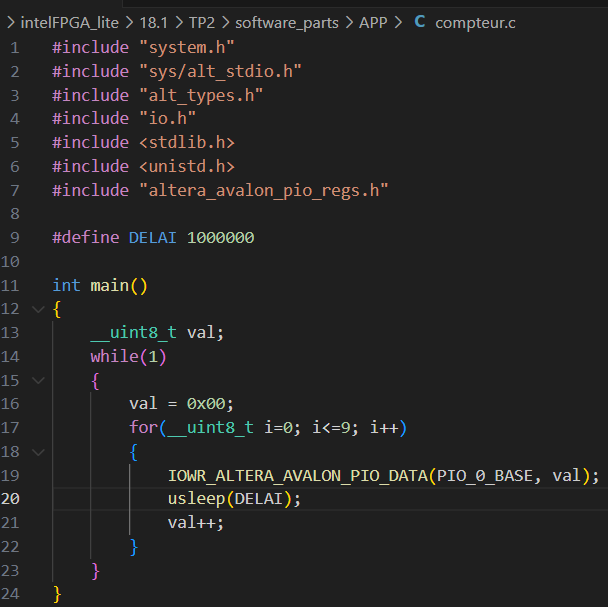
# Ecriture du décodeur binaire vers 7 segments en VHDL

Il nous faut créer la fonction de conversion de la donnée du bus en un signal à envoyer à l’afficheur.



Ici, on convertit la valeur d’entrée allant de 0 à 9, vers un code à envoyer à l’afficheur, dont chaque bit correspond à un digit. Allumé lorsque l’état est 0, et éteint sinon.

## Ecriture du compteur en C

Il nous faut écrire le code C qui va incrémenter un compteur de 0 à 9. 

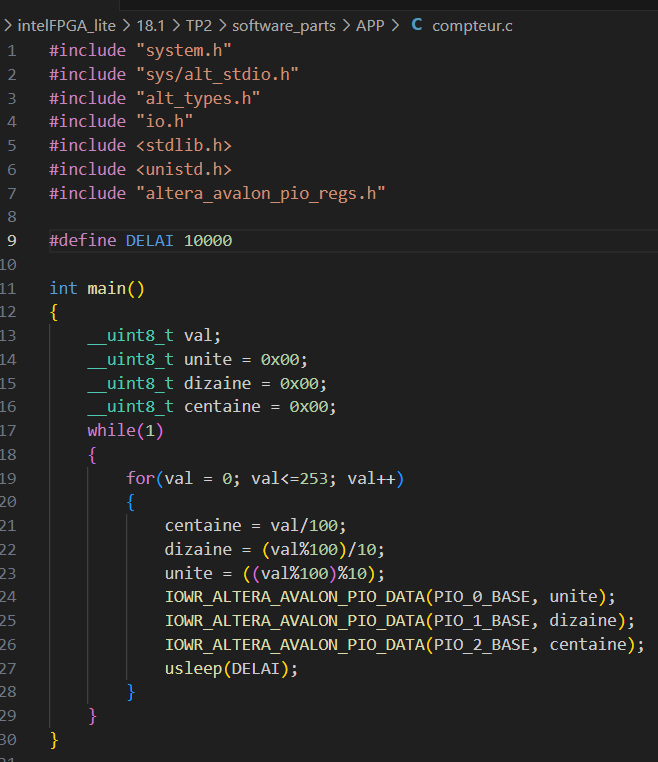
# Implémentation d’un compteur sur 3 digits

Il faut tout d’abord modifier le modèle QSYS en y ajoutant deux PIOs pour y connecter les deux autres afficheurs 7-segmnts.

Une image contenant texte, capture d’écran, nombre, Parallèle

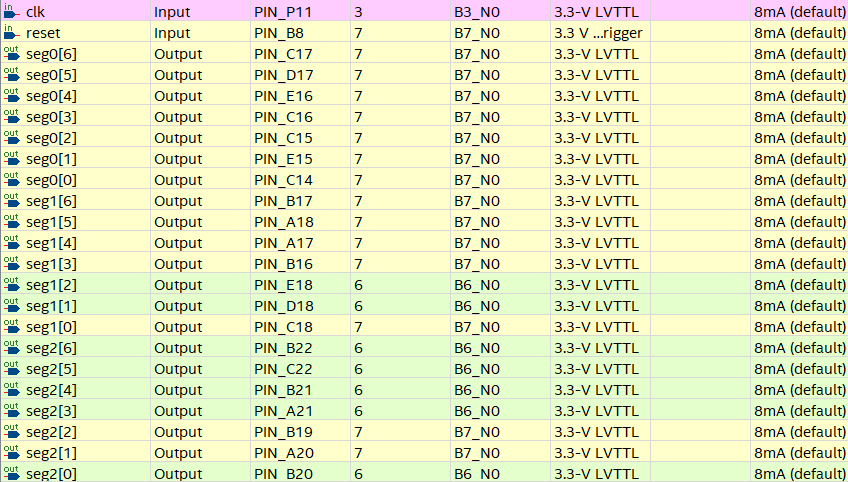
Description générée automatiquement

## Ecriture du code C



Le code C est différent du précédent parce qu’il inclue la séparation de chaque chiffre : Le nombre « 192 » devra être séparé en un ‘1’ ‘9’ ‘2’ pour qu’il puisse être affiché sur les 7-digits.

## Pin Planer



On peut voir ici la liaison de chaque pin du FPGA jusqu’aux afficheurs 7 segments.