

基于逻辑设计的高速 CRC 并行算法 研究及其 FPGA 实现

毕占坤, 张羿猛, 黄芝平, 王跃科

(国防科学技术大学机电工程与自动化学院 长沙 410073)

摘要: 循环冗余校验码作为一种检出概率高并且易于实现的检错码, 被广泛应用于通信及测控领域。本文首先简要介绍了循环冗余校验的基本原理, 然后从 CRC 串行实现的电路结构出发, 通过严密的理论推导, 得出了基于逻辑设计的高速 CRC 并行实现递推公式, 可适用于并行处理位宽小于等于生成多项式阶数和大于生成多项式阶数条件下的并行帧校验应用。最后分别设计了这 2 种条件下的硬件实现电路, 电路的综合结果表明, 该方法具有更少的资源占用量和更高的工作频率。

关键词: 循环冗余校验; 高速并行算法; 现场可编程门阵列

中图分类号: TN911.22 **文献标识码:** A **国家标准学科分类代码:** 460.40

Study on CRC parallel algorithm and its implementation in FPGA

Bi Zhankun, Zhang Yimeng, Huang Zhiping, Wang Yueke

(College of Mechatronics Engineering and Automation, National University of Defense Technology, Changsha 410073, China)

Abstract: As a kind of error-detecting code that has higher detection probability and is easy to be implemented, Cyclic redundancy check code has already been used in the fields of communication and measurement & control widely. Firstly, the basic principles of CRC are briefly introduced in this paper. Then, the recursive formula for CRC parallel implementation based on logic analysis is presented by detailed theoretical derivation, starting from the circuit architecture of CRC serial implementation, which is suitable for any generation polynomials and parallel widths. Lastly, the circuits whose parallel width is less, larger than or equal to the order of generation polynomial were designed. Circuit synthesis results show that this scheme is more compact and faster.

Key words: cyclic redundancy check; high-speed parallel algorithm; FPGA

1 引言

循环冗余校验(cyclic redundancy check)码由线性分组码的分支而来,可检测出所有奇数个随机误码和长度小于等于 m (m 为生成多项式的阶数)的突发误码。与串行实现 CRC 算法相比, w 位宽的并行算法可获得 w 倍的加速比,因此具有很大的吸引力,针对该算法,人们已经开展了许多有益的研究工作。这些算法从整体上可分为 2 类:一类是基于查找表结构的并行算法^[1-2],其优点是逻辑简单、直观、易于实现,但所需的查找表深度与并

行处理位宽呈 2 的幂次关系,不适合进行大位宽的并行处理;另一类是基于逻辑设计的并行算法^[3-9],它由于不受硬件缓存资源的约束,非常适合于高速信号的帧校验应用,然而现有的方法基本上都集中在并行处理位宽小于等于生成多项式阶数的情况下进行讨论,而且电路性能具有很大差异。

2 循环冗余校验的基本原理

CRC 将一个待发送的信息序列 $D = \{d_0, d_1, \dots, d_{k-1}\}$ 看成是系数为 0 或 1 的多项式 $D(x) = d_0 \cdot x^{k-1} +$

$d_1 \cdot x^{k-2} + \dots + d_{k-1}$ 。为了使接收方能够探测到 D 在传输过程中可能发生的错误,发送方利用预先约定的生成多项式 $G(x)$ 将 D 按照一定的运算方式产生一个长度为 m 比特的序列 $R = \{r_{m-1}, \dots, r_1, r_0\}$, R 即为 D 的CRC码,计算 $R(x)$ 的方法是:

(1) 先在信息序列 D 后添加 m 个0,即用 x^m 乘以 $D(x)$,形成被除式:

$$x^m \cdot D(x) = d_0 \cdot x^{m+k-1} + d_1 \cdot x^{m+k-2} + \dots + d_{k-1} \cdot x^m \quad (1)$$

(2) 按模2除法用生成多项式 $G(x)$ 去除 $x^m \cdot D(x)$,即可得到余数多项式 $R(x)$:

$$\frac{x^m \cdot D(x)}{G(x)} = Q(x) + R(x) \quad (2)$$

式中: $Q(x)$ 为多项式除法运算的商, $R(x)$ 即为信息序列 D 的余数多项式。

(3) 按模2减法,从 $x^m \cdot D(x)$ 所对应的序列中减去余数 R ,结果就是带帧校验和的序列 S ,可用多项式表示为:

$$S(x) = x^m \cdot D(x) + R(x) \quad (3)$$

3 基于逻辑设计的CRC并行算法理论推导

串行CRC实现的电路结构如图1所示^[10]。该电路实际上是一个模2除法电路,在发送端,序列 D 随着时钟节拍按照 $d_0 d_1 \dots d_{k-1}$ 的顺序依次输入电路,当最后一位数据 d_{k-1} 输入到电路后,需要在其后跟随 m 个0,当所有的数据输入完毕后,各触发器的状态即为序列 D 的CRC码,最终组成的发送序列 S 为 $d_0 d_1 \dots d_{k-1} r_{m-1} r_{m-2} \dots r_0$ 。

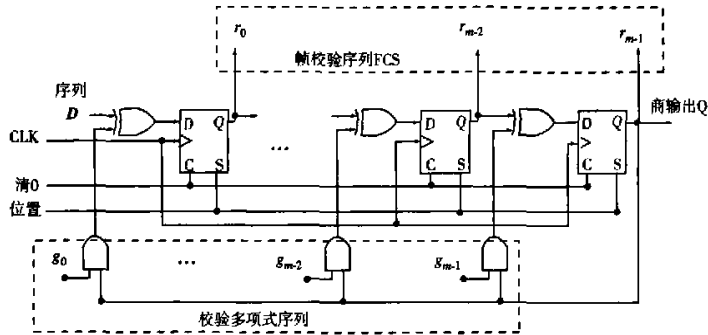


图1 CRC串行实现的典型电路结构

Fig.1 Typical circuit architecture for CRC serial implementation

设 $r_j(i)$ 为触发器 j 在 i 时刻的状态,根据图1可知,有下列方程成立:

$$\begin{cases} r_{m-1}(i+1) = (g_{m-1} \cdot r_{m-1}(i)) \oplus r_{m-2}(i) \\ r_{m-2}(i+1) = (g_{m-2} \cdot r_{m-1}(i)) \oplus r_{m-3}(i) \\ \vdots \\ r_0(i+1) = (g_0 \cdot r_{m-1}(i)) \oplus d_i \end{cases} \quad (4)$$

式中:符号“ \cdot ”和“ \oplus ”分别代表“位与”和“位异或”运算。令:

$$R(i) = [r_{m-1}(i) \ r_{m-2}(i) \ \dots \ r_0(i)]^T$$

用符号“ \otimes ”代表在矩阵乘法过程中用“位与”运算代替乘法运算,用“位异或”运算代替加法运算,则式(4)可写成如下的形式:

$$R(i+1) = H \otimes R(i) \oplus U \otimes d_i \quad (5)$$

$$\text{式中: } H = \begin{bmatrix} g_{m-1} & 1 & 0 & \dots & 0 \\ g_{m-2} & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ g_1 & 0 & 0 & \dots & 1 \\ g_0 & 0 & 0 & \dots & 0 \end{bmatrix}_{m \times m};$$

$$U = [0 \ 0 \ \dots \ 1]_{m \times 1}^T$$

设电路中各触发器的初始状态为 $R(0)$,则在时刻 i 的状态 $R(i)$ 为:

$$R(i) = H^i \otimes R(0) \oplus [H^{i-1} \otimes U \ H^{i-2} \otimes U \ \dots \ U] \otimes d_i \quad (6)$$

式中: $d_i = [d_0 \ d_1 \ \dots \ d_{i-1}]^T$ 。

证明:利用数学归纳法

(1) 当 $i = 1$ 时,由式(5)可知:

$$R(1) = H \otimes R(0) \oplus U \otimes d_0, \text{故式(6)成立。}$$

(2) 假设当 $i = l$ ($1 < l < k + m$) 时等式成立,则有:

$$R(l) = H^l \otimes R(0) \oplus$$

$$[H^{l-1} \otimes U \ H^{l-2} \otimes U \ \cdots \ U] \otimes d_l$$

(3) 当 $i = l + 1$ 时, 有:

$$R(l+1) = H \otimes R(l) \oplus U \otimes d_l = H \otimes (H^l \otimes R(0) \oplus [H^{l-1} \otimes U \ H^{l-2} \otimes U \ \cdots \ U] \otimes d_l) \oplus U \otimes d_l = H^{l+1} \otimes R(0) \oplus H \otimes ([H^{l-1} \otimes U \ H^{l-2} \otimes U \ \cdots \ U] \otimes d_l) \oplus U \otimes d_l$$

根据分块矩阵的运算原理有:

$$H \otimes ([H^{l-1} \otimes U \ H^{l-2} \otimes U \ \cdots \ U] \otimes d_l) \oplus U \otimes d_l = H^l \otimes U \otimes d_0 \oplus H^{l-1} \otimes U \otimes d_1 \ \cdots \ H \otimes U \otimes d_{l-1} U \otimes d_l = [H^l \otimes U \ H^{l-1} \otimes U \ \cdots \ U] \otimes [d_0 \ d_1 \ \cdots \ d_l]$$

因此: $R(l+1) = H^{l+1} \otimes R(0) \oplus$

$$[H^l \otimes U \ H^{l-1} \otimes U \ \cdots \ U] \otimes d_{l+1}$$

得证。

性质1: 矩阵 H 的 i ($1 \leq i \leq m$) 次幂 H^i 具有如下形式:

$$H^i = [H^{i-1} \otimes G' \ \cdots \ H \otimes G' \ G' | \frac{I_{m-i}}{\theta_{i \times (m-i)}}] \quad (7)$$

式中: 列向量 $G' = [g_{m-1} \ \cdots \ g_1 \ g_0]^T$, I_{m-i} 为单位阵, θ 为零矩阵。

证明: 采用数学归纳法

$$(1) \text{ 当 } i = 1 \text{ 时, 显然有: } H = [G' | \frac{I_{m-1}}{\theta_{1 \times (m-1)}}]$$

(2) 假设当 $i = l$ ($1 < l < m$) 时等式成立, 则有:

$$H^l = [H^{l-1} \otimes G' \ \cdots \ H \otimes G' \ G' | \frac{I_{m-l}}{\theta_{l \times (m-l)}}]$$

(3) 当 $i = l + 1$ 时, 有:

$$H^{l+1} = H \otimes H^l =$$

$$[H^l \otimes G' \ \cdots \ H^2 \otimes G' \ H \otimes G' | H \otimes \frac{I_{m-l}}{\theta_{l \times (m-l)}}]$$

$$\text{因为: } H \otimes \frac{I_{m-l}}{\theta_{l \times (m-l)}} = [G' | \frac{I_{m-(l+1)}}{\theta_{(l+1) \times (m-(l+1))}}]$$

由此可得: $H^{l+1} =$

$$[H^l \otimes G' \ \cdots \ H^2 \otimes G' \ H \otimes G' \ G' | \frac{I_{m-(l+1)}}{\theta_{(l+1) \times (m-(l+1))}}]$$

得证。

设列向量 $h_i = H^i \otimes U$, $1 \leq i \leq m$, $h_i(j)$ 为向量 h_i 中的第 j 个元素, j 为向量 h_i 的行号, $0 \leq j \leq m-1$ 。由性质1容易证明:

$$h_i(j) = \begin{cases} 1, & j = m-1-i \\ 0, & \text{others} \end{cases} \quad (8)$$

由式(8)可知矩阵 $[H^{l-1} \otimes U \ H^{l-2} \otimes U \ \cdots \ U]$ 具有如下形式:

$$[H^{l-1} \otimes U \ H^{l-2} \otimes U \ \cdots \ U] = [\frac{\theta_{(m-i) \times i}}{I_i}] \quad (9)$$

将式(9)代入式(6)可得: $R(i) = H^i \otimes R(0) \oplus$

$$[\frac{\theta_{(m-i) \times i}}{I_i}] \otimes d_i \quad (10)$$

当 $i = w$ 时, $R(w)$ 即为 LFSR 电路中各触发器在 w 时刻的状态:

$$R(w) = H^w \otimes R(0) \oplus [0_{1 \times (m-w)} | d_0 \ d_1 \ \cdots \ d_{w-1}]_{m \times 1}^T \quad (11)$$

由于该电路是一个线性时不变性系统, 约定信息序列的长度 $k+m$ 是 w 的整数倍, 可得 w 位宽并行处理的递推公式 ($w \leq m$):

$$R'_p = H^w \otimes R_p \oplus P \quad (12)$$

式中: R_p 为电路中各触发器的当前状态, R'_p 为 w 位宽并行处理时各触发器的下一个状态。 m 维列向量 $P = [p_{m-1} \ \cdots \ p_1 \ p_0]^T$ 由 $m-w$ 个 0 和 w 个数组成, 数据部分是以位宽 w 对信息序列 ($D \cup m$ 个 0) 依次顺序截取所获得的向量: $[d_0 \ d_1 \ \cdots \ d_{w-1}]$, $[d_w \ d_{w+1} \ \cdots \ d_{2w-1}]$, \cdots 。因此, m 维列向量 P 为:

$$[0_{1 \times (m-w)} | d_0 \ d_1 \ \cdots \ d_{w-1}]^T,$$

$$[0_{1 \times (m-w)} | d_w \ d_{w+1} \ \cdots \ d_{2w-1}]^T, \cdots$$

以上讨论的是 $w \leq m$ 时的并行帧校验算法。然而对于超高速的骨干网数据传输, 所需的并行处理位宽往往要大于生成多项式的阶数, 还需要讨论 $w > m$ 时的电路设计方法。

当 $i > m$ 时, 式(4)、式(5)和式(6)依然成立, 容易证明 H^i 变成如下的形式:

$$H^i = [H^{i-1} \otimes G' \ H^{i-2} \otimes G' \ \cdots \ H^{i-m} \otimes G'] \quad (13)$$

设 $m \times i$ 阶的矩阵, 根据式(13)和式(10)有:

$$L_i = [H^{i-1} \otimes U \ H^{i-2} \otimes U \ \cdots \ U] = [H^{i-m-1} \otimes G' \ H^{i-m-2} \otimes G' \ \cdots \ G' | I_m]_{m \times i} \quad (14)$$

将式(14)代入式(6)有:

$$R(i) = H^i \otimes R(0) \oplus [H^{i-1} \otimes U \ H^{i-2} \otimes U \ \cdots \ U] \otimes d_i = H^i \otimes R(0) \oplus [H^{i-m-1} \otimes G' \ H^{i-m-2} \otimes G' \ \cdots \ G' | I_m] \otimes d_i \quad (15)$$

当 $i = w$ 时, $R(w)$ 即为 LFSR 电路中各触发器在 w 时刻的状态:

$$R(w) = H^w \otimes R(0) \oplus [H^{w-m-1} \otimes G' \ H^{w-m-2} \otimes G' \ \cdots \ G' | I_m] \otimes d_w \quad (16)$$

同理可得 w 位宽 ($w > m$) 并行处理的递推公式:

$$R'_p = H^w \otimes R_p \oplus L_w \otimes P \quad (17)$$

可见, 并行处理位宽 $w > m$ 的递推公式与式(12)具有不同的形式。其中, w 维列向量 P 是并行输入数据, 它的值为 $[d_0 \ d_1 \ \cdots \ d_{w-1}]$, $[d_w \ d_{w+1} \ \cdots \ d_{2w-1}]$, \cdots ; L_w 是一个 $m \times w$ 阶的矩阵:

$$L_w = [H^{w-m-1} \otimes G' \ H^{w-m-2} \otimes G' \ \dots \ G' | I_m] \quad (18)$$

在 FPGA 中进行综合。

4 硬件实现

本节给出了 $w \leq m$ 和 $w > m$ 时的 CRC 并行实现电路结构,根据该结构,可方便地写出相应的 VHDL 代码,

(1) 并行处理位宽 $w \leq m$

根据递推公式(12),可得 $w \leq m$ 时的 CRC 并行实现电路结构,如图 2 所示。其中, $H_{r,c}$ ($0 \leq r, c \leq m-1$) 为矩阵 H^w 中行号为 r 、列号为 c 的元素。

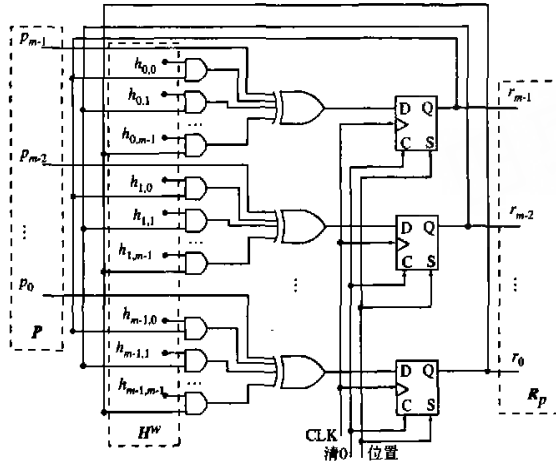


图 2 高速 CRC 并行算法电路结构 ($w \leq m$)

Fig.2 Circuit architecture for high-speed CRC parallel algorithm ($w \leq m$)

实现算法的关键是构建矩阵 H^w , 根据性质 1 有:

$$H^w = [H^{w-1} \otimes G' \ \dots \ H \otimes G' G']$$

$$H^w = \begin{bmatrix} H^{w-1} \otimes G' & \dots & H \otimes G' & G' \\ 0_{w \times (m-w)} \end{bmatrix}$$

可见, H^w 的第 $0 \sim w-1$ 列分别对应 H^m 的第 $(m-w) \sim (m-1)$ 列, H^w 的右上部分是一个 $m-w$ 阶的单位

矩阵,右下部分是一个 $w \times (m-w)$ 的 0 矩阵。

(2) 并行处理位宽 $w > m$

根据递推公式(17),可以得出 $w \geq m$ 时的 CRC 并行实现电路结构,如图 3 所示。其中 $H_{r,c}$ 为 H^w 中的元素, $l_{r,c}$ 为 L_w 中的元素。

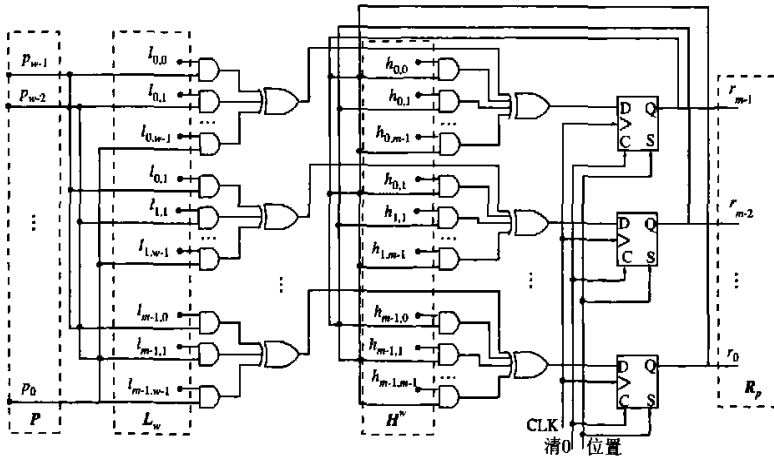


图 3 高速 CRC 并行算法的电路结构 ($w > m$)

Fig.3 Circuit architecture for high-speed CRC parallel algorithm ($w > m$)

矩阵 H^w 可直接求得,也可以通过等式 $H^w = H^{w-m} \otimes H^m$ 求得。当 $m < w \leq 2m$ 时, H^{w-m} 中的第 $0 \sim w-m-1$

列分别对应 H^m 中的第 $(2m-w) \sim (m-1)$ 列, H^{w-m} 的右上部分是一个 $2m-w$ 阶的单位矩阵,右下部分是一

个 $(w-m) \times (2m-w)$ 的 0 矩阵。

由式(18)可知,当 $m < w \leq 2m$, L_w 的前 $w-m$ 列取自 H^m 的第 $(2m-w) \sim (m-1)$ 列,后 m 列是一个 m 阶的单位阵;如果 $w > 2m$, 那么:

$$L_w =$$

$$[H^{w-m-1} \otimes G' \quad H^{w-m-2} \otimes G' \quad \dots \quad H^m \otimes G' \mid H^m \mid I_m]$$

在具体计算过程中,可以先取 H^m 中的第 0 列 $H^{m-1} \otimes G'$, 然后依次用矩阵 H 与之作模 2 乘法运算,即可得到 L_w 的第 0 $\sim (w-2m-1)$ 列;中间 m 列是方阵 H^m , 最后 m 列是一个 m 阶的单位阵。

5 资源利用情况及性能分析

本文使用 QuartusII 5.0 软件对 $w \leq m$ 和 $w > m$ 时的电路进行了综合,表 1 为在不同生成多项式和并行处理位宽下的综合结果,其中目标器件设置为 Altera 的 EP1S25F672C6 现场可编程门阵列。可见,本文提出的方法具有较低的逻辑单元数占有数和较高的电路工作频率。

表 1 CRC 并行实现的电路资源利用情况及性能

Table 1 Resource usage and performance of CRC parallel implementation

生成多项式	并行处理位宽/b	逻辑单元数	F_{max}/MHz	综合时间/s
FCS16	16	28	422.12	30
	32	47	259.81	29
	64	99	217.82	31
	256	342	165.98	63
FCS32	16	67	402.25	34
	32	115	276.24	37
	64	192	177.84	43
	256	667	134.07	105

6 结 论

本文通过分析 CRC 串行算法的电路结构,得出了 CRC 并行实现的递推公式,与已有的方法相比具有以下 3 个主要优点:(1)理论推导和证明过程与现有的方法不同,本文的推导过程要简便得多;(2)本文提出的方法可适用于任意的生成多项式和并行处理位宽,即并行处理位宽可以小于、等于或大于生成多项式的阶数,而目前公开发表的文献大多集中在并行处理位宽小于、等于生成多项式阶数的情况下进行讨论;(3)电路的综合结果具有很好的性能。

参考文献

- [1] 毕占坤,黄芝平. 循环冗余校验分布式算法的理论推导及 FPGA 实现[J]. 兵工学报, 2006, 27(6): 1122-1125.
BI ZH K, HUANG ZH P. A study on the theory of cyclic redundancy check distributed algorithm and its FPGA implementation[J]. Acta Armamentarii, 2006, 27(6): 1122-1125.
- [2] 邹仕祥. 循环冗余校验 CRC 的软件实现[J]. 现代电子技术, 2005, 15: 17-19.
ZOU SH X. Software realization of cyclic redundancy check. Modern Electronics Technique, 2005, 15: 17-19.
- [3] 朱荣华. 一种 CRC 并行计算原理及实现方法[J]. 电子学报, 1999, 27(4): 143-145.
ZHU R H. The principle and implementation of parallel CRC computing[J]. Acta Electronica Sinica, 1999, 27(4): 143-145.
- [4] CHEN H SH, ZHANG W CH. An efficient method for parallel CRC automatic generation[J]. Journal of Zhejiang University: Science, 2003, 4(4): 433-436.
- [5] TONG B P, ZUKOWSKI C. High-speed parallel CRC circuit in VLSI[J]. IEEE Transactions on Communications, 1992, 40(4): 653-655.
- [6] BRAUN M. Parallel CRC computation in FPGAs[C]. Proceedings of the 6th International Workshop on Field-Programmable Logic, 1996: 156-165.
- [7] CAMPOBELLO G, PATANE G. Parallel CRC realization[J]. IEEE Transaction on Computers, 2003, 52(10): 1312-1319.
- [8] LEONG N G S, DEWAR B. Parallel realization of the ATM cell header CRC[J]. Computer Comm., 1996, 19: 257-263.
- [9] SPRACHMANN M. Automatic generation of parallel CRC circuits[J]. IEEE Design & Test, 2001, 18(3): 108-114.
- [10] 孙丽华, 谢仲华. 信息论与纠错编码[M]. 北京: 电子工业出版社, 2005.
SUN L H, XIE ZH H. Information theory and error-correcting codes[M]. Beijing: Publishing House of Electronics Industry, 2005.

作者简介

毕占坤,男,1977 年 10 月出生,2007 年于国防科技大学获得博士学位,现为空军工程大学电讯工程学院讲师,主要研究方向为光纤通信与数字化测试技术。

地址:国防科技大学三院 323 教研室, 410073

电话:0731-4573379; E-mail: zhankun_bi@163.com

Bi Zhankun, male, was born in October 1977, graduated

from National University of Defense Technology and achieved Doctor of Philosophy in 2007. Now he is a lecturer in Telecommunication Engineering Institute, Air Force Engineering University. His main research areas are fiber-optic communication and digital test technology.

Address: 323 office of the third institute, National University of Defense Technology, Changsha 410073, Hunan, China

Tel: +86-731-4573379; E-mail: zhankun_bi@163.com

张羿猛,男,1975 年 11 月出生,2007 年于国防科技大学获得博士学位,现为国防科技大学机电工程与自动化学院讲师,主要研究方向为光纤通信与数字化测试技术。

地址:国防科技大学三院 323 教研室,410073

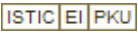
电话:0731-4573379; E-mail: zhang_yimeng@163.com

Zhang Yimeng, male, was born in November 1975, graduated from National University of Defense Technology and achieved Doctor of Philosophy in 2007. Now he is a lecturer in Mechatronics Engineering and Automation Institute, National University of Defense Technology. His main research areas are fiber-optic communication and digital test technology.

Address: 323 office of the third institute, National University of Defense Technology, Changsha 410073, Hunan, China

Tel: +86-731-4573379; E-mail: zhang_yimeng@163.com

基于逻辑设计的高速CRC并行算法研究及其FPGA实现

作者: [毕占坤](#), [张羿猛](#), [黄芝平](#), [王跃科](#), [Bi Zhankun](#), [Zhang Yimeng](#), [Huang Zhiping](#),
[Wang Yueke](#)
作者单位: [国防科学技术大学机电工程与自动化学院, 长沙, 410073](#)
刊名: [仪器仪表学报](#) 
英文刊名: [CHINESE JOURNAL OF SCIENTIFIC INSTRUMENT](#)
年, 卷(期): 2007, 28(12)
被引用次数: 4次

参考文献(10条)

1. [毕占坤](#), [黄芝平](#) 循环冗余校验分布式算法的理论推导及FPGA实现[期刊论文]-[兵工学报](#) 2006(06)
2. [邹仕祥](#) 循环冗余校验CRC的软件实现[期刊论文]-[现代电子技术](#) 2005(15)
3. [朱荣华](#) 一种CRC并行计算原理及实现方法[期刊论文]-[电子学报](#) 1999(04)
4. CHEN H SH, ZHANG W CH [An efficient method for parallel CRC automatic generation](#)[期刊论文]-[Journal of Zhejiang University:Science](#) 2003(04)
5. TONG B P, ZUKOWSKI C [High-speed parallel CRC circuit in VLSI](#) 1992(04)
6. BRAUN M [Parallel CRC computation in FPGAs](#) 1996
7. CAMPOBELLO G, PATANè G [Parallel CRC realization](#) 2003(10)
8. LEONG N G S, DEWAR B [Parallel realization of the ATM cell header CRC](#) 1996
9. SPRACHMANN M [Automatic generation of parallel CRC circuits](#) 2001(03)
10. [孙丽华](#), [谢仲华](#) [信息论与纠错编码](#) 2005

引证文献(4条)

1. [王波](#), [孙一](#), [冯为](#), [金西](#) 基于FPGA的快速RS码的实现[期刊论文]-[电子测量技术](#) 2009(6)
2. [张洪刚](#), [苑秉成](#), [徐瑜](#) 基于FPGA和SD卡的水声信号高速采集与存储系统设计[期刊论文]-[电子器件](#) 2009(1)
3. [李媛](#), [王若龙](#) 基于可观标准型的流水结构CRC编码器[期刊论文]-[电子测量技术](#) 2008(11)
4. [胡亚平](#) 基于FPGA的1553B总线控制器的实现[期刊论文]-[国外电子测量技术](#) 2008(8)

本文链接: http://d.g.wanfangdata.com.cn/Periodical_yqyb200712026.aspx

授权使用: 陕西理工学院(sxlgxy), 授权号: 76c173a2-c558-491a-b717-9df200fd8b11

下载时间: 2010年9月15日