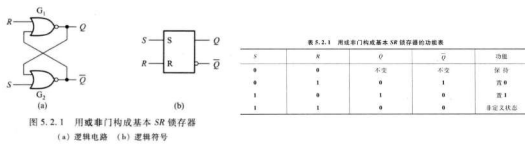
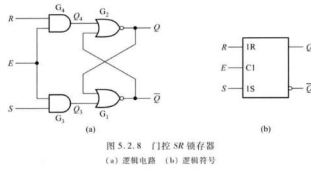


SR锁存器



门控SR锁存器



D锁存器

不存在非定义状态，因而得到广泛应用

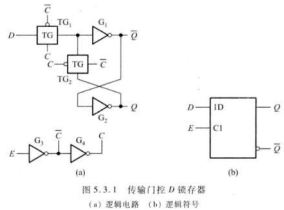


表 5.3.1 D 锁存器的功能表

E	D	Q	Q̄	功能
0	x	不变	不变	保持
1	0	0	1	置 0
1	1	1	0	置 1

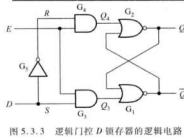


图 5.3.3 所示为逻辑门控 D 锁存器的逻辑电路,它在门控 SR 锁存器的 S 和 R 输入端之间连接了一个非门 G₅,从而保证了 SR=0 的约束条件,消除了可能出现非定义状态。读者可仿

Yiwa Ke U201912072

EVA HUST

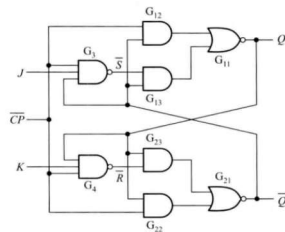


图 5.4.8 利用传输延迟的 JK 触发器的逻辑电路

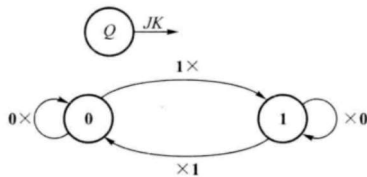


图 5.5.3 JK 触发器的状态图

触发器的逻辑功能

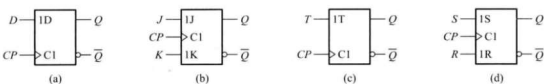


图 5.5.1 不同逻辑功能触发器的逻辑符号

T 触发器 $Q^{n+1} = TQ^n + \bar{T}Q^n$

表 5.5.4 不同逻辑功能触发器的逻辑符号

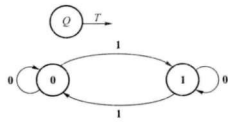


图 5.5.5 T 触发器的状态图

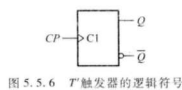


图 5.5.6 T-bar 触发器的逻辑符号

T-bar 触发器 $Q^{n+1} = \bar{Q}^n$

主从 D 触发器 D 触发器 $Q^{n+1} = DQ^n + \bar{D}Q^n = D$

$Q^{n+1} = D$

C P 上升沿触发

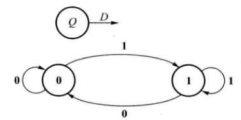
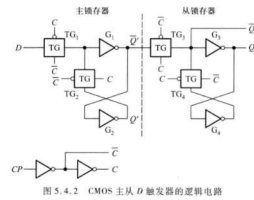


图 5.5.2 D 触发器的状态图

两个锁存器构成了一个触发器

传输上升沿前一点点的 D

其它结构触发器

维持阻塞 D 触发器

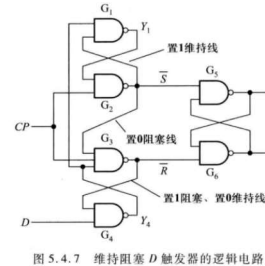


图 5.4.7 维持阻塞 D 触发器的逻辑电路

利用传输延迟的 JK 触发器 基于 SR 锁存器 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

表 5.5.2 JK 触发器的特性表

J	K	Q ⁿ	Q ⁿ⁺¹
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Yiwa Ke U201912072

EVA HUST

SR 触发器 $Q^{n+1} = S + \bar{R}Q^n$

触发器互相构成，让特性方程相等

1. D 触发器构成 JK 触发器

比较 D 触发器和 JK 触发器的特性方程,即式(5.5.1)和式(5.5.2),可以令

$$Q^{n+1} = D = J\bar{Q}^n + KQ^n \quad (5.5.6)$$

按上式,可得电路如图 5.5.8 所示,电路特性符合 JK 触发器的特性方程,从而能实现 JK 触发器的所有功能。有些 CMOS 主从结构的集成 JK 触发器就是采用类似方式实现的。

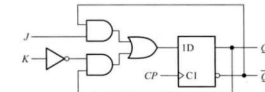


图 5.5.8 用 D 触发器实现 JK 触发器的逻辑功能

2. D 触发器构成 T 触发器

用构成 JK 触发器相同的方法,令

$$Q^{n+1} = D = T\bar{Q}^n + \bar{T}Q^n = T \oplus Q^n \quad (5.5.7)$$

只需在 D 输入端增加一个异或门或者同或门即可实现,于是得到如图 5.5.9(a)、(b)所示的两种 T 触发器逻辑电路。

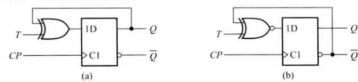


图 5.5.9 用 D 触发器实现 T 触发器的逻辑功能

图 5.5.10 用 D 触发器实现 T-bar 触发器的逻辑功能

3. D 触发器构成 T-bar 触发器

比较式(5.5.1)和式(5.5.4)可得 $Q^{n+1} = D = \bar{Q}^n$,于是,画出用 D 触发器构成的 T-bar 触发器如图 5.5.10 所示。

时序逻辑电路

输入信号, 输出信号, 激励信号

现态, 次态, 状态转换的关系