

中山大学数据科学与计算机学院本科生实验报告

(2018 学年 第二学期)

课程名称：数字电路与逻辑设计实验

任课教师：郭雪梅

助教：林鸿鑫

年级&班级	18 级计科 7 班	专业(方向)	计算机类
学号	18340181	姓名	谢俊杰
电话	16607657742	Email	xiejj8@mail2.sysu.edu.cn
开始日期	2019/4/26	完成日期	2019/4/26

一、实验题目

译码器电路原理及应用

二、实验目的

- 1、熟悉译码器等组合逻辑功能模块的功能与使用方法。
- 2、掌握用 MSI 设计的组合逻辑电路的方法。

三、实验内容

1. 实验步骤

用3线-8线译码器74LS138实现数据分配器电路：

(1) 列出数据分配器的真值表：

A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1

1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	0	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

(2) 将74LS197连接成八进制计数器作为电路的输入信号源，将Q3、Q2、Q1分别与74LS138的S2、S1、S0连接，G1接HIGH作为数据输入端， $\overline{G2A}$ 和 $\overline{G2B}$ 接LOW，并把输出Y0-Y7接“0-1”显示器即实验箱右上角的LED灯检查电路是否与上述真值表相对应，进行静态检测，电路连接如下：

半加半减器的设计（输入为S、A、B，其中S为功能选择口，当S=0时，输出A+B及进位；当S=1时，输出A-B及借位）

(1) 列出输入为S、A、B，输出为Y、进/借位C的真值表，如下：

S	A	B	Y	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

(2) 由真值表可以看出：

$$Y = \overline{S}AB + S\overline{A}\overline{B} + S\overline{A}B + S\overline{A}\overline{B} = \overline{\overline{S}AB \cdot S\overline{A}\overline{B} \cdot S\overline{A}B \cdot S\overline{A}\overline{B}} = \overline{m1 \cdot m2 \cdot m5 \cdot m6}$$

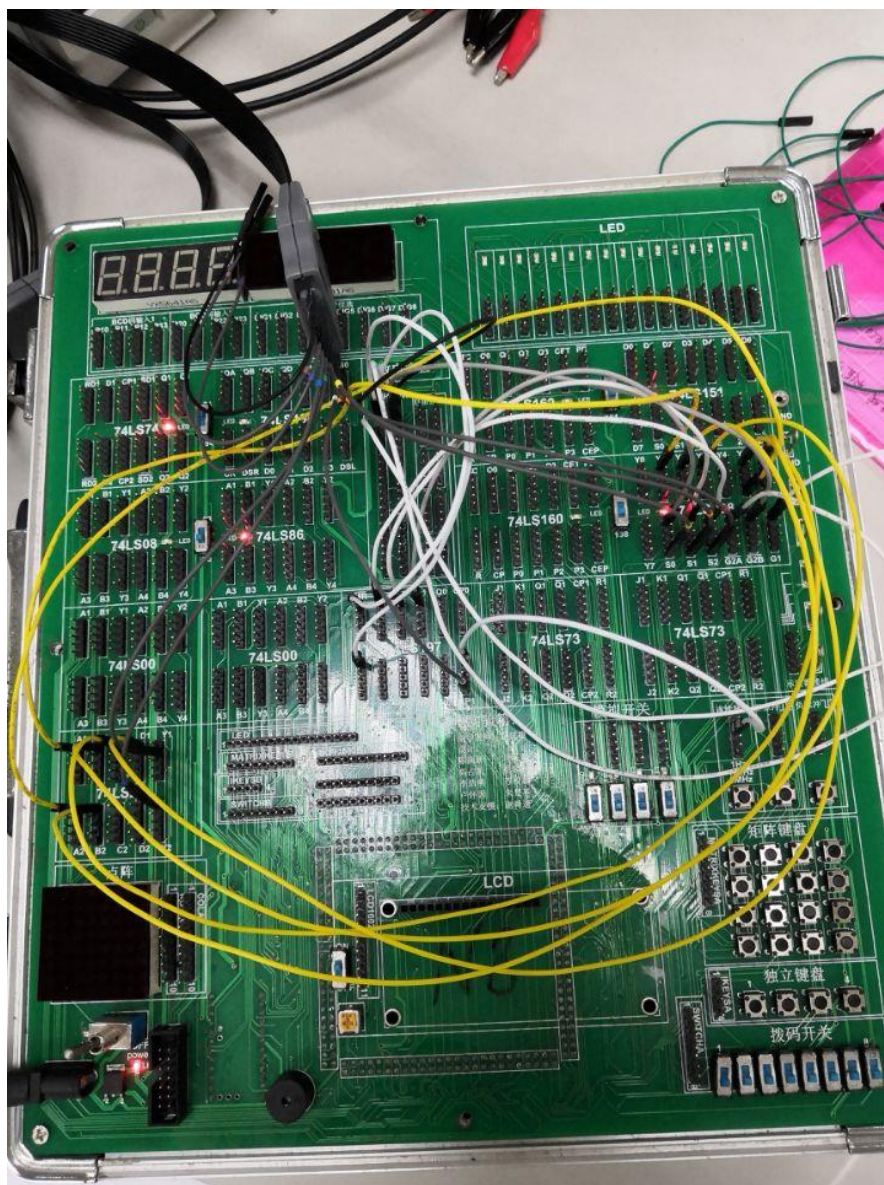
$$C = \overline{S}AB + S\overline{A}\overline{B} = \overline{\overline{S}AB \cdot S\overline{A}\overline{B}} = \overline{m3 \cdot m5}$$

(3) 将74LS197连接成八进制计数器作为电路的输入信号源，将Q3Q2Q1分别与S、A、B连接

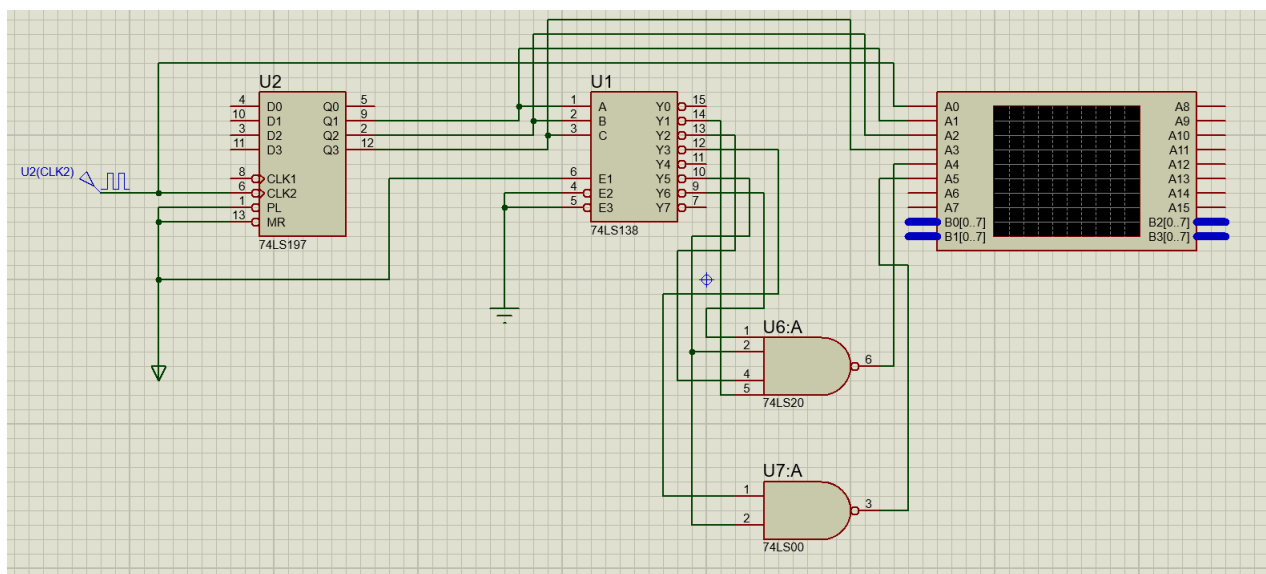
(4) 用74LS138的S2、S1、S0分别接S、A、B，则Y就是Y1、Y2、Y5、Y6的与非，C就是Y3、Y5的与非，用74LS20输出Y、C

(5) 用0-1显示器检测逻辑电路是否正确

(6) 检测正确后，用示波器观察并记录CP、S、A、B、Y、C的波形，电路图如下：



Proteus的仿真图如图：



(7) 利用卡诺图化简 (1) 中真值表，只使用门电路实现

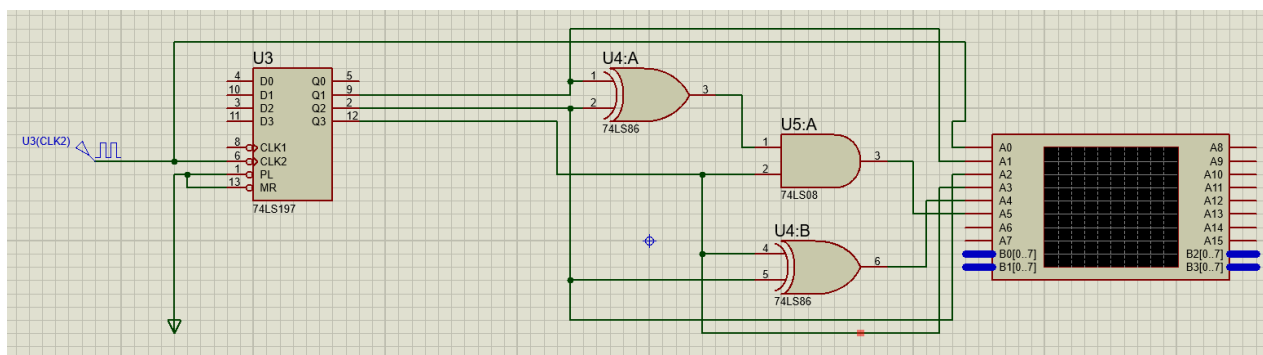
Y				
S\AB	00	01	11	10
0		1		1
1		1		1

$$Y = \bar{A}B + A\bar{B} = A \oplus B$$

		C			
S\AB	00	01	11	10	
0			1		
1		1			

$$C = \bar{S}AB + S\bar{A}B = (S \oplus A)B$$

(8) 根据设计出来的电路逻辑用Proteus软件画出电路图：

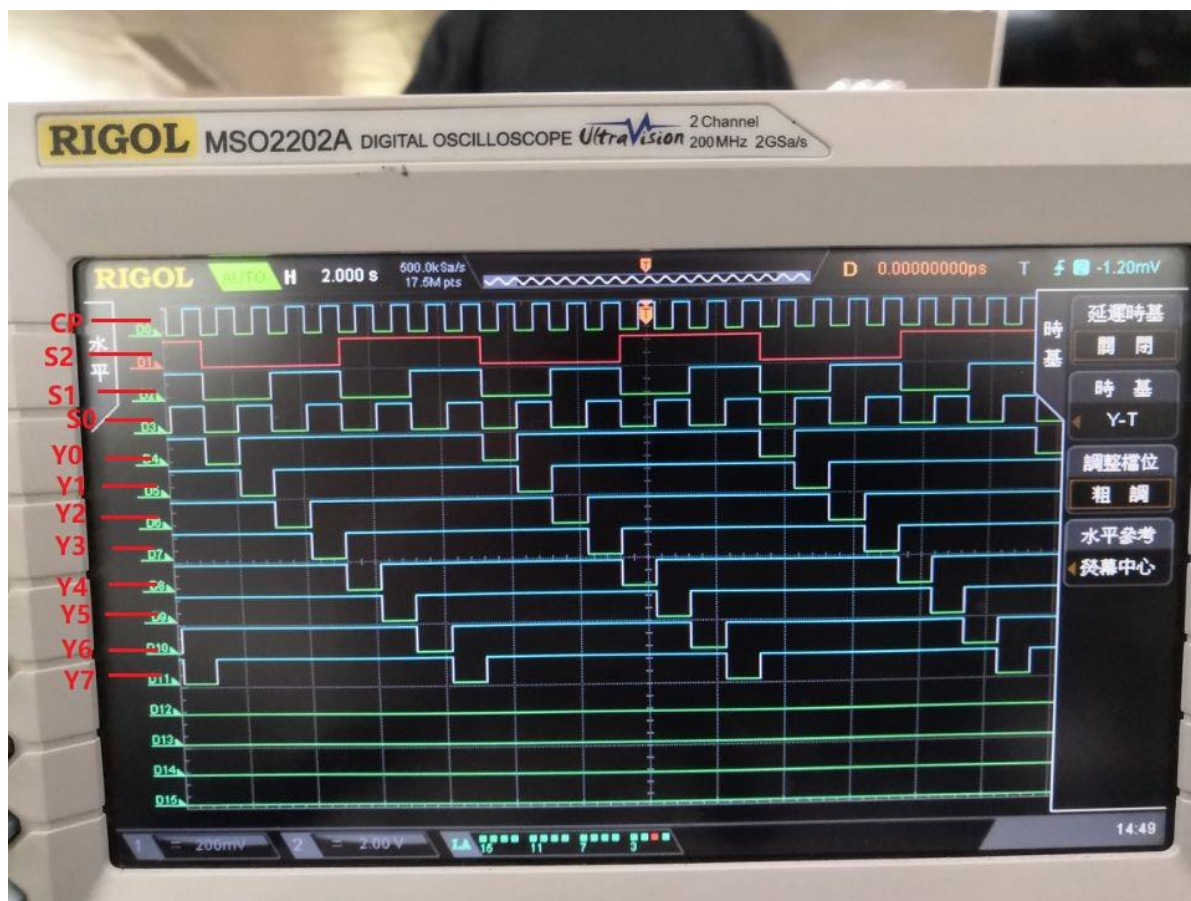


2. 实验原理

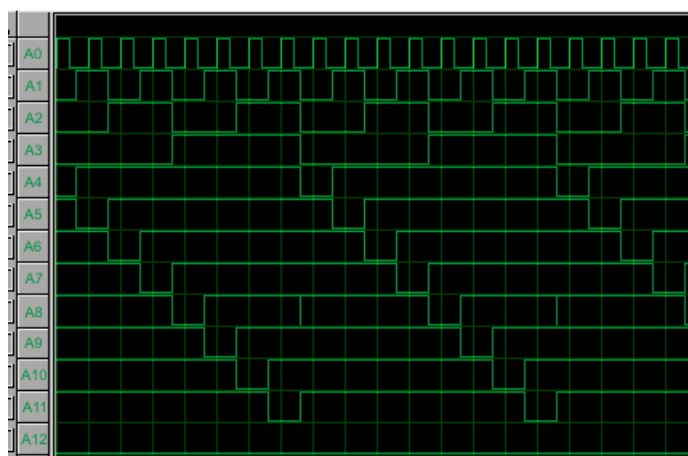
译码器是将每个输入的二进制代码译成对应的输出高、低电平信号，如果将S2、S1、S0当作逻辑函数的输入变量，则可利用附加的门电路将这些最小项适当的组合起来，便可产生任何形式的三变量组合逻辑函数。

四、实验结果

数据分配器电路设计的实验中示波器波形图：

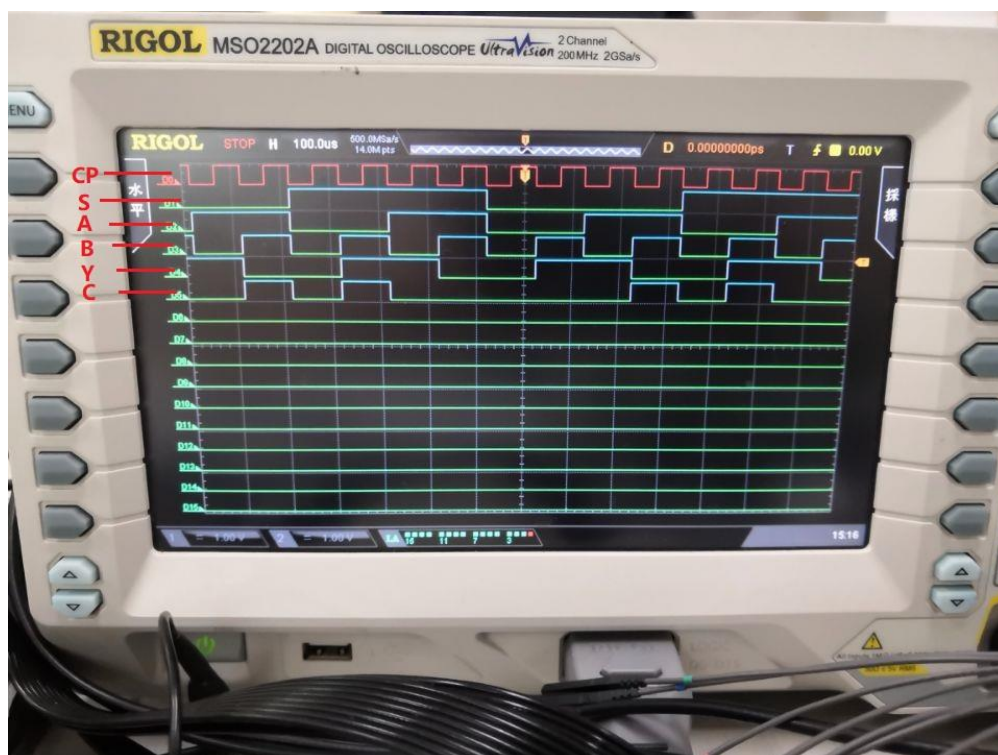


Proteus 的仿真测试示波器波形图：

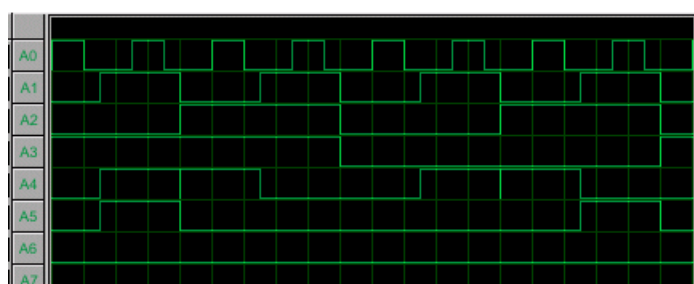


当 S2、S1、S0 以二进制计数形式递增时，数据 D(G1)会随时间依次从各个输出端口反相后输出，所以波形图上出现阶梯状的输出波形，其中每个凹进去的波形即为反相后的输出。

半加半减器设计的实验中示波器波形图：



Proteus的仿真测试示波器波形图：



经对照分析，实际实验结果与设计时所列出的真值表及预期结果基本相符，符合实验内容，实现了设计电路的功能。

五、实验感想

本次实验前进行了比较全面的预习，因而做实验时效率比上次高了不少，在使用示波器通道接口时，出现示波器上波形图十分不稳定并得不出实验预期结果的问题时，发现需要将其 GND 端接地即接 LOW，才会使波形稳定。在设计逻辑电路时，掌握了 74LS138 的用法，是将输入端最小项适当组合起来用附

加门电路共同实现逻辑函数，同时也对利用真值表和卡诺图化简实现组合逻辑电路的设计方法更为熟悉了。