

中山大学数据科学与计算机学院本科生实验报告

(2018 学年第二学期)

课程名称：数字电路与逻辑设计实验

任课教师：郭雪梅

助教：林鸿鑫

年级&班级	18 级计科 7 班	专业(方向)	计算机类
学号	18340181	姓名	谢俊杰
电话	16607657742	Email	xiejj8@mail2.sysu.edu.cn
开始日期	2019/6/1	完成日期	2019/6/1

一、实验题目

译码显示电路——Basys3 实验板上学号的显示

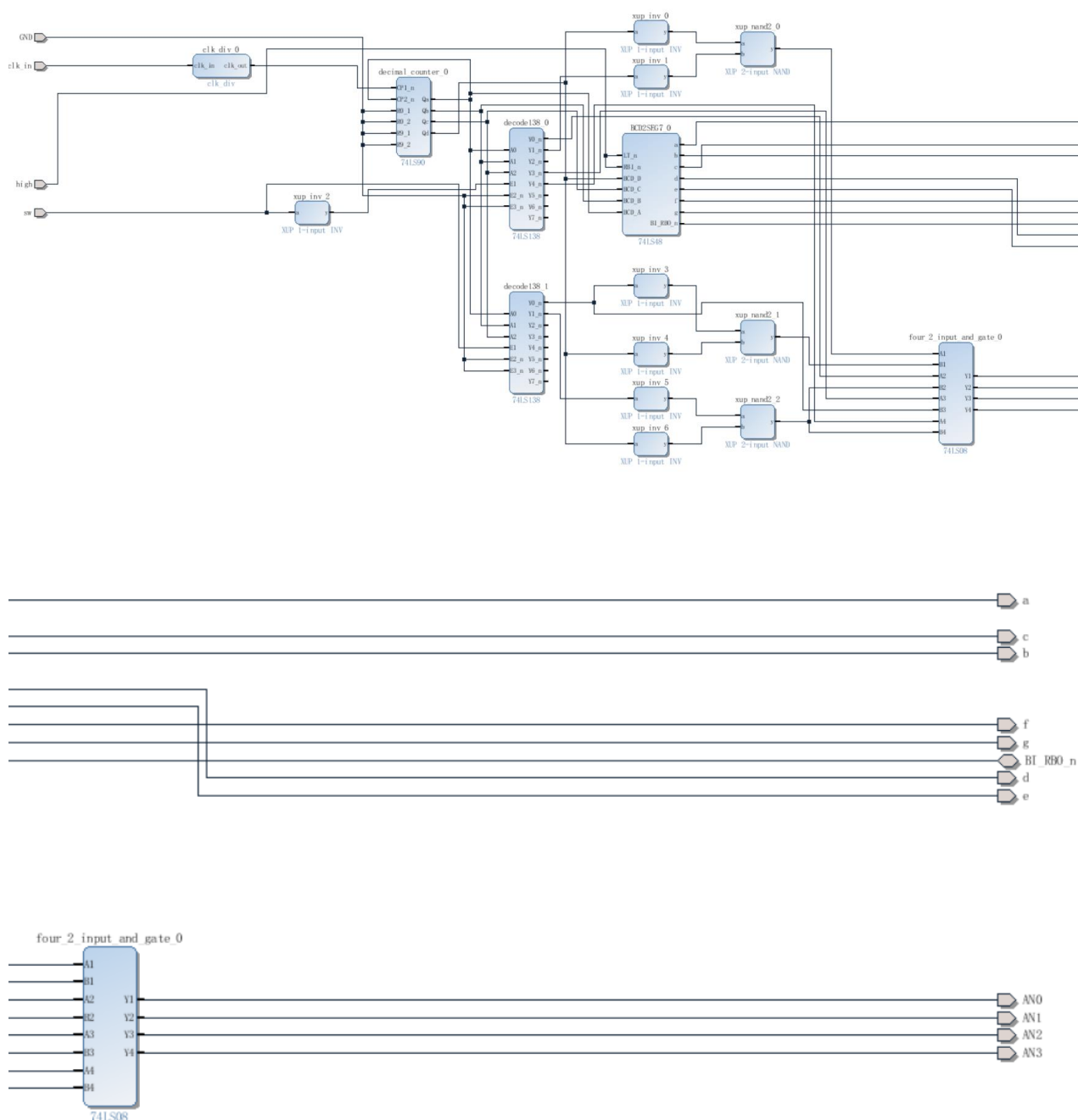
二、实验目的

- 1、复习中规模集成译码器的逻辑功能和使用方法；
- 2、掌握数码管的扫描式显示；
- 3、熟悉掌握 Vivado IP 核的功能与使用方法。

三、实验内容

1. 实验步骤

(1) 新建工程文件，新建block design，创建原理图，调用在电路中所使用到的器件，使用IP核包括xup_74LS48_1.0 (BCD码七段译码驱动器)，xup_74LS90_1.0 (二-五-十进制计数器)，xup_74LS08_1.0 (4输入与非门)， xup_74LS138_1.0 (3-8线译码器) ， xup_clk_div_1.0 (时钟分频器)，并由预习所设计的电路图连接各IP核，原理图如下：



(2) 将分频器xup_clk_div_1.0设置为 $N=100\text{MHz}/100\text{Hz}-1=99999$,以得到100hz的BCD码扫描频率。

(3) 生成相应的顶层文件design_1_wrapper.v。

(4) 综合完成后,对引脚进行手动配置,以生成相应的约束文件,内容如下(代码见附录):

```
showid.xdc
D:/code/freshman/digital/showid/showid.srcs/constrs_1/new/showid.xdc

1 set_property IOSTANDARD LVCMOS33 [get_ports a]
2 set_property IOSTANDARD LVCMOS33 [get_ports AN3]
3 set_property IOSTANDARD LVCMOS33 [get_ports AN2]
4 set_property IOSTANDARD LVCMOS33 [get_ports AN1]
5 set_property IOSTANDARD LVCMOS33 [get_ports AN0]
6 set_property IOSTANDARD LVCMOS33 [get_ports b]
7 set_property IOSTANDARD LVCMOS33 [get_ports BI_RBO_n]
8 set_property IOSTANDARD LVCMOS33 [get_ports c]
9 set_property IOSTANDARD LVCMOS33 [get_ports clk_in]
10 set_property IOSTANDARD LVCMOS33 [get_ports d]
11 set_property IOSTANDARD LVCMOS33 [get_ports f]
12 set_property IOSTANDARD LVCMOS33 [get_ports e]
13 set_property IOSTANDARD LVCMOS33 [get_ports g]
14 set_property IOSTANDARD LVCMOS33 [get_ports GND]
15 set_property IOSTANDARD LVCMOS33 [get_ports high]
16 set_property IOSTANDARD LVCMOS33 [get_ports sw]
17 set_property PACKAGE_PIN W5 [get_ports clk_in]
18 set_property PACKAGE_PIN U14 [get_ports BI_RBO_n]
19 set_property PACKAGE_PIN W7 [get_ports a]
20 set_property PACKAGE_PIN U2 [get_ports AN3]
21 set_property PACKAGE_PIN U4 [get_ports AN2]
22 set_property PACKAGE_PIN V4 [get_ports AN1]
23 set_property PACKAGE_PIN W4 [get_ports AN0]
24 set_property PACKAGE_PIN W6 [get_ports b]
25 set_property PACKAGE_PIN U8 [get_ports c]
26 set_property PACKAGE_PIN V8 [get_ports d]
27 set_property PACKAGE_PIN U5 [get_ports e]
28 set_property PACKAGE_PIN V5 [get_ports f]
29 set_property PACKAGE_PIN U7 [get_ports g]
30 set_property PACKAGE_PIN R2 [get_ports GND]
31 set_property PACKAGE_PIN T1 [get_ports high]
32 set_property PACKAGE_PIN U1 [get_ports sw]
33
```

(5) 生成Bitstream后，烧写到Basys3实验板。

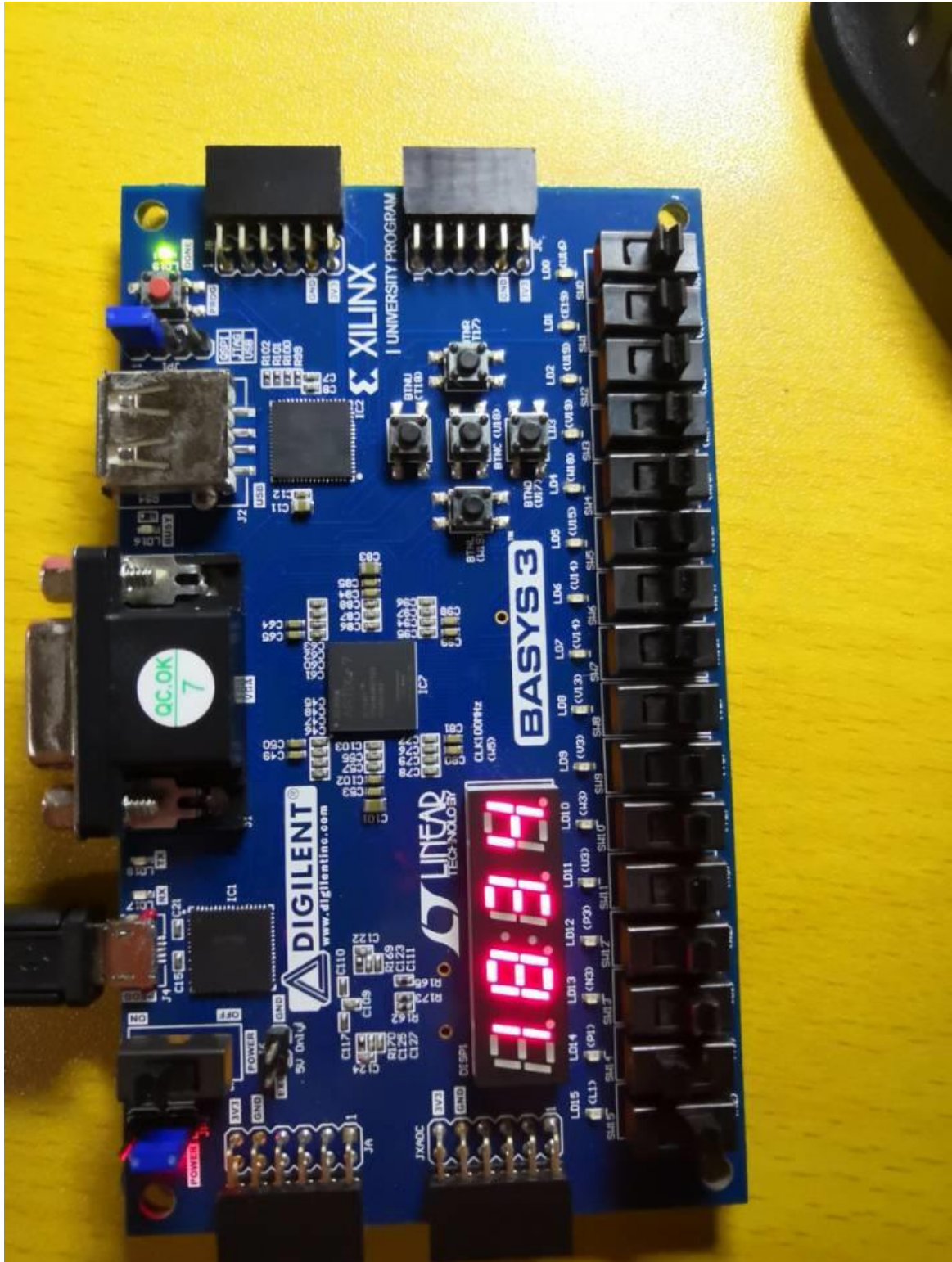
2、实验原理

实验板上的数码管的显示仍然需要BCD码七段译码驱动器，即74LS48，输出低电平有效，可有效驱动实验板上共阳极LED数码管，且需提供100Hz左右频率给7段数码管的BCD码输入端扫描显示4位数字（频率不能过高，因为点亮数码管需要一定时间）。

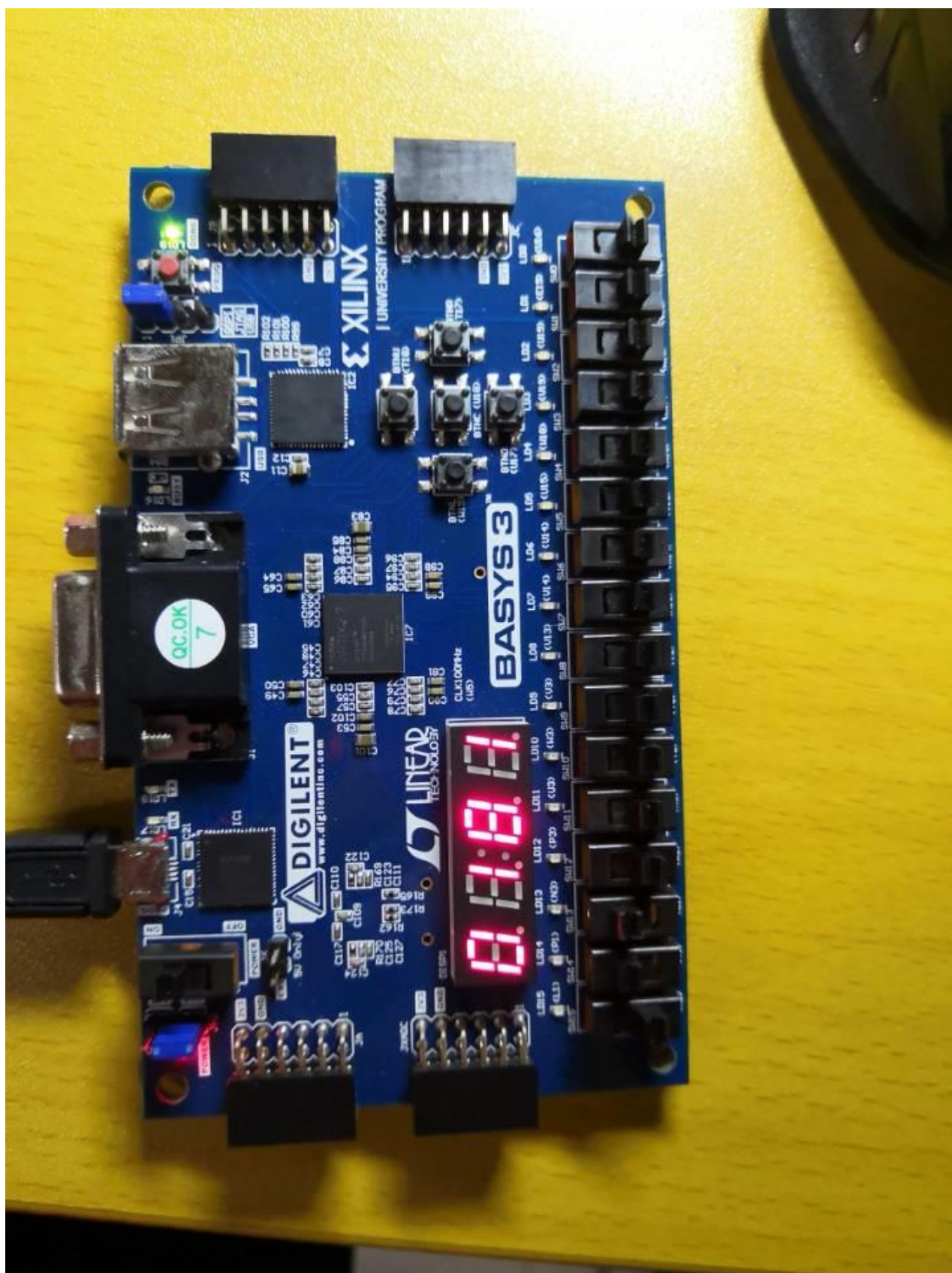
四、实验结果

实验结果如图：

sw=0时，显示高4位1834



sw=1时，显示低4位0181



五、实验感想

在该次实验后，对于 Vivado 的使用也更加熟悉了，对于在 vivado 上使用 IP 核设计电路更为熟练，其实在 block design 上连接电路与 Proteus 上基本上差不多，主要是要注意到即使输出在同一引脚上，由开关控制，也不能分配在同一引脚，需要靠一些转换（如与门）。同时对中规模集成译码器的使用和数码管扫描式显示渐渐熟悉。而对于在 vivado 上设计复习可以使用更多的 IP 核，比实验板的器件更多，可以实现更复杂的功能，也可以在 Proteus 上模拟验证逻辑，也不失为一种方法。

附录（代码）：

showid.xdc:

```
set_property IOSTANDARD LVCMOS33 [get_ports a]

set_property IOSTANDARD LVCMOS33 [get_ports AN3]

set_property IOSTANDARD LVCMOS33 [get_ports AN2]

set_property IOSTANDARD LVCMOS33 [get_ports AN1]

set_property IOSTANDARD LVCMOS33 [get_ports AN0]

set_property IOSTANDARD LVCMOS33 [get_ports b]

set_property IOSTANDARD LVCMOS33 [get_ports BI_RBO_n]

set_property IOSTANDARD LVCMOS33 [get_ports c]

set_property IOSTANDARD LVCMOS33 [get_ports clk_in]

set_property IOSTANDARD LVCMOS33 [get_ports d]

set_property IOSTANDARD LVCMOS33 [get_ports f]

set_property IOSTANDARD LVCMOS33 [get_ports e]
```

set_property IOSTANDARD LVCMOS33 [get_ports g]
set_property IOSTANDARD LVCMOS33 [get_ports GND]
set_property IOSTANDARD LVCMOS33 [get_ports high]
set_property IOSTANDARD LVCMOS33 [get_ports sw]
set_property PACKAGE_PIN W5 [get_ports clk_in]
set_property PACKAGE_PIN U14 [get_ports BI_RBO_n]
set_property PACKAGE_PIN W7 [get_ports a]
set_property PACKAGE_PIN U2 [get_ports AN3]
set_property PACKAGE_PIN U4 [get_ports AN2]
set_property PACKAGE_PIN V4 [get_ports AN1]
set_property PACKAGE_PIN W4 [get_ports AN0]
set_property PACKAGE_PIN W6 [get_ports b]
set_property PACKAGE_PIN U8 [get_ports c]
set_property PACKAGE_PIN V8 [get_ports d]
set_property PACKAGE_PIN U5 [get_ports e]
set_property PACKAGE_PIN V5 [get_ports f]
set_property PACKAGE_PIN U7 [get_ports g]
set_property PACKAGE_PIN R2 [get_ports GND]
set_property PACKAGE_PIN T1 [get_ports high]
set_property PACKAGE_PIN U1 [get_ports sw]