# 中山大学数据科学与计算机学院本科生实验报告

## （2018 学年第二学期）

课程名称：数字电路与逻辑设计实验　　任课教师：郭雪梅　　助教：林鸿鑫

| | | | |
|---|---|---|---|
| 年级&班级 | 18 级计科 7 班 | 专业(方向) | **计算机类** |
| 学号 | 18340181 | 姓名 | **谢俊杰** |
| 电话 | 16607657742 | Email | xiejj8@mail2.sysu.edu.cn |
| 开始日期 | 2019/5/11 | 完成日期 | 2019/5/11 |

## 一、实验题目

使用 Vivado IP 核实现组合逻辑电路

## 二、实验目的

1、掌握使用 Vivado 实现组合逻辑电路的方法，并验证其逻辑功能。

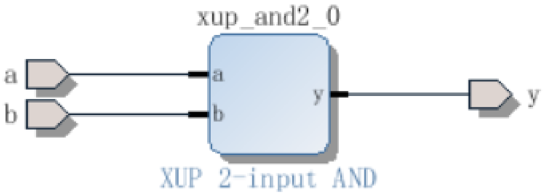
2、熟悉 Vivado 的使用。

## 三、实验内容

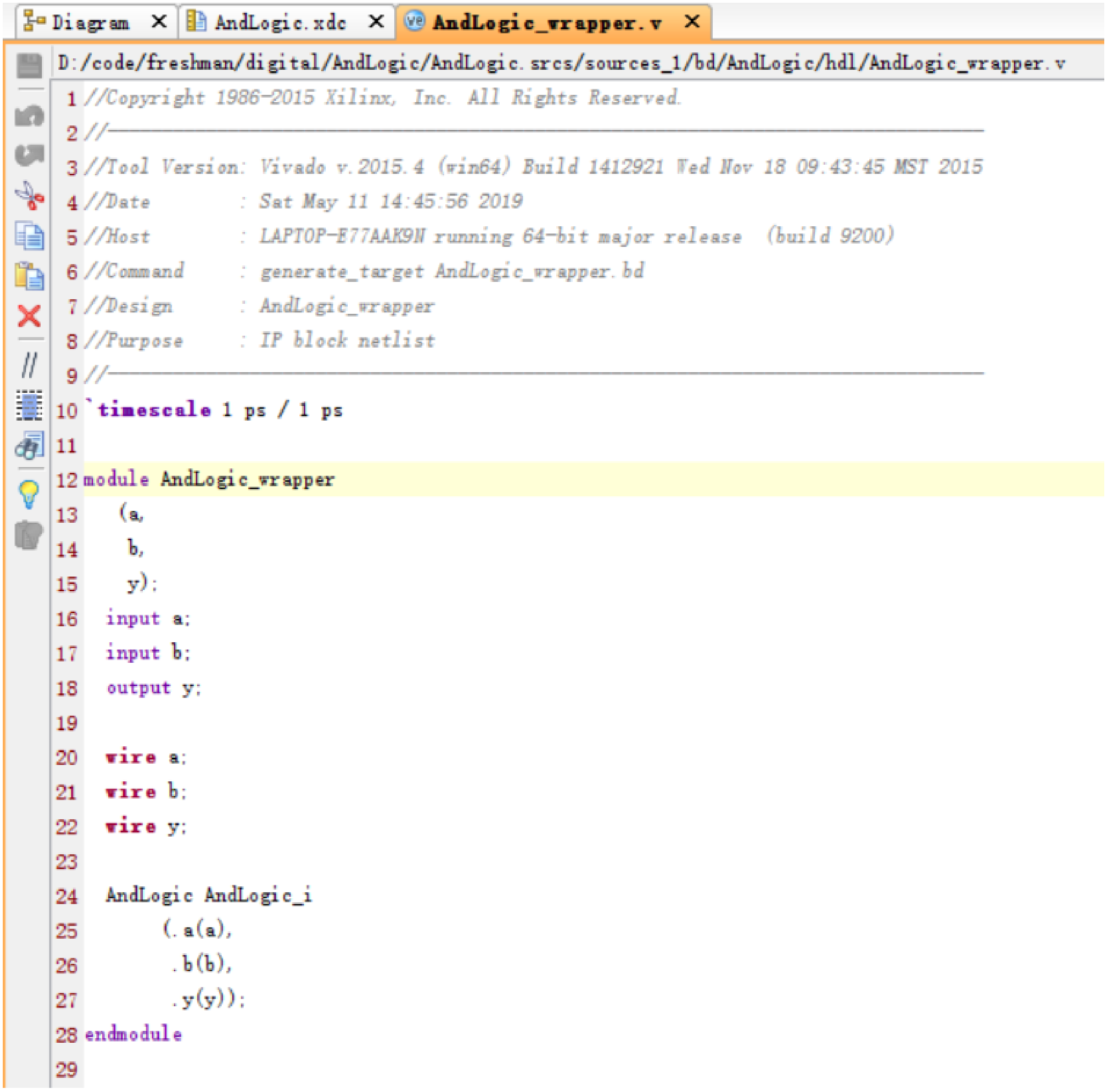
### 1. 实验步骤

**生成与门逻辑：**

**（1）新建工程文件，添加2输入与门IP核，并完成输入输出设计的原理图：**



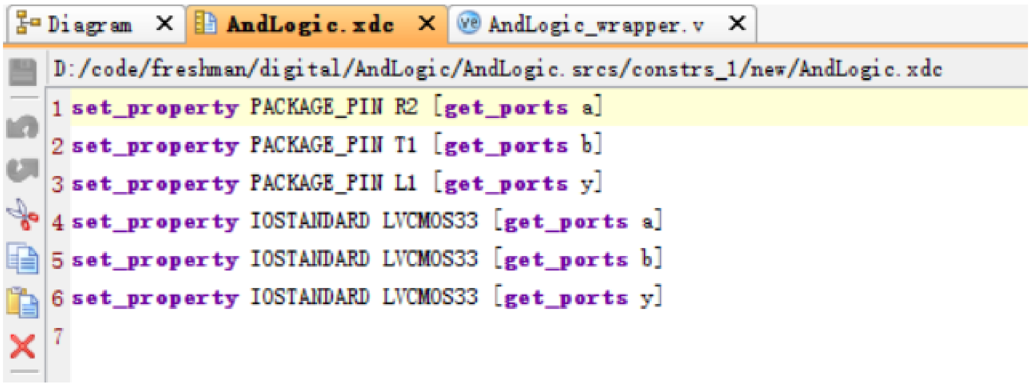
**（2）在原理图基础上生成顶层文件AndLogic_wrapper.v，内容如图：**



D:/code/freshman/digital/AndLogic/AndLogic.srcs/sources_1/bd/AndLogic/hdl/AndLogic_wrapper.v

```
//Copyright 1986-2015 Xilinx, Inc. All Rights Reserved.
//--------------------------------------------------------------------------------
//Tool Version: Vivado v.2015.4 (win64) Build 1412921 Wed Nov 18 09:43:45 MST 2015
//Date        : Sat May 11 14:45:56 2019
//Host        : LAPTOP-E77AAK9N running 64-bit major release  (build 9200)
//Command     : generate_target AndLogic_wrapper.bd
//Design      : AndLogic_wrapper
//Purpose     : IP block netlist
//--------------------------------------------------------------------------------
`timescale 1 ps / 1 ps

module AndLogic_wrapper
   (a,
    b,
    y);
  input a;
  input b;
  output y;

  wire a;
  wire b;
  wire y;

  AndLogic AndLogic_i
       (.a(a),
        .b(b),
        .y(y));
endmodule

```

（3）添加约束文件，分配管脚，约束文件如图：



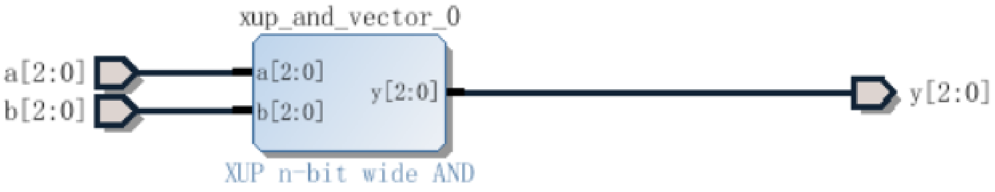
D:/code/freshman/digital/AndLogic/AndLogic.srcs/constrs_1/new/AndLogic.xdc

```
set_property PACKAGE_PIN R2 [get_ports a]
set_property PACKAGE_PIN T1 [get_ports b]
set_property PACKAGE_PIN L1 [get_ports y]
set_property IOSTANDARD LVCMOS33 [get_ports a]
set_property IOSTANDARD LVCMOS33 [get_ports b]
set_property IOSTANDARD LVCMOS33 [get_ports y]

```

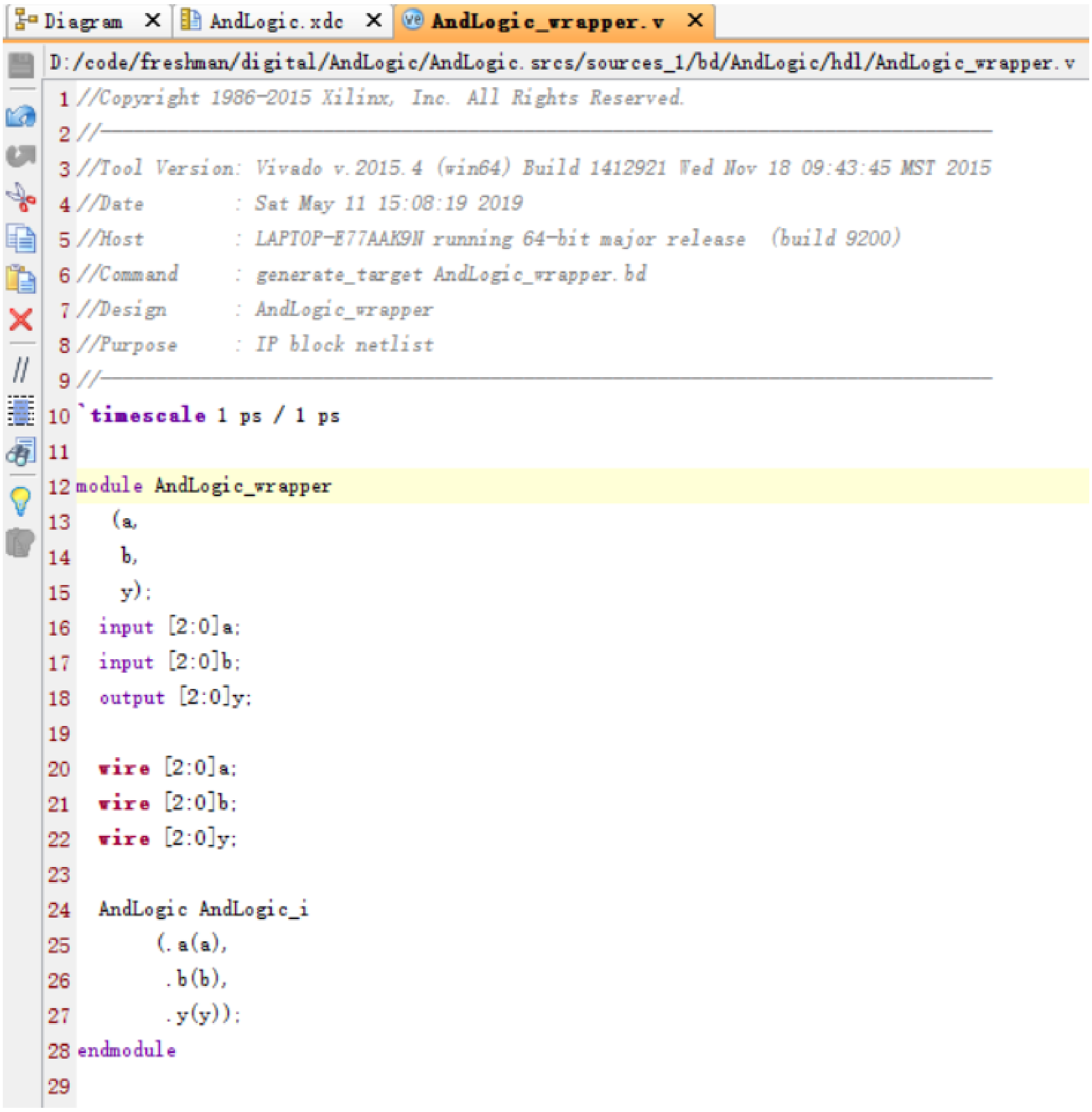
（4）生成Bitstream后，烧写到Basys3实验板。

实现输出端为3位的二进制数的与门逻辑：

（1）新建工程文件，添加n输入与门IP核，并完成输入输出设计的原理图：



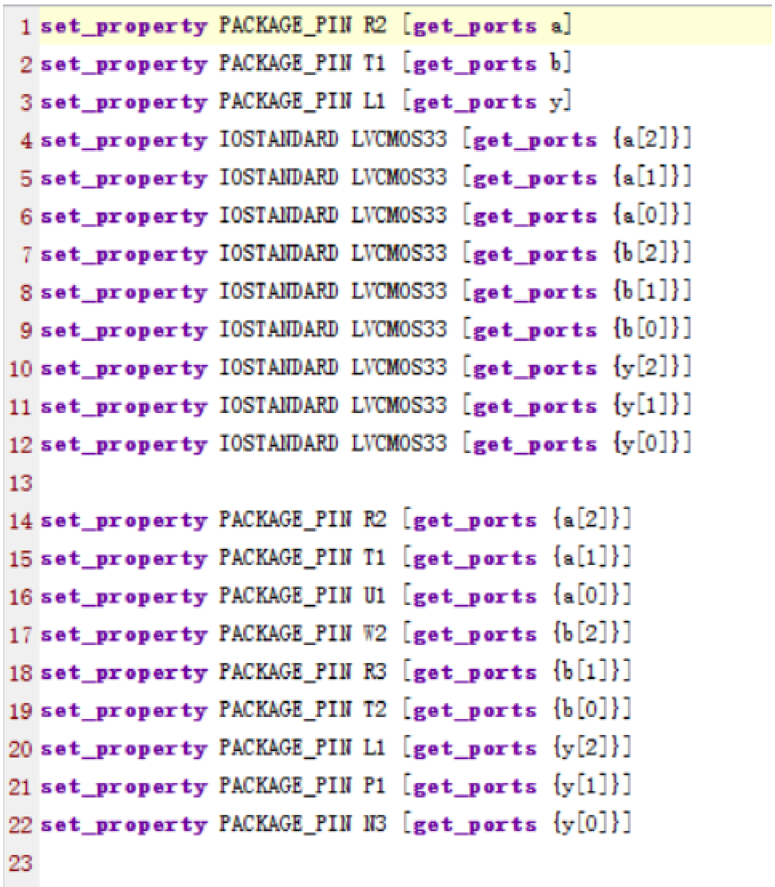
（2）在原理图基础上生成顶层文件AndLogic_wrapper.v，内容如图：



D:/code/freshman/digital/AndLogic/AndLogic.srcs/sources_1/bd/AndLogic/hdl/AndLogic_wrapper.v

```
//Copyright 1986-2015 Xilinx, Inc. All Rights Reserved.
//--------------------------------------------------------------------------------
//Tool Version: Vivado v.2015.4 (win64) Build 1412921 Wed Nov 18 09:43:45 MST 2015
//Date        : Sat May 11 15:08:19 2019
//Host        : LAPTOP-E77AAK9N running 64-bit major release  (build 9200)
//Command     : generate_target AndLogic_wrapper.bd
//Design      : AndLogic_wrapper
//Purpose     : IP block netlist
//--------------------------------------------------------------------------------
`timescale 1 ps / 1 ps

module AndLogic_wrapper
   (a,
    b,
    y);
  input [2:0]a;
  input [2:0]b;
  output [2:0]y;

  wire [2:0]a;
  wire [2:0]b;
  wire [2:0]y;

  AndLogic AndLogic_i
       (.a(a),
        .b(b),
        .y(y));
endmodule
```

（3）添加约束文件，分配管脚，约束文件如图：

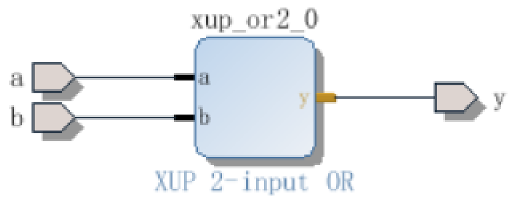


```
set_property PACKAGE_PIN R2 [get_ports a]
set_property PACKAGE_PIN T1 [get_ports b]
set_property PACKAGE_PIN L1 [get_ports y]
set_property IOSTANDARD LVCMOS33 [get_ports {a[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {a[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {a[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {b[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {b[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {b[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {y[0]}]

set_property PACKAGE_PIN R2 [get_ports {a[2]}]
set_property PACKAGE_PIN T1 [get_ports {a[1]}]
set_property PACKAGE_PIN U1 [get_ports {a[0]}]
set_property PACKAGE_PIN W2 [get_ports {b[2]}]
set_property PACKAGE_PIN R3 [get_ports {b[1]}]
set_property PACKAGE_PIN T2 [get_ports {b[0]}]
set_property PACKAGE_PIN L1 [get_ports {y[2]}]
set_property PACKAGE_PIN P1 [get_ports {y[1]}]
set_property PACKAGE_PIN N3 [get_ports {y[0]}]

```

（4）生成Bitstream后，烧写到Basys3实验板。

实现2输入或门逻辑：

（1）新建工程文件，添加2输入或门IP核，并完成输入输出设计的原理图：



（2）在原理图基础上生成顶层文件OrLogic_wrapper.v，内容如图：

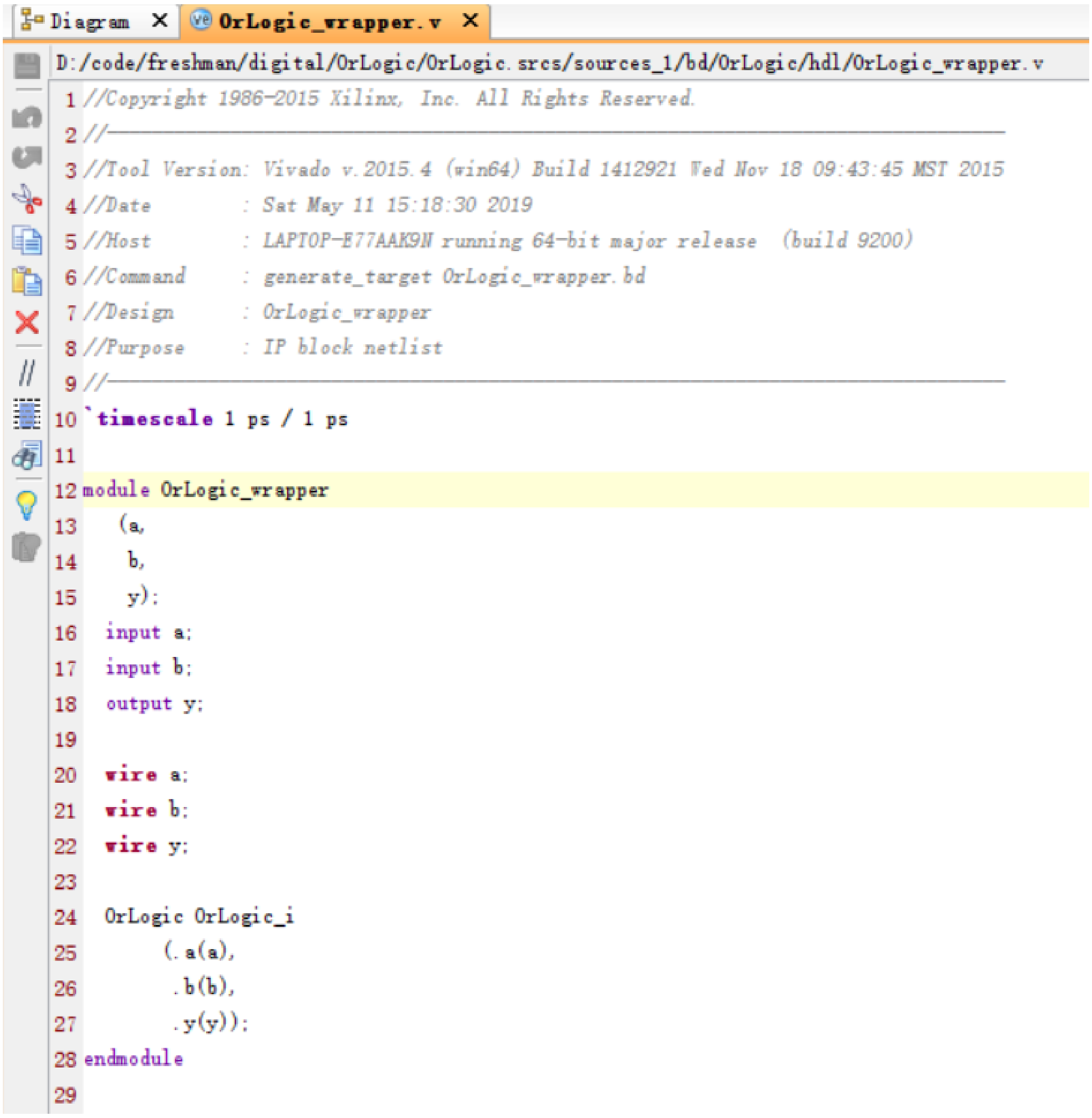


Diagram
OrLogic_wrapper.v
D:/code/freshman/digital/OrLogic/OrLogic.srcs/sources_1/bd/OrLogic/hdl/OrLogic_wrapper.v

```
//Copyright 1986-2015 Xilinx, Inc. All Rights Reserved.
//--------------------------------------------------------------------------------
//Tool Version: Vivado v.2015.4 (win64) Build 1412921 Wed Nov 18 09:43:45 MST 2015
//Date        : Sat May 11 15:18:30 2019
//Host        : LAPTOP-E77AAK9N running 64-bit major release  (build 9200)
//Command     : generate_target OrLogic_wrapper.bd
//Design      : OrLogic_wrapper
//Purpose     : IP block netlist
//--------------------------------------------------------------------------------
`timescale 1 ps / 1 ps

module OrLogic_wrapper
   (a,
    b,
    y);
  input a;
  input b;
  output y;

  wire a;
  wire b;
  wire y;

  OrLogic OrLogic_i
       (.a(a),
        .b(b),
        .y(y));
endmodule
```

（3）添加约束文件，分配管脚，约束文件如图：

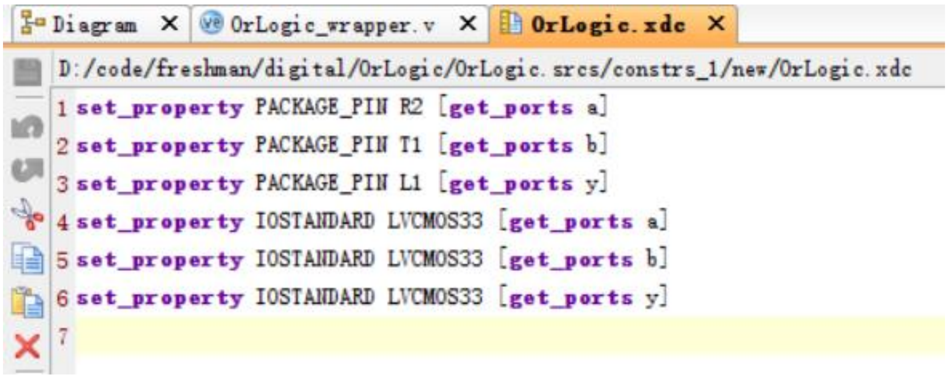


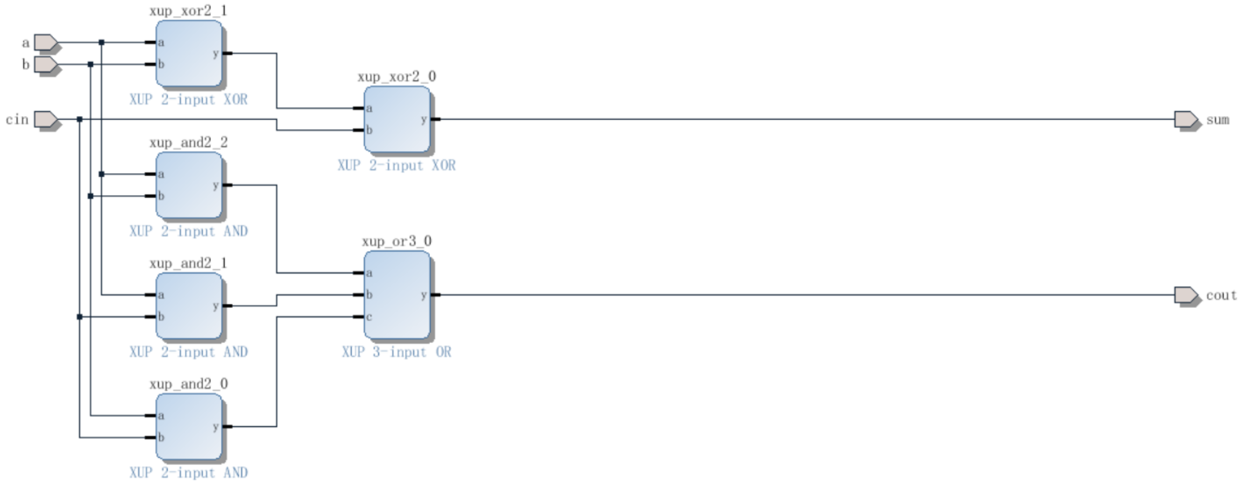
Diagram
OrLogic_wrapper.v
OrLogic.xdc
D:/code/freshman/digital/OrLogic/OrLogic.srcs/constrs_1/new/OrLogic.xdc

```
set_property PACKAGE_PIN R2 [get_ports a]
set_property PACKAGE_PIN T1 [get_ports b]
set_property PACKAGE_PIN L1 [get_ports y]
set_property IOSTANDARD LVCMOS33 [get_ports a]
set_property IOSTANDARD LVCMOS33 [get_ports b]
set_property IOSTANDARD LVCMOS33 [get_ports y]
```

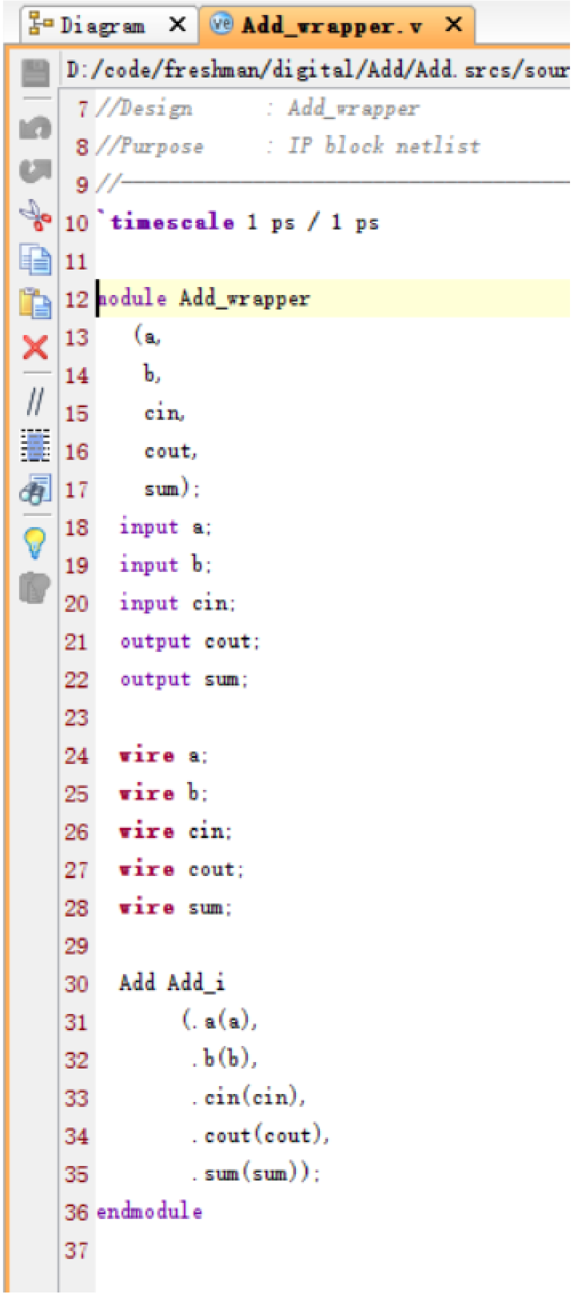
（4）生成Bitstream后，烧写到Basys3实验板。

实现全加器：

（1）新建工程文件，添加2输入与门IP核、2输入异或门、3输入或门，并完成输入输出设计的原理图：



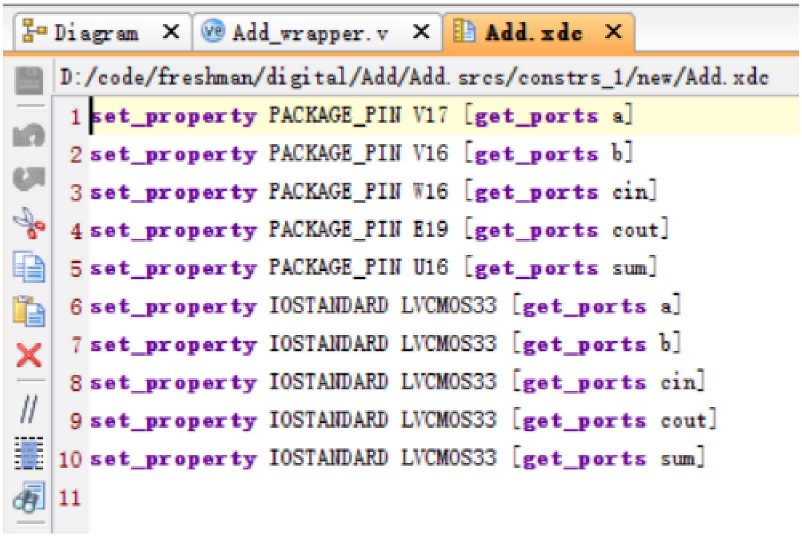
（2）在原理图基础上生成顶层文件Add_wrapper.v，内容如图：



D:/code/freshman/digital/Add/Add.srcs/sour

```verilog
//Design      : Add_wrapper
//Purpose     : IP block netlist
//----------------------------------------
`timescale 1 ps / 1 ps

module Add_wrapper
   (a,
    b,
    cin,
    cout,
    sum);
  input a;
  input b;
  input cin;
  output cout;
  output sum;

  wire a;
  wire b;
  wire cin;
  wire cout;
  wire sum;

  Add Add_i
       (.a(a),
        .b(b),
        .cin(cin),
        .cout(cout),
        .sum(sum));
endmodule

```

（3）添加约束文件，分配管脚，约束文件如图：



```
set_property PACKAGE_PIN V17 [get_ports a]
set_property PACKAGE_PIN V16 [get_ports b]
set_property PACKAGE_PIN W16 [get_ports cin]
set_property PACKAGE_PIN E19 [get_ports cout]
set_property PACKAGE_PIN U16 [get_ports sum]
set_property IOSTANDARD LVCMOS33 [get_ports a]
set_property IOSTANDARD LVCMOS33 [get_ports b]
set_property IOSTANDARD LVCMOS33 [get_ports cin]
set_property IOSTANDARD LVCMOS33 [get_ports cout]
set_property IOSTANDARD LVCMOS33 [get_ports sum]
```

（4）生成Bitstream后，烧写到Basys3实验板。

## 四、实验结果

生成与门逻辑实验中，烧写到实验板后，只有当R2和T1两个开关都置于1时，灯L1才会亮，其他情况下L1熄灭，符合2输入与门逻辑功能。

实现2输入或门逻辑实验中，烧写到实验板后，只有当R2和T1两个开关都置于0时，灯L1才会熄灭，其他情况下L1亮，符合2输入或门逻辑功能。

实现全加器实验中，烧写到实验板后，开关V17、V16、W16可置于0、1，灯U16和E19的亮灭情况如下图真值表所示：

| cin | a | b | sum | cout |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |

| | | | | |
|---|---|---|---|---|
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

经验证，符合全加器的逻辑功能。

## 五、实验感想

在第一次使用 Vivado 的实验后，对该软件的使用并不了解，在实验后仍然不懂如何去使用，所以导致在第二次（即该次）实验中，需要常常看回上一次的实验步骤和操作流程，但是在此次实验后，经过在实验课和课后的几次重复实验后，也逐渐熟悉 Vivado 的一部分功能使用，也明白到这些软件的熟悉需要重复的练习。