## 小梅哥和你一起深入学习FPGA之PLL锁相环介绍与应用

## 一：什么是PLL

PLL的完整英文拼写为Phase-Locked Loop。即相位锁定的环路，也就是我们常说的锁相环。锁相环在数字电路系统中应用相当的广泛，很多的MCU芯片如STM32、MSP430等都集成了片上PLL，用来通过片外较低频率的晶振产生的时钟倍频得到较高频率的时钟信号以供MCU的内核和片上外设使用。在很多的协议芯片中，也用到了PLL来通过较低频率的晶振时钟得到符合协议要求的时钟信号，例如，典型的例如USB协议芯片CY7C68013，使用片外晶振提供的24M时钟信号，倍频20倍得到USB2.0传输数据所要求的480M信号。再例如以太网协议芯片W5500，使用片外晶振提供的25M时钟信号，倍频得到150M时钟信号，以供以太网协议电路使用。即锁相环的一大作用就是对输入时钟进行分频和倍频，以得到更高或更低频率的时钟信号，以供逻辑电路使用。另外，除了对时钟信号的频率进行调节，还可以对同一PLL生成的多个时钟的相位进行控制，以保证两个时钟域的逻辑工作时有确定的时间差。具体锁相环是通过何种方式实现对时钟信号的分频和倍频的，这里我们不做讲解，有兴趣的朋友可以自己查阅相关书籍或资料。关于锁相环电路原理的介绍，在Altera官方提供的” ug\_altpll .pdf“的第二页也有简单介绍。

## 二：PLL在FPGA中经常用于哪些设计

在FPGA系统设计中，几乎所有地方都可以用到PLL，也有些地方是非用到PLL不可。

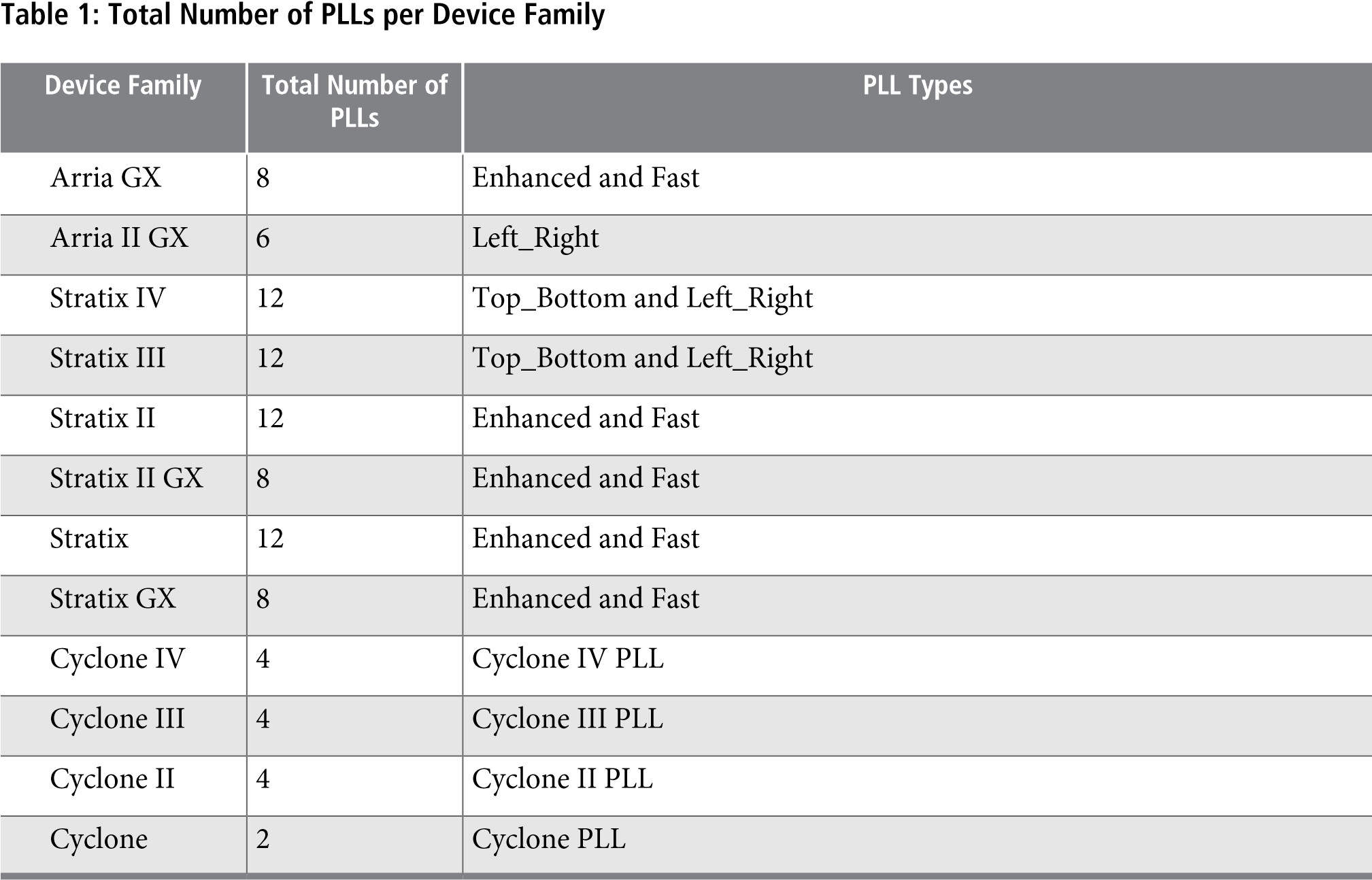
在某些对系统时钟频率没有固定要求的系统中，外部晶振输入的时钟可以直接作为逻辑驱动时钟，也可以通过PLL将该时钟进行降频，以得到较低的工作时钟，在不影响系统功能实现的前提下降低系统功耗。这样的系统，即可以使用PLL，也可以不使用，常见于用于工业控制领域的设计。

另外一些应用，则必须在指定频率的时钟信号下才能正常工作，常见于通信协议类应用，如以太网、USB、PCIE等等，在这些应用中，必须使用指定频率的时钟信号，如果没有刚好满足条件的外部时钟源，则必须通过片内PLL生成相应的时钟信号来进行驱动。在某些实时性要求较高的应用中，如数字信号处理，图像处理等等，提高系统工作时钟能够提升系统的性能，这一类应用中，也往往使用PLL进行倍频和分频，以得到较高频率的时钟，用以提升系统整体性能。

再有一个常见的应用就是生成两路频率相同，相位不同的时钟供SDRAM控制器和SDRAM芯片使用。根据SDRAM芯片的工作原理，SDRAM控制器的工作时钟和SDRAM芯片的工作时钟需要保持180°的相位差才能保证正确的读写数据。所以这里就可以使用PLL的相位控制空能来产生两路相位不同的时钟，以分别供控制器和SDRAM芯片使用。

## 三：Altera 的Cyclone IV系列FPGA提供的PLL特性

Altera 不同系列的FPGA，提供了不同的特性的PLL，包括增强型（Enhanced）、快速型（Fast）、左右型（Left\_Right）、顶底型（Top\_Bottom）以及Cyclone各代所具备的PLL类型。以下为目前所有Altera FPGA系列器件对应支持的锁相环类型：



可以看到，各种不同系列的器件，对应的PLL类型不同。因此，当我们选定一款FPGA器件之后，其对应的PLL类型也就确定了。不同类型的PLL，具有不同的特点，例如支持高速收发器，支持LVDS差分时钟输出等，这里不做过多讲解，具体请参考各个器件系列的Handbook。

PLL从具体实现锁定的时钟回路结构分，包括多达5种结构：

* **Normal mode**—The PLL feedback path source is a global or regional clock network, minimizing clock delay to registers for that clock type and specific PLL output. You can specify PLL output that is compensated in normal mode.
* **Source-Synchronous mode**—The data and clock signals arrive at the same time at the data and clock input pins. In this mode, the signals are guaranteed to have the same phase relationship at the clock and data ports of any Input Output Enable register.
* **Zero-Delay Buffer mode**—The PLL feedback path is confined to the dedicated PLL external clock output pin. The clock port driven off-chip is phase aligned with the clock input for a minimal delay between the clock input and the external clock output.
* **No Compensation mode**—The PLL feedback path is confined to the PLL loop. It has no clock network or other external source. A PLL in no-compensation mode has no clock network compensation, but clock jitter is minimized.
* **External Feedback mode**—The PLL compensates for the fbin feedback input to the PLL. The delay between the input clock pin and the feedback clock pin is minimized.

关于这5种模式的具体介绍，大家可以查阅各个系列的Handbook获得，例如，初学FPGA最常用的Cyclone IV系列器件支持的各种运行模式的介绍在Cyclone IV Device Handbook的第85页。

虽然每个锁相环支持多种时钟反馈模式，每种模式也都具有各自的特点。作为入门学习，我们不需要十分深入的去对每一种结构进行了解。当大家具备独立的开发能力后，再根据具体项目需求，在仔细评估各种运行模式的优缺点后，合理选择运行模式即可。

对于同一个系列的FPGA器件，不同容量的FPGA芯片往往具有不同数量的PLL功能单元，例如对于Cyclone IV E系列的FPGA，小容量产品（如EP4CE10）具有两个PLL，而从EP4CE15开始，所有的FPGA器件则有4个PLL。

## 四：使用Quartus II软件提供的PLL IP核进行功能设计的一般步骤：

这里，使用一个简单的例子，来给大家演示如何使用Quartus II软件提供的PLL IP核进行功能设计。（未完待续，此部分内容将分别以文档和视频教程的内容展现）

如有更多问题，欢迎加入芯航线FPGA技术支持群：472607506

小梅哥

2015年11月6日于芯航线电子工作室