

裕太微电子
Motor Comm

SEPTEMBER 20, 2021

YT8531/YT8531D/YT8531P 应用说明

版本 DRAFT 0.6

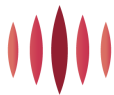
for 研智

裕太微电子股份有限公司

苏州高新区金山东路 78 号集成电路创新中心 2 楼 202

上海浦东新区盛荣路 388 弄 18 号楼

www.motor-comm.com



版权声明

Copyright Statement

本文档版权归裕太微电子股份有限公司（以下简称“裕太微”）所有，并保留一切权利。未经裕太微书面许可，任何公司和个人不得将此文档中的任何部分复制、传播、披露或以其他方式散发给第三方。否则裕太微电子将保留追究其法律责任的权利。

This document is copyright of Motorcomm Electronic Technology Co., Ltd. ("Motorcomm"). All rights reserved. No company or individual may copy, disseminate, disclose or otherwise distribute any part of this document to any third party without the written consent of Motorcomm. If any company or individual so does, Motorcomm reserves the right to hold it or him liable therefor.

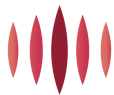
免责声明

Disclaimer

本文档仅提供阶段性信息，所含内容将/可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成直接或间接损失，裕太微不承担任何责任。

This document only provides periodic information, and its contents will/may be updated from time to time according to actual situation of Motorcomm's products without further notice. Motorcomm will not take any responsibility for any direct or indirect losses caused due to improper use of this document.

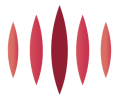
for 研智



Revision History

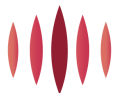
Revision	Release Date	Summary
0.1	2021.09.20	Draft version
0.2	2021.09.29	MSE 读取修正；增加复位寄存器说明
0.3	2021.10.20	RGMII 驱动能力配置修改
0.4	2021.11.26	Xtal 晶体应用修改；模板测试修改；RGMII 电平配置说明修改
0.5	2021.12.20	phy 地址默认值修订；RGMII Duty cycle 典型配置
0.6	2021.12.30	公司地址、名称修改

for 研智



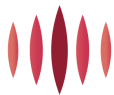
目录

1. 简介	5
2. 缩略语	5
3. 寄存器类型及访问方法	6
3.1 寄存器的类型	6
3.2 通过MII寄存器访问其它类型寄存器	7
3.3 寄存器地址空间	8
3.4 PHY 地址以及广播地址的使用说明	8
4. 工作模式	9
5. 几种复位操作	9
6. UTP（电口）配置	10
6.1 10/100/1000BT的速度和双工	10
6.2 只保留1000BT能力	10
6.3 POWER DOWN设置	11
6.4 LOOPBACK（回环）模式	11
6.5 SMART DOWNGRADE（自动降速）配置	12
6.6 SLEEP（自动睡眠）配置	13
6.7 包生成器和收发包统计	13
6.8 LDS和4对线百兆长距离	14
6.9 SNR读取（当前连接质量指示）	18
6.10 VCT（线长检测）配置	19
6.11 TEMPLATE（电口指标）配置	20
6.12 FAST LINK DOWN配置	21
6.13 FLP LINK门限配置	21
7. RGMII配置	21
7.1 通过POS设置RGMII电平	21
7.2 RX_TX DELAY的配置	22
7.3 RX 信号DUTY CYCLE的微调	23
7.4 驱动能力的设置	23
8. LED灯配置	24
9. INTERRUPT（中断）与WOL配置	25
10. SYNC-E（时钟输出）配置	26
11. JUMBO FRAME（巨型帧）配置	27
12. 其它维测寄存器	27
12.1 用户自配置寄存器	27
12.2 UTP BIG ERROR COUNTER	28
12.3 CLOCK DRIFT	29
13. 数据传输通路延时	29
14. 硬件电路设计相关问题	30
14.1 上电复位时序要求	30



14.2	硬复位后延时进行MDIO操作要求	30
14.3	外接参考时钟的抖动要求	30
14.4	外接参考时钟源切换操作要求	31
14.5	EMC设计相关建议	31

for 研智



1. 简介

本文档仅对 YT8531, YT8531D, YT8531P 做说明, YT8531S 请参阅其专用说明。

三者之间的主要区别如下表所示:

型号	管脚	主要区别	
YT8531	QFN40 5mm×5mm	内核 1.1v 由 phy 内部 DC/DC 产生	具备 RGMII、MDI 接口; 仅支持电口
YT8531D		内核 1.1v 由 phy 内部 LDO 产生	
YT8531P		内核用 1.1v 由外置电源提供, 范围 1.1~1.2v.	
YT8531S	QFN48 6mm×6mm	内核 1.1v 由内部 DC/DC 产生	具备 SGMII/Fiber、RGMII、MDI 接口; 支持电口、光口
以上型号除 YT8531P 外均支持商业级(后缀带 C; 0~70℃); 工业级(后缀带 H; -40~85℃)			

以上三型号除了 1.1v 的供电方式有区别外, 其余功能皆相同。后续本文档中称呼 YT8531, 若无特别申明, 则指代的是 YT8531/YT8531D/YT8531P。

2. 缩略语

YT: 裕太微电子, 代指本公司。

PHY: physical layer, 物理层芯片, 本文用来代指以太网物理层芯片, 即 YT8531 芯片。

MAC: Media Access Control, 数据链路层, 本文用来代指与 PHY 相连的上层接口芯片, 通常为集成 MAC 功能的 switch 芯片或 CPU 芯片。

DUT: Device under test, 被测对象, 本文一般用来代指 YT8531 芯片。

LP: Link Partner, 对端相连芯片, 本文一般用来代指与 DUT 通过网线, 光纤或 SMA 等线相连接的对端芯片。

UTP: un-twisted pair, 非屏蔽双绞线, 用来与其它 PHY 芯片相连的接口, 本文用来代指以太网电口 (或称 RJ45, Copper), 包括 1000/100/10BT 三种速率。

Fiber: 光纤, 用来与其它 PHY 芯片相连的接口。本文用来代指以太网光口, 包括 1000BX 和 100FX 两种速率。不过 YT8531/YT8531D/YT8531P 不支持 Fiber。

RGMII: Reduced Giga Media Impendent Interface, 是 PHY 与 MAC 之间的并行接口。

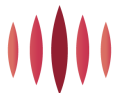
MDIO/SMI: Management Data Input Output, 是由 MDC/MDIO 组成的接口, 用来读写 PHY 的内部寄存器。

Mii: Media independent interface, 早期以太网 PHY 芯片与 MAC 相连的接口, 只适用于百兆/十兆速率, 在 YT8521S 中已经不存在。但因为 802.3 中规定的 PHY 标准寄存器命名为 MII 寄存器, 所以本文中沿用称呼标准寄存器为 Mii 寄存器, 记为 mii_reg。

Ext: 由于 MII 寄存器数量有限, 仅有 32 个。为满足更多功能需求, phy 芯片配置了更多的寄存器, 称为扩展寄存器 extended register, 记为 ext_reg。

MMD: MDIO Managable Device, 通过 IEEE802.3 标准 Clause45 规定的 MDIO 接口进行管理的寄存器, 称为 MMD 寄存器, 记为 mmd_reg。

SGMII: Serial giga media independent interface。一种用来与 MAC 相连的接口, YT8531/YT8531D/YT8531P 不支持 SGMII。



3. 寄存器类型及访问方法

3.1 寄存器的类型

YT PHY 内部有三种类型的寄存器：MII 寄存器（MII register，以下简称为 `mii_reg`），扩展寄存器（extended register，以下简称为 `ext_reg`）和 MMD 寄存器（简称为 `mmd_reg`）。

`mii_reg`：寄存器地址为 `0~0x1f`，遵从 802.3 clause 22 的标准定义方式进行访问。其 MDC/MDIO 协议如下：

Table 22-12—Management frame format

	Management frame fields							
	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
READ	1...1	01	10	AAAAA	RRRRR	Z0	DDDDDDDDDDDDDDDD	Z
WRITE	1...1	01	01	AAAAA	RRRRR	10	DDDDDDDDDDDDDDDD	Z

`ext_reg`：由于 `mii_reg` 只有 `0~0x1f`，即 32 个。不能满足产品对寄存器数目的要求，就通过访问两个 `mii_reg 0x1e, 0x1f` 来扩展了更多的寄存器。访问方式为：

将要访问的 `ext_reg` 地址，写入 `mii_reg 0x1e`。

读 `mii_reg 0x1f` 得到值，即为 `ext_reg` 内的值。写值到 `mii_reg 0x1f`，即将 `ext_reg` 寄存器内容改为写入的值。

例如：读取 `ext_reg 0x1000` 的值：write `mii_reg 0x1e 0x1000`;

read `mii_reg 0x1f`;

写 `ext_reg 0x1000` 的值为 `0x3456`：

write `mii_reg 0x1e 0x1000`;

write `mii_reg 0x1f 0x3456`;

`mmd_reg`：为了扩展更多的寄存器，以适应更高速率的以太网。MMD 寄存器被创造出来。遵从 802.3 clause 45 的标准定义方式进行访问。MMD 寄存器有两种访问方式：间接访问和直接访问。

直接访问：其协议与 MII 访问不同，它是通过两条指令实现 MMD 寄存器的读或写，即先发 address 指令，再发 Write 或 Read 指令实现，具体协议如下：

Table 45-153—Extensions to management frame format for indirect access

	Management frame fields							
Frame	PRE	ST	OP	PRDAD	DEVAD	TA	ADDRESS / DATA	IDLE
Address	1...1	00	00	PPPPP	EEEE	10	AAAAAAAAAAAAAAAA	Z
Write	1...1	00	01	PPPPP	EEEE	10	DDDDDDDDDDDDDDDD	Z
Read	1...1	00	11	PPPPP	EEEE	Z0	DDDDDDDDDDDDDDDD	Z
Post-read-increment-address	1...1	00	10	PPPPP	EEEE	Z0	DDDDDDDDDDDDDDDD	Z

间接访问：即通过 MII 寄存器（`mii_reg 0xd, mii_reg 0xe`，其具体含义见下表）来访问 MMD 寄存器。比如：

读 MMD 3 的 `0x5` 寄存器，其指令为：

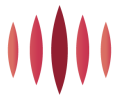
write `mii_reg 0xd 0x3`; write `mii_reg 0xe 0x5`; write `mii_reg 0xd 0x4003`; read `mii_reg 0xe`

写 MMD 7 的 `0x3c` 寄存器值为 `0x6`，其指令为：

write `mii_reg 0xd 0x7`; write `mii_reg 0xe 0x3c`; write `mii_reg 0xd 0x4007`; write `mii_reg 0xe 0x6`

MII 0Dh: MMD access control register

Bit	Symbol	Access	Default	Description
-----	--------	--------	---------	-------------



15:14	Function	RW	2'b0	00 = Address 01 = Data, no post increment 10 = Data, post increment on reads and writes 11 = Data, post increment on writes only
13:5	Reserved	RO	9'b0	Always 0
4:0	DEVAD	RW	5'b0	MMD register device address. 00001 = MMD1 00011 = MMD3 00111 = MMD7

MII 0Eh: MMD access data register

Bit	Symbol	Access	Default	Description
15:0	Address data	RW	16'b0	If register 0xD bits [15:14] are 00, this register is used as MMD DEVAD address register. Otherwise, this register is used as MMD DEVAD data register as indicated by its address register.

3.2 通过 MII 寄存器访问其它类型寄存器

按上面所讲，无论 ext_reg 还是 mmd_reg 都可以通过 mii_reg 来访问。

假设函数 read_mii_reg(phy_addr, reg_addr) 与 write_mii_reg(phy_addr, reg_addr, data) 表示读写指定 phy 地址的指定 mii 寄存器地址。即：

Mii 寄存器的读写：

函数名：read_mii_reg(phy_addr, reg_addr)

输入参数：phy_addr, reg_addr

返回值：读取到的 mii reg_addr 寄存器的值

函数名：write_mii_reg(phy_addr, reg_addr, data)

输入参数：phy_addr, reg_addr, data

返回值：无

那么：

Ext 寄存器的读写：

函数名：read_ext_reg(phy_addr, reg_addr)

输入参数：phy_addr, reg_addr

返回值：读取到的 Ext 寄存器 reg_addr 内的值

```
def read_ext_reg(phy_addr, reg_addr):
```

```
    write_mii_reg(phy_addr, 0x1e, reg_addr)
```

```
    d = read_mii_reg(phy_addr, 0x1f)
```

```
    return d
```

函数名：write_ext_reg(phy_addr, reg_addr, data)

输入参数：phy_addr, reg_addr, data

返回值：无

```
def write_ext_reg(phy_addr, reg_addr, data)
```

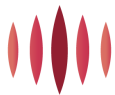
```
    write_mii_reg(phy_addr, 0x1e, reg_addr)
```

```
    write_mii_reg(phy_addr, 0x1f, data)
```

MMD 寄存器的读写：

函数名：read_mmd_reg(phy_addr, device, reg_addr)

输入参数：phy_addr, device, reg_addr



返回值：读取到的 MMD 寄存器的值

```
def read_mmd_reg(phy_addr, device, reg_addr):  
    write_mii_reg(phy_addr, 0x0d, device)  
    write_mii_reg(phy_addr, 0x0e, reg_addr)  
    write_mii_reg(phy_addr, 0x0d, 0x4000+device)  
    d = read_mii_reg(phy_addr, 0x0e)  
    return d
```

(说明，例如 MMD3 0x01,其中 3 即为 MMD 寄存器的器件地址；0x01 为 MMD 的寄存器地址)

函数名：**write_mmd_reg(phy_addr, device, reg_addr, data)**输入参数：phy_addr, device, reg_addr, data

返回值：无

```
def write_mmd_reg(phy_addr, device, reg_addr, data)  
    write_mii_reg(phy_addr, 0x0d, device)  
    write_mii_reg(phy_addr, 0x0e, reg_addr)  
    write_mii_reg(phy_addr, 0x0d, 0x4000+device)  
    write_mii_reg(phy_addr, 0x0e, data)
```

3.3 寄存器地址空间

YT8531 寄存器可以分为两块大的空间，UTP(1000/100/10BT 和百兆长距离相关的寄存器),和 COMMON(通用寄存器)。其中，

COMMON 空间寄存器：都属于 ext_reg，且其起始地址为 0xa000。一般地用法是，

Write_ext_reg(phy_addr, 0xa001, 0x2): 向寄存器 0xA001 写入 0x02

read_ext_reg(phy_addr, 0xa001): 读取 0xA001 的值

UTP 空间寄存器：分 mii_reg, ext_reg(起始地址 0x0~0x2xx, 不与 common 寄存器地址冲突), mmd_reg。

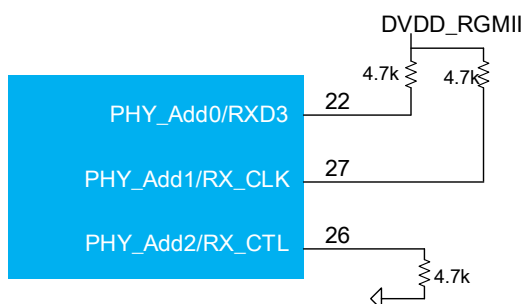
UTP MII 寄存器: Ext_reg0x100 bit1 为 1，这是默认值，选择 UTP MII 寄存器，IEEE1000/100/10BT 的速度，自协商能力等，判断 UTP 连接的速度与双工等寄存器，都在 UTP mii_reg 中。

LDS MII 寄存器: Ext_reg0x100 bit1 手动设为 0，选择跟 LDS 相关的 MII 寄存器。

UTP MMD 寄存器: mmd_reg，寄存器定义见 802.3 定义和芯片手册

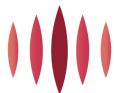
UTP EXT 寄存器: ext_reg，寄存器定义见 802.3 定义和芯片手册

3.4 phy 地址以及广播地址的使用说明



YT8531 的地址由上图所示的三个管脚外接(或内部默认)电阻来配置。外部不接上下拉电阻时，内部默认 phy 地址为 000(十进制 0)；若外接电阻，例如上图所接，则配置的地址是 011(十进制 3)

(以上三管脚要接上拉电阻时候，需接到 DVDD_RGMII 电压上；请注意 YT8531S phy 地址默认是 001)



YT8531 有 phyaddr0 和 bdcst_addr 两种特色功能，用户可以方便、快捷地访问 YT8531 寄存器。

当 phyaddr0 enable 时，YT8531 除了响应 phy address = Strapping PHYAD[2:0] 的读/写命令，还可以响应 phy address = 0x0 的读/写命令。（Strapping PHYAD[2:0]的说明请参考 Datasheet。）

通过 write_ext_reg0xa005[6]: 1'b1 来 enable phyaddr0，通过 write_ext_reg0xa005[6]: 1'b0 disable phyaddr0。默认 phyaddr0 是 enable 的。

当 bdcst_addr enable 时，YT8531 可以响应 phy address = bdcst_addr 的写命令，可以达到一次配置 MDIO 总线上多颗 PHY 的目的。其中，bdcst_addr 可以配置成 0x0~0x1f 中的任意值。

通过 write_ext_reg0xa005[5]: 1'b1 来 enable bdcst_addr，并且 write_ext_reg0xa005[4:0]来配置相应的 broadcast address。通过 write_ext_reg0xa005[5]: 1'b0 来 disable bdcst_addr。默认 bdcst_addr 是 disable 的。

需要注意的是：

- 1、当 bdcst_addr enable 时，YT8531 不会响应 phy address = bdcst_addr 的读命令，可以响应写命令；
- 2、当 phyaddr0 enable 时，YT8531 可以响应 phy address = 0x0 的读命令。但如果 MDIO 总线上挂了多颗 PHY 芯片，此时读回来的值是不可靠的。

Common EXT A005: mdio 0xA005				
Bit	Symbol	Access	Default	Description
15:14	Speed_rgmac_ob	RO	0x0	speed information RGMII MAC decodes from the OOB
13	Duplex_rgmac_ob	RO	0x0	duplex information RGMII MAC decodes from the OOB
12	Link_up_rgmac_ob	RO	0x0	linkup information RGMII MAC decodes from the OOB
11	Reserved	RO	0x0	Reserved
10	Bypass_mdio_watchdog	RW	0x0	bypass mdio watch dog
9:8	Reserved	RO	0x0	Reserved
7	En_mdc_la	RW	0x1	enable mdc latch for read data
6	En_phyaddr0	RW	0x1	1: to always respond to MDIO command whose PHYAD field is 0; 0: to only respond to MDIO command whose PHYAD filed equals to PHY address strapping.
5	En_bdcst_addr	RW	0x0	enable broadcast address
4:0	Bdcst_addr	RW	0x0	broadcast address

4. 工作模式

YT8531/YT8531D/YT8531P 典型工作模式如下：



PHY 通过 RGMII 接口与主控 (Processor, FPGA, ASIC) 的 mac 相连，与对端通过 RJ45 电口 (或称呼为 UTP, Copper) 相连。

5. 几种复位操作

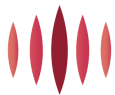
YT8531 有三种复位操作：pin12 管脚硬复位、ext_Reg0xA0C0 bit15 全局复位、mii_Reg0x00 bit15 置 1 软复位。

pin12 管脚拉低再置高做硬复位，phy 芯片做 POS 且全部寄存器恢复为上电默认值

ext_Reg0xA0C0 bit15 置 1（给 0xA0C0 赋值 0x8000），然后再读取 ext_Reg0xA0C0 的值，完成全局复位。全局复位后，phy 芯片寄存器会全部恢复为上电默认值，相当于做了硬复位（区别在于全局复位时，不再做 POS，而只会引用硬复位时 POS 的值）

mii_Reg0x00 bit15 置 1 软复位，除了以下两个寄存器位，其余寄存器都不做改变，仅仅是使得配置寄存器即可生效。

软复位时 mii_Reg0x00 bit14, bit11 会自动恢复为 0（bit14--Loopback；bit11--Power down）



6. UTP（电口）配置

6.1 10/100/1000BT 的速度和双工

上电硬复位后，可以读取 phy mii_reg0x2,0x3 获取 PHY ID。

mii_reg0x02=0x4F51, mii_reg0x03=0x E91B

默认 YT8531 不需做任何配置，YT8531 的自协商能力和 1000/100/10BT 能力都是打开的。

改变 PHY 支持的速度和双工,可通过以下两种方式：

1. 自协商模式下改变 PHY 支持的速度和双工能力：

write_otp_mii_reg0x0[12]: 1'b1 #自协商打开，此为默认打开状态

write_otp_mii_reg0x4[8:5] #相应 bit 置 1 来打开对应的本地自协商时的 100/10BT 的速度双工能力

write_otp_mii_reg0x9[9] #相应 bit 置 1 来打开对应的本地自协商时的 1000BT 的速度双工能力

write_otp_mii_reg0x0[15]: 1'b1 #软复位，使上述配置生效

2. 强制模式下改变 PHY 支持的速度和双工能力：

write_otp_mii_reg0x0[12]: 1'b0 #自协商能力关闭

write_otp_mii_reg0x0[6,13] #相应 bit 置 1 来打开对应的本地强制的 100/10BT 的速度双工能力

write_otp_mii_reg0x0[15]: 1'b1 #软复位，使上述配置生效

注：

1. 一般不建议配置成强制模式，因为这样会使得 PHY 或对方工作在半双工模式下，而半双工这种老旧的传输模式会出现包冲突（collision），严重影响速度或产生丢包。

2. 在自协商模式下，只是本地 UTP 速度和双工能力的打开或关闭，在与对方建立连接的过程中，双方通过线上传递自己支持的能力，最终按双方都支持的最高能力进行连接。

判断 PHY 当前的连接速度和双工，有两种方法：

通过标准的 PHY MII 寄存器来判断当前是否 link up（mii_reg0x1[2]），然后通过 mii_reg0x4, 0x5, 0x9 等标准寄存器和算法来得到当前 PHY 的连接速度和双工。

为了方便地得到当前 PHY 的连接与否，速度与双工，YT8531 将这些信息放在 mii_reg0x11(只读寄存器)内，系统只需读取 0x11 寄存器，对应地配置 MAC，即可正常通信。

其中的几个 bit 含义如下（或参照芯片手册）：

Bit 15-Bit14 : speed mode, 11---系统保留；10---1000M；01---100M；00---10M

Bit 13 : Duplex, 1---Full duplex；0---half duplex

Bit 10 : Link status, 1---link up；0---link down

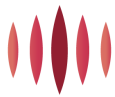
注：要先判断 bit 10 为 1，表示连接建立，再去判断 bit 15,14,13 得到速度和双工。

6.2 只保留 1000BT 能力

YT8531 电口不支持 Force 配置千兆，可通过配置自协商能力，来关闭百兆、十兆，只保留千兆能力。相关寄存器是 UTP MII 的 0x04、0x09 寄存器。

上电复位后，进行如下寄存器配置初始化动作：

将 utp_mii_reg0x04 Bit8、7、6、5 位的值由默认的 1 改为 0，分别关闭了 100M_Full、100M_Half、10M_Full、10M_Half 的自协商能力。其余位的值不做处理。若其他位的值在其他功能中有改变，请按改变后的赋值。



将 utp_mii_reg0x00 bit15 置 1,做软复位, 使得上述寄存器设置生效。软复位后, YT8531 会重新启动 link up 过程。(软复位不会清寄存器值, 只会使其生效)

6.3 power down 设置

在不需要 UTP 连接的情况下, 可以将 UTP 置为 power down 模式, 以达到省电功能:

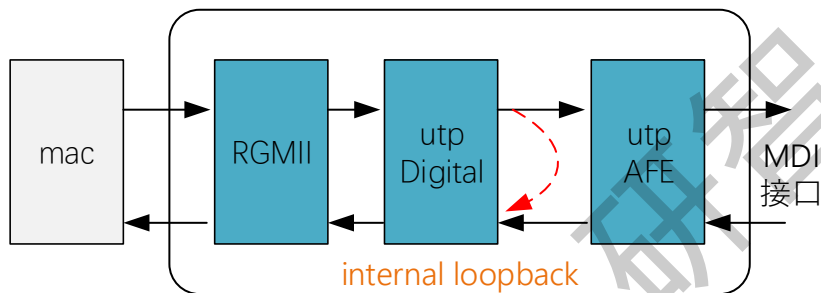
进入 utp power down: UTP mii 0.11 置 1

退出 utp power down: UTP mii 0.11 置 0, 且 utp mii 0.15 置 1 进行 software reset 操作。

6.4 Loopback (回环) 模式

1、Internal loopback 情况下, utp 的 analog 电路被 bypass, 直接将 mac 发送的数据从 utp phy 的数字电路回环回去, 也可以称作 digital loopback, 如下图所示。配置方法如下:

注意: 一般的寄存器配置不会被软复位清掉, 但 UTP mii register 0x0 里的 internal loopback 和 power down 2 个 bit 会被软复位清掉, 因此在使能这两个功能后不要做软复位。



utp_miiReg0x0 bit14 置1, 进入internal loopback模式

注意: 00寄存器做软复位, 会将此bit自动置0

不同速率下的internal loopback配置如下:

10M, reg0x00=0x4100

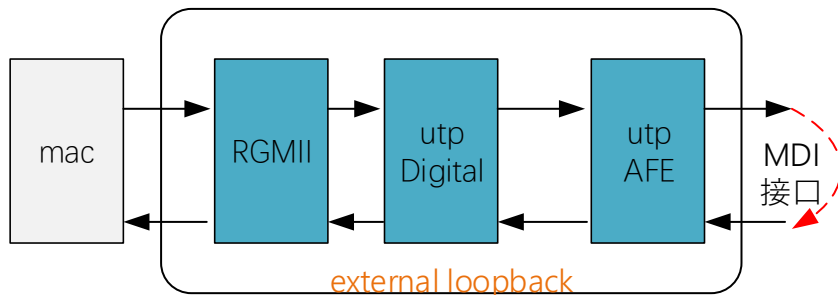
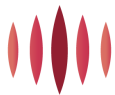
100M, reg0x00=0x6100

1000M, reg0x00=0x4140

(配置后不做软复位)

2、在 External Loopback 模式下, AFE 发送的信号由回环线直接回到 AFE 的接收电路。MAC 通过比对 RGMII 发送数据和接收数据, 从而确保 RGMII 接口, PHY 数字和模拟功能的正确性。回环线将网线的 pair1&2 与 pair3&6 连接, pair4&5 与 pair7&8 连接, 如下图所示。配置方法如下:

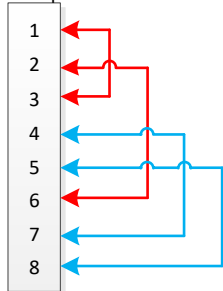
注意: 上述配置的最后一个 mii register x0, 因为 bit15 置为 1, 实现了软复位, 使得前面的配置生效并发起 external loopback 机制, 此时应保证 external loopback 线已经插上, 否则会导致 external loopback 无法连接, 这时需要再一次软复位才可以。



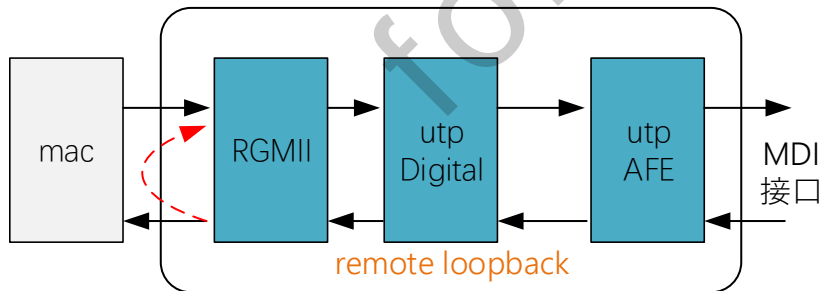
先外接回环头，再做如下配置进入external loopback模式

1. utp extReg0x27 bit15 置0, disable sleep模式
utp extReg0x0A bit4置1, 开启external loopback
2. 10M, reg0x00=0x8100
100M, reg0x00=0xa100
1000M, reg0x00=0x8140 配置速率, 且做软复位

Loopback Cable



3、在 Remote Loopback 模式下，RGMII RX 接收的数据被直接注入 RGMII TX。远端的 MAC 通过对比发送数据和接收数据，从而确保自己和 link partner 的功能完好，如下图所示。配置方法如下：

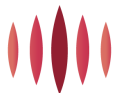


首先配置remote loopback模式，再配置速率

1. comm extReg0xA006 bit5 置1, 进入remote loopback模式
2. 配置速率

10M utp miiReg0x09=0x00	1000M utp miiReg0x09=0x200
utp miiReg0x04=0x1061	utp miiReg0x04=0x1001
100M utp miiReg0x09=0x00	
utp miiReg0x04=0x1181	
3. 做软复位，使以上配置生效
utp miiReg0x00=0x9140

6.5 Smart downgrade（自动降速）配置



对于以太网 PHY，当网线插上时，默认情况下是从双方支持的最高速率开始尝试连接。有时由于外界干扰或连接线太长或质量太差，导致高速率连接不上。当反复尝试连接超过一定次数时，PHY 可以选择自动降速来完成连接。Smart speed，或者叫 auto-downgrade，就是指 PHY 的这个自动降低连接速度的功能。

比如双方都按 1000BT 的能力发起自协商，但网线超过最大连接距离（比如到 150 米），双方经过 5 次尝试失败（每次 link up 维持时间小于 2 秒），仍无法连接到 1000BT，此时具备自动降速功能的一方会发起 100BT 的自协商，尝试 100BT 的连接。当然若 100BT 经过 5 次尝试，仍不能连接，PHY 会降到 10BT 再尝试。

注：

1. 如果对端口的快速插拔，导致短时间内的不断 link up/down，也会触发 smart downgrade 机制。
2. 此功能只发生在连接建立时间内，若连接并维持住，PHY 不会根据丢包等自动降速。

以上是 YT8531 的默认行为。如果不需要此功能，则需要将此功能通过寄存器禁用。即，将寄存器 utp_mii_reg0x14 bit5 清 0，然后做 software reset (将 utp_mii_reg0x0 bit15 置 1)使其生效。描述如下：

注：若要禁用 smart speed，需要网线两端的 PHY 都禁用才可以。否则任一边自动降速都会导致连接降速。

6.6 Sleep（自动睡眠）配置

UTP 处于不连接状态超过一定时间后（约 40 秒），PHY 会自动进入 sleep 状态。在 sleep 状态下，PHY 会自动关闭内部部分电路，以达到省电的功能。进入 sleep 后，PHY 会定期发送 Pulse 信号，并打开信号侦测的功能。一旦收到对方发过来的信号，超过信号侦测的门限，PHY 会立刻打开相关电路进入正常工作状态。

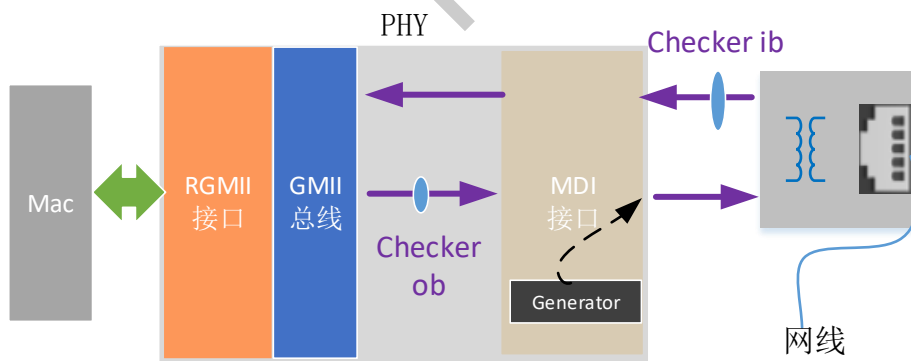
Sleep 功能默认是打开的，此功能不会影响 PHY 的正常连接。如果关闭 sleep 功能也不会有任何副作用。

关闭此功能的寄存器：write_utp_ext_reg0x27[15]: 1'b0。

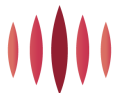
Bit	Symbol	Access	default	Description
15	En_sleep_sw	RW	0x1	1 = enable sleep mode: PHY will enter sleep mode and close AFE after unplug cable for a timer;

6.7 包生成器和收发包统计

下图所示的 Checker 为包统计器；Generator 为 phy 发包器



Ext reg 0xA0 Bit15,14（10 打开；01 关闭 utp checker；
上电默认关闭）



Utp checker ib (统计的是从网线侧接收的数据)

Ext reg 0xA3(msb) 0xA4(lsb) 大于64byte 小于1518byte crc good

Ext reg 0xA5(msb) 0xA6(lsb) 大于1518byte crc good

Ext reg 0xA7(msb) 0xA8(lsb) 小于64byte crc good

Ext reg 0xA9 大于64byte 小于1518byte crc error

Ext reg 0xAA 大于1518byte crc error

Ext reg 0xAB 小于64byte crc error

Ext reg 0xAC No sfd

Utp checker ob (统计的是从mac通过rgmii发送过来的数据)

Ext reg 0xad(msb),ae (lsb)大于64byte 小于1518byte crc good

Ext reg 0xaf,b0 大于1518byte crc good

Ext reg 0xB1,b2—小于64byte crc good

Ext reg 0xb3 大于64byte 小于1518byte crc error

Ext reg 0xB4 大于1518byte crc error

Ext reg 0xB5 小于64byte crc error

Ext reg 0xb6 No sfd

Generator : utp packet generator

使能 generator, ext reg0xA0 bit15:13 =100

启动 generator, ext reg0xA0 bit12 =1

停止 generator, ext reg0xA0 bit12=0

6.8 LDS 和 4 对线百兆长距离

YT8531 支持在 4 对 UTP 线上实现长距离(>400 米 cat5e)百兆以太网的信号传输。当然,前提是对方也必须支持这种模式(通常也是 YT 系列型号,目前包括 YT8511, YT8521S)。除去上面提到的区别外,与传统百兆以太网(100BT)相比,4 对线长距离以太网(暂命名为 LRE100-4)还有以下特点:

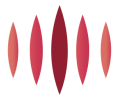
通过 LDS(Link Discovery Signaling)协商的机制实现双方支持能力的交互(10/100/100BT, LRE100-4)。

在 LDS 协商过程中检测到连接的线长,根据双方能力和线长,决定连接到哪种速率,在 LDS enable,并且所有能力都打开的情况下,最终速率与线长的关系为:

线长	速率
< 200m	10/100/1000BT 自协商
>= 200m	LRE100-4

注:

1. 整个过程全部由 PHY 自动实现,MAC 不参与。MAC 通过 polling PHY 寄存器得到当前的状态。
2. 默认情况下,PHY 的所有能力(1000BT, 100BT, 10BT, LRE100-4)都打开,但 LDS 不开,所以跟传统的 GE 一样,不会进 LRE100-4 模式。
3. 在 LDS 打开的情况下,若对端是传统 10/100/1000 以太网,DUT 也能够与其对连到传统以太网模式。
4. 在长线条件下,线长检测精度通常<5%。



5. LDS/LRE100-4 模式下，支持直连线与交叉线，支持 MDI 自动极性翻转。

6. 与同样打开 LDS/LRE100-4 的 PHY 相连，线长在 200 米以下按 IEEE 10/100/1000 机制连接，超过 200 米，自动连到 LRE100-4。

7. 与不支持 LDS/LRE100-4 的 PHY 相连，自动检测对方发的 AN/Force 信号，再依照 IEEE 10/100/1000BT 连接到全双工或半双工模式。

在 YT8531 与 YT8531 相连情况下，若要进入 LRE100-4 模式，只要：

1. 双方 LDS 功能打开情况下，连线超过 200m（极限线长超过 400m）
2. 读 LDS 或 PHY MII_reg0x1[2]，判断 DUT 已连接。
3. 读 DUT LDS MII_reg0xb[5]，判断当前连到 LRE100-4，则配置 MAC 到百兆
4. 正常通信

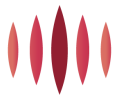
相关寄存器配置：

LDS 的相关寄存器放在 LDS MII 寄存器中，与 PHY MII 寄存器属于不同的地址空间，其通过 UTP ext reg 0x100 来选择，其含义为：

Phy EXT 100h: PHY/LDS sel				
Bit	Symbol	Access	Default	Description
15:3	Reserved	RO	0x0	reserved
2	Acc_ctrl_ovrd_en	RW	0x1	Access control override enable; 1'b1: override LRE register access; 1'b0: Normal operation
1	Acc_ctrl_ovrd_val	RW	0x1	1'b1: Access IEEE registers; 1'b0: Access LRE registers
0	Acc_ctrl_val	RO	0x1	1'b1: IEEE register is active; 1'b0: LRE register is active

LDS 打开/关闭的寄存器：

Lds mii 00h: LRE control				
Bit	Symbol	Access	Default	Description
15	Reset	RW SC	0x0	PHY Software Reset. Writing 1 to this bit causes immediate PHY reset. Once the operation is done, this bit is cleared automatically.; 1'b0: Normal operation; 1'b1: PHY reset
14	Loopback	RW	0x0	Loopback control; 1'b0: disable loopback; 1'b1: enable loopback
13	Restart_LDS	RW SC	0x0	1'b1: restart LDS process
12	LDS_Enable	RW	0x0	1'b1: LDS enabled; 1'b0: LDS disabled
11	Power_down	RW	0x0	1 = Power down; 0 = Normal operation; When the port is switched from power down to; normal operation, software reset and Auto-; Negotiation are performed even bit[15] RESET and bit[9] RESTART_AUTO_NEGOTIATION are not set by the user.
10	Isolate	RW	0x0	Isolate phy from MII/GMII/RGMII: PHY will not respond to RGMII TXD/TX_CTL, and present high impedance on RXD/RX_CTL.; 1'b0: Normal mode; 1'b1: Isolate mode
9:6	Speed_selection	RW	0x0	4'b0000: 10Mbps; 4'b1000: 100Mbps; Others: reserved
5:4	Pair_selection	RW	0x0	2'b00: 1 pair connection; 2'b01: 2 pair connections; 2'b10: 4 pair connections; 2'b11: reserved
3	M/S_selection	RW	0x0	1'b1: manually force local device to master, when reg0.12 = 0; 1'b0: manually force local device to slave, when reg0.12 = 0
2	Force auto negotiation	RW	0x0	1'b1: manually force local device to auto negotiation state, when reg0.12 = 0
1:0	Reserved	RO	0x0	Reserved. Write as 0, ignore on read



线长检测的长度:

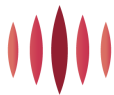
Lds mii 0Ah: LDS expansion				
Bit	Symbol	Access	Default	Description
15	Downgrade_ability	RO	0x0	1'b1: LDS speed downgrade
14	Master/Slave	RO	0x0	1 = Local PHY configuration resolved to Master; 0 = Local PHY configuration resolved to Slave
13:12	Connections_pairs	RO	0x0	Number of pairs; 2'b00: 1 pair; 2'b01: 2 pairs; 2'b10: 4 pairs; 2'b11: reserved
11:0	Estimated_cable_length	RO	0x0	

判断 DUT 当前是否已连接:

Lds mii 01h: LRE status				
Bit	Symbol	Access	Default	Description
15:14	Reserved	RO	0x0	Ignore on read
13	100Mbps_1-pair capable	RO	0x0	1'b1: 100Mbps 1-pair capable; 1'b0: Not 100Mbps 1-pair capable
12	100Mbps_4-pair capable	RO	0x1	1'b1: 100Mbps 4-pair capable; 1'b0: Not 100Mbps 4-pair capable
11	100Mbps_2-pair capable	RO	0x0	1'b1: 100Mbps 2-pair capable; 1'b0: Not 100Mbps 2-pair capable
10	10Mbps_2-pair capable	RO	0x0	1'b1: 10Mbps 2-pair capable; 1'b0: Not 10Mbps 2-pair capable
9	10Mbps_1-pair capable	RO	0x0	1'b1: 10Mbps 1-pair capable; 1'b0: Not 10Mbps 1-pair capable
8	Extended_Status	RO	0x1	Whether support EXTended status register in 0Fh; 0: Not supported; 1: Supported
7	Reserved	RO	0x1	
6	Mf_Preamble_Suppression	RO	0x1	1'b0: PHY will not accept management frames with preamble suppressed; 1'b1: PHY will accept management frames with preamble suppressed
5	LDS_Complete	RO	0x0	1'b1: LDS auto-negotiation complete; 1'b0: LDS auto-negotiation not complete
4	Support_IEEE_802.3_PHY	RO	0x1	1'b1: Support IEEE 802.3 PHY operation; 1'b0: Not Support IEEE 802.3 PHY operation
3	LDS_Ability	RO	0x1	1'b1: LDS auto-negotiation capable; 1'b0: Not LDS auto-negotiation capable
2	Link_Status	RO	0x0	Link status; 1'b0: Link is down; 1'b1: Link is up
1	Jabber_Detect	RO LH	0x0	10Baset jabber detected; 1'b0: no jabber condition detected; 1'b1: Jabber condition detected
0	Extended_Capability	RO LH	0x1	To indicate whether support EXTended registers, to access from address register 1Eh and data register 1Fh; 1'b0: Not supported; 1'b1: Supported

判断当前连接是 LRE100-4 还是 10/100/1000BT:

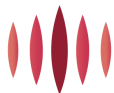
Lds mii 0Bh: LDS Results				
Bit	Symbol	Access	Default	Description
15:6	Reserved	RO	0x0	
5	4-pair_100M	RO	0x0	1'b1: local PHY configuration resolved to 4-pair 100M
4	Auto_negotiation	RO	0x0	1'b1: local PHY configuration resolved to AN
3	1-pair_100M	RO	0x0	1'b1: local PHY configuration resolved to 1-pair 100M



2	1-pair_10M	RO	0x0	1'b1: local PHY configuration resolved to 1-pair 10M
1	2-pair_100M	RO	0x0	1'b1: local PHY configuration resolved to BR 100M
0	2-pair_10M	RO	0x0	1'b1: local PHY configuration resolved to BR 10M

判断当前连接是 10BT/100BT/1000BT:

Phy MII 11h: PHY specific status register				
Bit	Symbol	Access	Default	Description
15:14	Speed_mode	RO	0x0	These status bits are valid only when bit11 is 1. Bit11 is set when Auto-Negotiation is completed or Auto-Negotiation is disabled. 11 = Reserved 10 = 1000 Mbps 01 = 100 Mbps 00 = 10 Mbps
13	Duplex	RO	0x0	This status bit is valid only when bit11 is 1. Bit11 is set when Auto-Negotiation is completed or Auto-Negotiation is disabled. 1 = Full-duplex 0 = Half-duplex
12	Page Received real-time	RO	0x0	1 = Page received 0 = Page not received
11	Speed and Duplex Resolved	RO	0x0	When Auto-Negotiation is disabled, this bit is set to 1 for force speed mode. 1 = Resolved 0 = Not resolved
10	Link status real-time	RO	0x0	1 = Link up 0 = Link down
9:7	Reserved	RO	0x0	Reserved
6	MDI Crossover Status	RO	0x0	This status bit is valid only when bit11 is 1. Bit11 is set when Auto-Negotiation is completed or Auto-Negotiation is disabled. The bit value depends on register 0x10 "PHY specific function control register" bits6~bit5 configurations. Register 0x10 configurations take effect after software reset. 1 = MDIX 0 = MDI
5	Wirespeed downgrade	RO	0x0	1 = Downgrade 0 = No Downgrade
4	Reserved	RO	0x0	Reserved
3	Transmit Pause	RO	0x0	This status bit is valid only when bit11 is 1. Bit11 is set when Auto-Negotiation is completed. This bit indicates MAC pause resolution. This bit is for information purposes only and is not used by the device. When in force mode, this bit is set to be 0. 1 = Transmit pause enabled 0 = Transmit pause disabled



2	Receive Pause	RO	0x0	This status bit is valid only when bit[11] is 1. Bit[11] is set when Auto-Negotiation is completed. This bit indicates MAC pause resolution. This bit is for information purposes only and is not used by the device. When in force mode, this bit is set to be 0. 1 = Receive pause enabled 0 = Receive pause disabled
1	Polarity Real Time	RO	0x0	1 = Reverted polarity 0 = Normal polarity
0	Jabber Real Time	RO	0x0	1 = Jabber 0 = No jabber

详细的寄存器操作包括初始配置和判断当前连接速率，其中初始化配置：

1. Write ext_reg0xa000: 0x0 #选择 PHY&LDS 地址空间
2. Write ext_reg0x100: 0x4 #选择 LDS 地址空间
3. Write mii_reg0x0: bit12 置 1 #打开 LDS 能力
4. Write mii_reg0x0: bit15 置 1 #软复位

判断当前连接速率：

1. Write ext_reg0xa000: 0x0 #选择 PHY&LDS 地址空间
2. Write ext_reg0x100: 0x4 #选择 LDS 地址空间
3. polling mii_reg0x1[2]变为 1 #表示已连接
Read mii_reg0xb: bit5 若为 1：则为 LRE100-4。将 MAC 配置为百兆全双工，结束。
bit5 若为 0，且 bit4 为 1，则连到 10/100/1000BT，然后：
 - a) write ext_reg0x100: 0x6 #选择 PHY&IEEE 地址空间
 - b) read mii_reg0x11: bit 15, 14, 13 #判断速度双工
 - c) 配置 MAC 到相同速率，结束

6.9 SNR 读取（当前连接质量指示）

YT8531 的 utp ext 扩展寄存器 0x5A, 0x5B, 0x5C, 0x5D 内的 bit[14:0]值分别表征了 4 对 MDI 线的 SNR 读取步骤如下：

步骤一，将 utp ext 扩展寄存器 0x59 的 bit15 置 1

步骤二，将 utp ext 扩展寄存器 0xf8 的 bit10 清 0

步骤三，延时 500ms

步骤四，分别读取 utp ext 扩展寄存器 0x5A, 0x5B, 0x5C, 0x5D 的 bit[14:0]

将其记为 MSE(i), i=0,1,2,3

将每个值读至少 100 次，并取平值，得到每对 MDI 线上稳定 MSSE

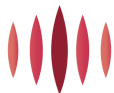
步骤五，将上述稳定 MSE 值，按照如下公式计算 SNR：

千兆： $10 \cdot \log_{10}(29696/mse)$

百兆： $10 \cdot \log_{10}(32768/mse)$

要达到稳定连接，SNR 值应大于 24.73dB (千兆，对应 MSE 约为 100)； 19.13dB (百兆，对应 MSE 约 400)；附千兆情况下几个 MSE 与 SNR 的对应表：

MSE	SNR
118	24
187	22
297	20



374	19
470	18
592	17
746	16

6.10 VCT（线长检测）配置

YT8531VCT 测试：

步骤 1，把 utp_ext reg0x98 写为 0xb0a6

步骤 2，把 utp_ext reg0x27 的 bit15 清 0； #关掉 sleep 模式

步骤 3，把 utp_mii reg0 配置成 0x8000；

步骤 4，把 utp_ext reg0x80 的 bit0 置 1； #进入 VCT 测试

步骤 5，当 utp_ext reg0x84 的 bit15 变为 0，VCT 测试结束。通过读 utp_ext reg0x84 的 bit7~0，判断 pair 内 open 和 short 状态；

UTP EXT 84h: vct_mon0

7:6	Self_st_3	RO	2'b0	Intra pair status of channel 3. 00: normal, pair impedance matches. 01: error happened during last VCT test, the error may be RX channel is busy, no near-end echo was detected, or the location of far-end echo was not farther than that of near-end echo and the gap between near-end echo and far-end echo is not small; 10: pair is short; 11: pair is open.
5:4	Self_st_2	RO	2'b0	Intra pair status of channel 2. See bit7~6 for detail.
3:2	Self_st_1	RO	2'b0	Intra pair status of channel 1. See bit7~6 for detail.
1:0	Self_st_0	RO	2'b0	Intra pair status of channel 0. See bit7~6 for detail.

步骤六，通过读取 phy_ext reg0x87~8a 的值可以得到 pair0~3 出问题的点，单位为 cm

UTP EXT 87h: vct_mon3

Bit	Symbol	Access	default	Description
15:00	Self_dmg_loc_0	RO	0x0	The intra pair damage location of channel 0. In unit cm.

UTP EXT 88h: vct_mon4

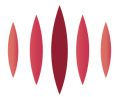
Bit	Symbol	Access	default	Description
15:00	Self_dmg_loc_1	RO	0x0	The intra pair damage location of channel 1. In unit cm.

UTP EXT 89h: vct_mon5

Bit	Symbol	Access	default	Description
15:00	Self_dmg_loc_2	RO	0x0	The intra pair damage location of channel 2. In unit cm.

UTP EXT 8Ah: vct_mon6

Bit	Symbol	Access	default	Description
15:00	Self_dmg_loc_3	RO	0x0	The intra pair damage location of channel 3. In unit cm.



6.11 Template（电口指标）配置

YT8531 的 Template 测试指令如下：

1000BT:

```
write_otp_ext_reg0x27: 0x2026
write_otp_mii_reg0x10: 0x2
write_otp_mii_reg0x0: 0x8140
```

Test Mode 1, Transmit waveform test

```
write_otp_mii_reg0x9: 0x2200
write_otp_mii_reg0x0: 0x8140
```

Test Mode 2, Transmit Jitter test (master mode)

```
write_otp_mii_reg0x9: 0x5a00
write_otp_mii_reg0x0: 0x8140
```

Test Mode 3, Transmit Jitter test (slave mode)

```
write_otp_mii_reg0x9: 0x7200
write_otp_mii_reg0x0: 0x8140
```

Test Mode 4, Transmit distortion test

```
write_otp_mii_reg0x9: 0x8200
write_otp_mii_reg0x0: 0x8140
```

100BT:

```
Write_comm_ext_reg0xa000: 0x0 #选择 UTP 地址空间
Write_otp_ext_reg0x27: 0x2026
Write_otp_mii_reg_0x10: 0x2
Write_otp_mii_reg_0x0: 0xa100
```

10BTc:

```
Write_comm_ext_reg0xa000: 0x0 #选择 UTP 地址空间
Write_otp_mii_reg0x0: 0x8100
```

packet with all ones, 10MHz sine wave, for harmonic test

```
Write_otp_ext_reg0xa: 0x209
```

pseudo random, for TP_idle/Jitter/Different voltage test

```
Write_otp_ext_reg0xa: 0x20A
```

normal link pulse only

```
Write_otp_ext_reg0xa: 0x20B
```

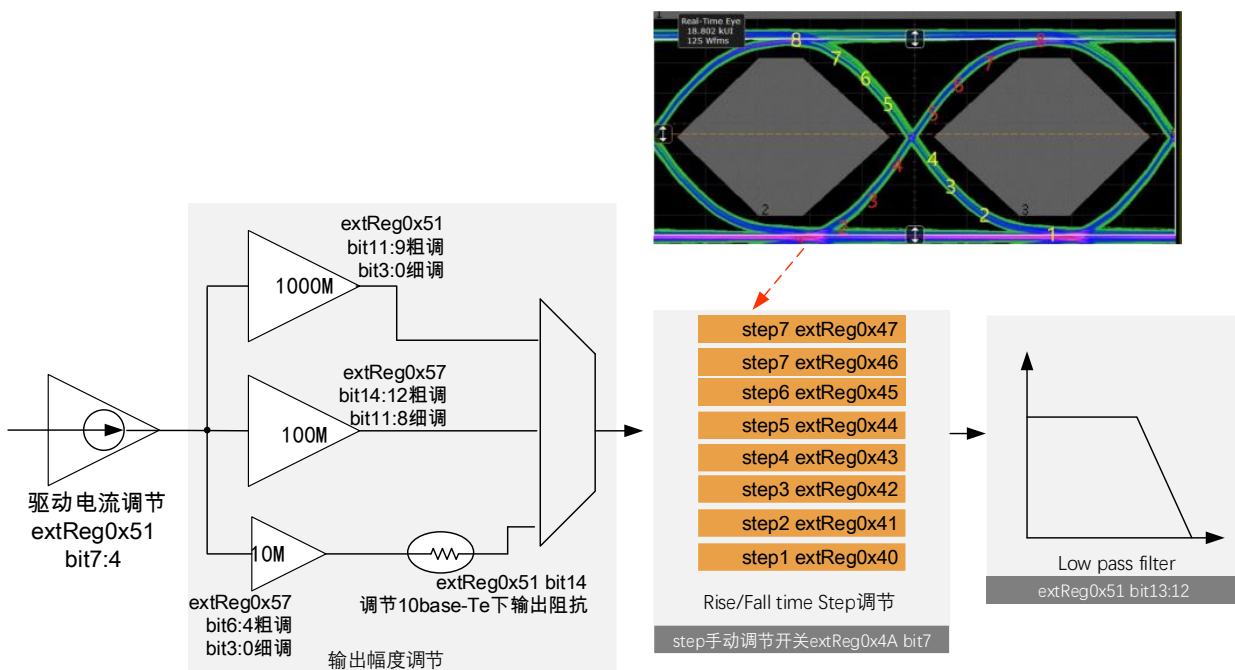
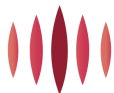
5MHz sine wave

```
Write_otp_ext_reg0xa: 0x20C
```

Normal mode

```
Write_otp_ext_reg0xa: 0x20D
```

上述设置能通过 template 测试。考虑到不同的板级设计，PHY 内部也有丰富的配置方便用户调整。其中常用的几项调整为：



1. 驱动电流的调节，会影响 Vout Differential output voltage； 也会影响到 1000Base-T 下的 Transmitter Distortion
2. 如上图所示，extReg0x51, extReg0x57 对应的寄存器 Bit 位，调节会影响 Vout Differential output voltage
粗调每增加 1 则幅度增大大约 25%，细调每增加 1 则幅度增大大约 1/16
3. extReg0x40~0x47 可用来调节 Rise/Fall time, 这些寄存器值也与 10Base-Te harmonic content 相关
4. extReg0x51 bit14 对 10Base-Te 性能有影响
· 发送方向幅度大概变大 3%；经过长网线后反射会影响对端接收性能
接收方向幅度 3% 衰减，影响可忽略
会影响 Return loss
5. extReg0x51 bit13:12 是输出低通滤波器，会影响 Rise/fall time

6.12 Fast link down 配置

YT8531 支持 fast link down 功能，但默认是关闭的，打开步骤如下：

- 1、使能 link down 中断
- 2、打开 fast link down 功能，write_utp_ext_reg(0x34[15],1'b0)
- 3、设定 fast link down 时间，write_utp_ext_reg(0x37[15:13],3'b0)，时间选项如下：

0x37[15:13]	3'b000	3'b001	3'b010	3'b011	3'b100	3'b101	3'b110	3'b111
Time	0ms	5ms	10ms	20ms	40ms	80ms	160ms	320ms

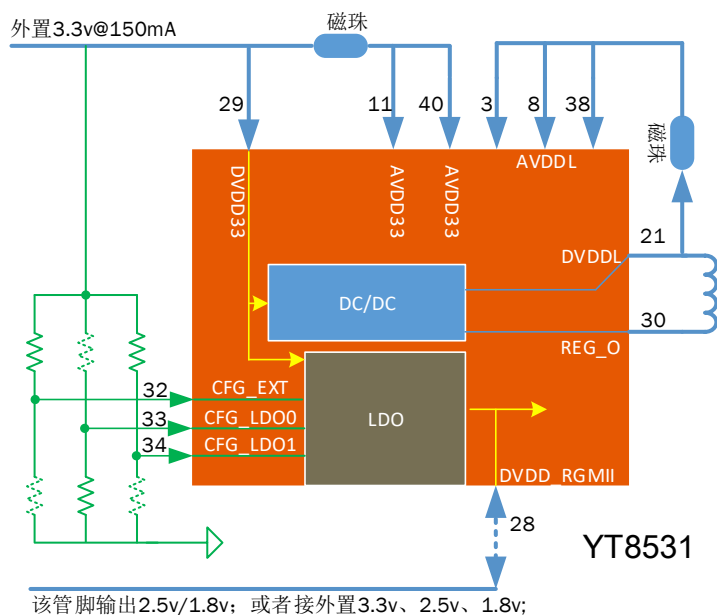
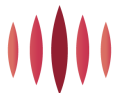
6.13 FLP link 门限配置

自协商过程中，通过检测 FLP，其中 FLP 脉冲检测阈值可通过以下寄存器做配置：

utp_ext_reg0x56 bit15:14 用来调整 FLP 比较门限阈值，可在 00,01,10,11 之间选配。默认值是 0x01

7. RGMII 配置

7.1 通过 POS 设置 RGMII 电平



YT8531 的 RGMII 电平均支持 3.3v,2.5v,1.8v, 选择哪个电平是通过 pin32,33,34 管脚外的上/下拉电阻来配置。

CFG_EXT 与 LED0 复用管脚 pin32, 该管脚内部默认弱上拉

CFG_LDO0 与 LED1 复用管脚 pin33, 内部默认弱上拉

CFG_LDO1 与 LED2 复用管脚 pin34, 内部默认弱下拉

(以上三管脚要接上拉电阻时候, 需接到 3.3v 电压上)

配置结果反映在 ext reg0xA001 bit6,5,4

其中 Bit5:4 确定了 RGMII 电平

1 1 ----1.8v

1 0 ----1.8v

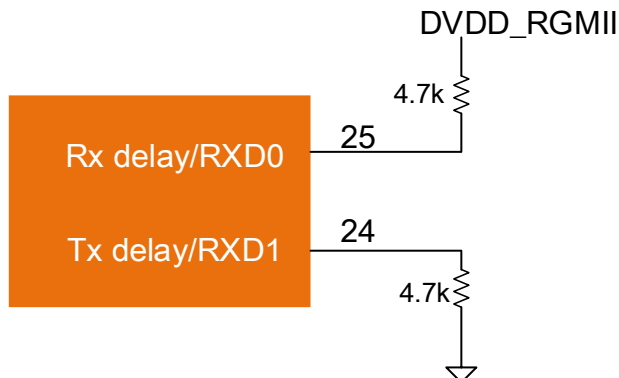
0 1 ----2.5v

0 0 ----3.3v

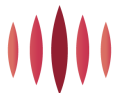
而当 bit5:4 为 0 0, 也就是配置 RGMII 为 3.3v 时, bit6 是不起作用的, 并且 pin28 需接外置 3.3v 电压上。

如果 bit5:4 为其他配置, 那么 bit6 为 1 时, 则使用内部 LDO 产生 RGMII 电压; bit6 为 0, 使用外置的电压采用内部 LDO 的 RGMII 电压, pin28 外接对地电容即可; 使用外置 RGMII 电平, 则 pin28 需接到外置电源上。

7.2 RX_TX delay 的配置



YT8531 系列 phy 的 pin24,25 管脚用来配置是否 enable Tx, Rx delay。phy 内部 pin25 默认弱上拉(enable rx delay), pin24 默认弱下拉(disable tx delay)。



pin25 配置的结果反映在扩展寄存器 0xA001 的 bit8, 若 bit8 为 1, 则默认 rx delay 2ns。

同时, 还可以通过配置 0xA003 bit13:10 来在以上 2ns 基础上再增加 delay 值。也就是说 rx 的总 delay 值等于 0xA003 bit13:10 配置的值加上 2ns 或 0ns(加 0 还是 2ns 由 pin25 管脚 POS 配置获得)

pin24 配置的结果反映在扩展寄存器 0xA003 的 bit3:0, 若下拉, 则 bit3:0=0001; 上拉, 则 bit3:0=1101; (每一步代表 150ps)

7.3 RX 信号 Duty Cycle 的微调

实际应用中, Rx delay 推荐由 Phy 来完成, 在此基础上, Rx 信号线 Duty cycle 可做一定程度的校准。

RGMII 的 rxc, rxctl, rxd0:3 共 6 个信号线, 各自有一个校准 enable 控制位, 上电默认此使能位是关闭的。每个信号线可通过校正寄存器配置一个 20 位二进制值。

备注 1. 在 extRegA001 bit8 为 1 条件下的 RGMII 信号 Duty cycle 的校准; 校正前确认 extReg0xA001 bit8 为 1, 0xA003 bit13:10 为 0。

2. 向校正值寄存器赋值时, 6 个信号线的校正值赋相同值
3. 校正值的高 4 位均赋值 1;
4. 校正值的低 16 位应遵循: bit15:8 与 bit7:0 值相同
5. 校正值的低 16 位, 赋值应该在 0x0F0F 与 0xF0F0 之间

RGMII-UTP 模式	RGMII 信号	手动校准开关 0, 关闭(上电默认值) 1, 开启		校正值寄存器		
				高 4 位	低 16 位	
	RXC	extReg0xA039	bit13	extReg0xA040	bit15:12	extReg0xA03A bit15:0
	RXCTL		bit12		bit11:8	extReg0xA03B bit15:0
	RXD3		bit11		bit7:4	extReg0xA03C bit15:0
	RXD2		bit10		bit3:0	extReg0xA03D bit15:0
	RXD1		bit9	extReg0xA041	bit7:4	extReg0xA03E bit15:0
	RXD0		bit8		bit3:0	extReg0xA03F bit15:0

推荐典型校正值:

extReg0xA039=0xBF00; 0xA040=0xFFFF; 0xA041=0x00FF;

extReg0xA03A~0xA03F=0x8080

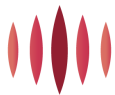
RGMII-SGMII RGMII-Fiber 模式	RGMII 信号	手动校准开关 0, 关闭(上电默认值) 1, 开启		校正值寄存器		
				高 4 位	低 16 位	
	RXC	extReg0xA039	bit13	extReg0xA048	bit15:12	extReg0xA04A bit15:0
	RXCTL		bit12		bit3:0	extReg0xA042 bit15:0
	RXD3		bit11	extReg0xA047	bit15:12	extReg0xA043 bit15:0
	RXD2		bit10		bit11:8	extReg0xA044 bit15:0
	RXD1		bit9		bit7:4	extReg0xA045 bit15:0
	RXD0		bit8		bit3:0	extReg0xA046 bit15:0

7.4 驱动能力的设置

RGMII 驱动能力, 反映在上升/下降时间。驱动能力大, 意味着能带更大的负载, 但也可能引入 EMI 的问题。若需要加强或减弱驱动能力, 可通过以下寄存器配置

1. extReg0xA010 bit15:13, 是用来调整 RGMII 的 rxc

111 最强; 000 最弱; 默认是 011



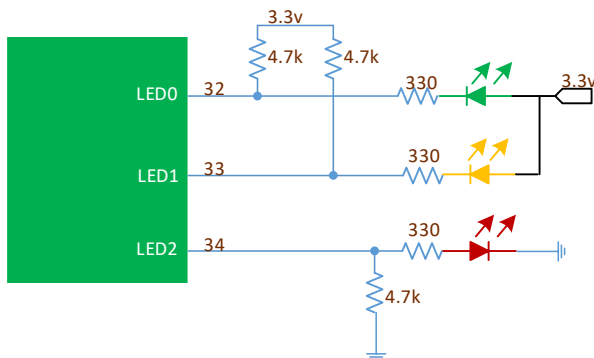
2. extReg0xA010 Bit12, bit5, bit4 用来调整 rgmii 的 rxd, rx_ctl

bit12 是高位, bit4 是低位

111 最强, 000 最弱; 默认是 011

关闭 RGMII 输出, 可将 extReg0xA00A bit7 置 1(该 bit 默认是 0): 使得 RXC、RXD、RXCTRL 都强制输出 0

8. LED 灯配置



YT8531 系列有三个 LED 管脚输出, 分别是 pin32—LED0, pin33—LED1, pin34—LED2.

其中, 在这三个管脚内部, 分别有弱上拉电阻或弱下拉电阻。LED0, LED2 内部弱下拉; LED1 内部弱上拉

由于此三个管脚, 除了当做 LED 输出管脚外, 还在 power strapping 阶段, 当做配置管脚用, 所以有时这三个管脚外部会有强上拉或强下拉 (4.7k)

LED 管脚输出极性 (即高有效还是低有效) 与其管脚上所接的上拉电阻还是下拉电阻有关。(有外部上下拉电阻, 则以外部为准; 无外部上下拉电阻, 则依赖内部默认上下拉电阻)

有上拉电阻, 则为低有效 (即需要外接 LED 灯的阴极); 有下拉电阻, 则为高有效 (外接 LED 灯的阳极)

以上为 LED 的硬件连接关系, LED 管脚的输出高还是低有效, 完全硬件决定。

当硬件连接正确后, 那么三个 LED 的输出状态, 是由其各自对应的一个寄存器来决定配置的。其中, LED0 对应的寄存器为 ext Reg0xA00C; LED1—ext Reg0xA00D; LED2—ext Reg0xA00E

向这三个寄存器赋不同值, 则对应的 LED 做对应的状态显示, 典型的两种配置如下

寄存器赋值 0xDE00 ‘设置 LEDx 在 link 时长亮, 非 link 时灭

寄存器赋值 0x2600 ‘设置 LEDx 在收发包时闪烁

闪烁频率, 可通过 ext Reg0xA00F 来配置

Bit3:0 闪烁频率

0000—2Hz

0101—4Hz

1010—8Hz

1111—16Hz

Bit6:4 闪烁占空比 (On: Off)

000: 50% ON and 50% OFF;

001: 67% ON and 33% OFF;

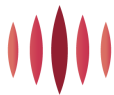
010: 75% ON and 25% OFF;

011: 83% ON and 17% OFF;

100: 50% ON and 50% OFF;

101: 33% ON and 67% OFF;

110: 25% ON and 75% OFF;



111: 17% ON and 83% OFF.

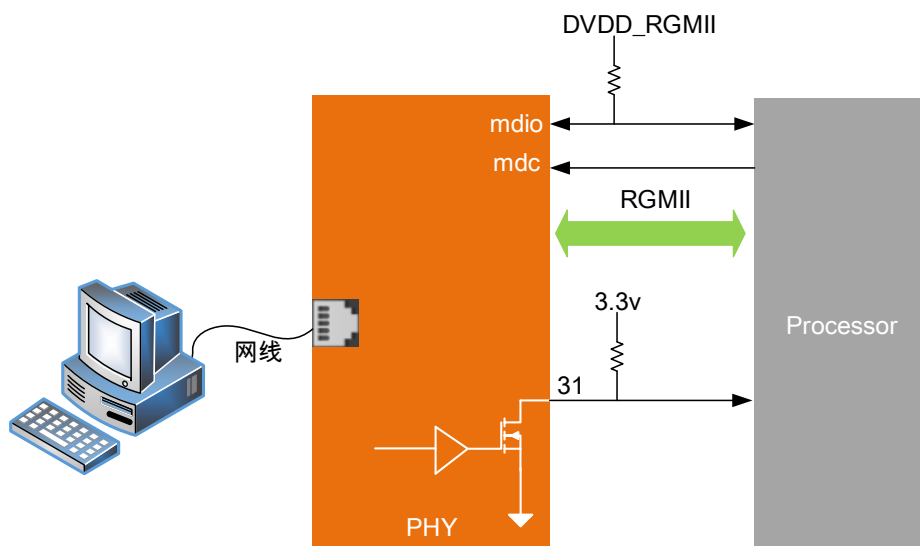
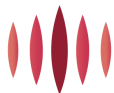
LED 状态分类	LED 详细状态	各连接下的 LED 配置寄存器值				备注
		UTP Only	Fiber Only	UTP 并且 Fiber	UTP 或者 Fiber	
连接: 亮 收发包: 闪	1000/100/10 Link: 亮 1000/100/10 Act: 闪 其余: 灭	0x1e00	0x5e00	0x9e00	0xde00	LED 状态中: Link 不区分全双工/半双工; Act 不区分 TX/RX ; 若想指定全/半双工或 TX/RX, 请修改 如下 bit 位: bit[12]-->full duplex; bit[11]-->half duplex; bit[10]-->tx act; bit[9]-->rx act;
	1000M Link: 亮 1000M Act: 闪 其余: 灭	0x640	0x4640	0x8640	0xc640	
	100M Link: 亮 100M Act: 闪 其余: 灭	0x620	0x4620	0x8620	0xc620	
	10M Link: 亮 10M Act: 闪 其余: 灭	0x610	0x4610	0x8610	0xc610	
	100/10 Link: 亮 100/10 Act: 闪 其余: 灭	0x630	0x4630	0x8630	0xc630	
连接: 亮 收发包: 亮	1000/100/10 Link: 亮 1000/100/10 Act: 亮 其余: 灭	0x1800	0x5800	0x9800	0xd800	
	1000M Link: 亮 1000M Act: 亮 其余: 灭	0x40	0x4040	0x8040	0xc040	
	100M Link: 亮 100M Act: 亮 其余: 灭	0x20	0x4020	0x8020	0xc020	
	100M Link: 亮 100M Act: 亮 其余: 灭	0x10	0x4010	0x8010	0xc010	
	100/10M Link: 亮 100/10M Act: 亮 其余: 灭	0x30	0x4030	0x8030	0xc030	
连接: 灭 收发包: 闪	1000/100/10 Link: 灭 1000/100/10 Act: 闪 其余: 灭	0x2600	0x6600	0xa600	0xe600	

9. Interrupt（中断）与 WOL 配置

YT8531 系列 phy 的 pin31 管脚作为中断输出，且其为开漏，需接上拉电阻至 3.3v，首先扩展寄存器 ext reg0xA00A 的相关 bit 用来配置 Pin31 管脚作为一般中断管脚输出还是专作为 WOL 中断输出。

作为一般 INT 中断时，可通过电口基本寄存器 0x12 来选择哪个中断事件，若有选择多个中断事件，则在中断响应后，通过读取电口基本寄存器 0x13，判断是哪个具体中断事件，同时通过读取 0x13，清除中断。

将扩展寄存器 0xA00A 的 bit6 置 1，则选择 pin31 作为 WOL 专用中断，同时还需要将 bit3 置 1，enable WOL 中断。当有 WOL 中断响应后，通过重新将 bit3 清 0，来清除中断。若还需继续监测 WOL，则再将 bit3 置 1



WOL功能:

处于Processor休眠状态时，对端（PC或其他网络设备）发出特殊的网络魔术包，phy收到后，会触发WOL中断。Processor收到中断信号后，醒来进行正常工作

关于 WOL 魔术包：连续 6byte 的 0xff，然后 MAC 地址重复 16 次。

PHY 需设置的 MAC 地址寄存器是 0xA007,A008,A009.

假设 mac 地址是 00:12:34:56:78:9A，则配置

0xA007=0x0012 ; 0xA008=0x3456; 0xA009=0x789A

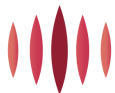
comm ext reg0xA00A			默认值
bit6	0	pin31作为INT中断输出，输出低	0
	1	pin31作为WOL中断输出，输出低	
bit5	0	WOL中断事件来自UTP	0
	1	该位为1，则bit4来决定WOL中断来自何处	
bit4	0	WOL事件来自UTP	0
	1	WOL来自sds	
bit3	0	disable WOL	0
	1	enable WOL	
bit2:1	00	WOL中断触发脉冲宽度84ms	01
	01	168ms	
	10	336ms	
	11	672ms	
bit0	0	WOL中断为脉冲输出，低电平有效，脉冲宽度由bit2:1决定	0
	1	WOL中断为低电平输出	

YT8531,YT8531D/P : bit4=1 reserved ; YT8531S, bit4=1如上所述

10. SYNC-E（时钟输出）配置

Pin35 可通过扩展寄存器 0xA012 配置(上电默认输出)，输出一 clk 信号

（注意要一直输出 clk，关闭 sleep）



与pin35 clk_out管脚输出相关的寄存器bit说明			
comm ext reg0xA012			默认值
bit6	0	disable clk输出	1
	1	enable clk输出	
bit5	0	link down时也允许clk输出	0
	1	link down时disable clk输出	
bit4	0	clk输出25M	0
	1	clk输出125M	
bit3:1	000	from PLL 125M	100
	001	来自utp rx 恢复时钟	
	010	Reserved	
	011	clock from digital	
	100	25M reference clk	
	101	25M SSC	

11. Jumbo Frame（巨型帧）配置

以太网标准包大小为 64~1518 Byte。超过 1518 Byte 的包被称为 Jumbo frame（巨型帧）。Jumbo frame 最大支持多少，取决于两个因素：FIFO 深度和频偏。其中，

FIFO 深度加大以支持更大的 Jumbo frame。所以打开 Jumbo frame 功能，无论收发包大小如何，相对于不打开此功能时，数据的传输延时都会增加。

频偏分为 DUT 与相连 PHY 的频偏和 DUT 与 MAC 的频偏。按照 IEEE 规定，前者要求是最大 200ppm。后者最大 100ppm。所以标称支持的 Jumbo frame 大小都应该满足最大频偏下的正常收发功能（实际使用中的频偏不会这么大，所以支持的最大包长比标称的 Jumbo frame 值要大）。

对于 YT8531 而言，

默认 Jumbo frame 功能是关闭的。

Jumbo frame 功能打开的情况下，1000/100BT 支持的最大包长为 18KB，10BT 支持的最大包长为 10KB。打开 Jumbo frame 功能后，数据在接收和发送方向的传输延时都会固定增加 16ns（1000BT/1000BX），80ns（100BT/100FX），800ns（10BT）。

寄存器配置：

Write_ext_reg0xA006[7]: 1'b1（其余位保持原值不变），打开 Jumbo frame 功能。

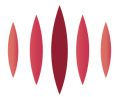
Write_ext_reg0xA006[7]: 1'b0（其余位保持原值不变），关闭 Jumbo frame 功能。

Common EXT A006: misc cfg				
Bit	Symbol	Access	Default	Description
7	Jumbo_enable	RW	0x0	enable jumbo frame

12. 其它维测寄存器

12.1 用户自配置寄存器

因为 DUT 寄存器一般只在下电或硬复位后才会清掉，如果 DUT 工作中遇到异常，客户想确认发生异常时是否发生了掉电或硬复位，就需要一个指定的寄存器，在初始化时写入值，在发生异常时读取此值。此寄存器为 common 扩展寄存器 ext_reg0xA0ff，其默认值为 0x0。



12.2 UTP big error counter

当 UTP 出现错包，丢包或断线的时候，可能是 UTP 连接通路质量不好（比如线太长或太差），或者出现了短时的大干扰。前者可以通过读 SNR 相关寄存器获取，后者通过 big error counter 或者 clipping 寄存器得到。前者说明出现了较大的 burst error，后者说明在 ADC 处出现了饱和的现象。出现该现象时，不一定会有丢包发生。其步骤为：

1. 把 common_ext_reg0xa000 写为 0x0
2. 把 UTP_ext_reg0xf8[10]清零
3. 把 UTP_ext_reg0x59[14:13]置 1
4. 读取 UTP_ext_reg0x69~0x70 的值，分 channel 0, 1, 2, 3 来判断是否发生 big error

UTP EXT F8h: Clock gating ctrl

Bit	Symbol	Access	default	Description
10	En_gate_UTPdbg	RW	0x1	gating UTPdbg module when it is diable

UTP EXT 59h: debug cfg

Bit	Symbol	Access	default	Description
14	Cnt_err_auto	RW	0x0	1 = monitor big slicer error after 1000BT training done;
13	Cnt_clp_auto	RW	0x0	1 = monitor big ADC output after 1000BT training done;

UTP EXT 69h: debug mon16

Bit	Symbol	Access	default	Description
15:0	Cnt_err0_big_pre	RO RC	0x0	It's fixed to 0 when EXT 59h bit14 cnt_err_auto is set, otherwise, it's the channel 0's big slicer error counter before the latest assertion of RX_DV.
7:0	Cnt_err0_big	RO RC	0x0	The counter of Channel 0's slicer error that larger than the EXT 59h bit7~0 err_big_th.

UTP EXT 6Ah: debug mon17

Bit	Symbol	Access	default	Description
15:0	Cnt_err1_big_pre	RO RC	0x0	Same as EXT 69h, except it's channel 1's big error counter.
7:0	Cnt_err1_big	RO RC	0x0	Same as EXT 69h, except it's channel 1's big error counter.

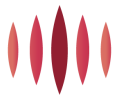
UTP EXT 6Bh: debug mon18

Bit	Symbol	Access	default	Description
15:0	Cnt_err2_big_pre	RO RC	0x0	Same as EXT 69h, except it's channel 2's big error counter.
7:0	Cnt_err2_big	RO RC	0x0	Same as EXT 69h, except it's channel 2's big error counter.

UTP EXT 6Ch: debug mon19

Bit	Symbol	Access	default	Description
15:0	Cnt_err3_big_pre	RO RC	0x0	Same as EXT 69h, except it's channel 3's big error counter.
7:0	Cnt_err3_big	RO RC	0x0	Same as EXT 69h, except it's channel 3's big error counter.

UTP EXT 6Dh: debug mon20



Bit	Symbol	Access	default	Description
15:0	Cnt_clp0_pre	RO RC	0x0	It's fixed to 0 when EXT 59h bit13 cnt_clp_auto is set, otherwise, it's the channel 0's big ADC output counter before the latest assertion of RX_DV.
7:0	Cnt_clp0	RO RC	0x0	The counter of Channel 0's ADC output that larger than the EXT 58h bit11~8 adc_clp_th.
UTP EXT 6Eh: debug mon21				
Bit	Symbol	Access	default	Description
15:0	Cnt_clp1_pre	RO RC	0x0	Same as EXT 69h, except it's channel 1's ADC output clipping counter.
7:0	Cnt_clp1	RO RC	0x0	Same as EXT 69h, except it's channel 1's ADC output clipping counter.
UTP EXT 6Fh: debug mon22				
Bit	Symbol	Access	default	Description
15:0	Cnt_clp2_pre	RO RC	0x0	Same as EXT 69h, except it's channel 2's ADC output clipping counter.
7:0	Cnt_clp2	RO RC	0x0	Same as EXT 69h, except it's channel 2's ADC output clipping counter.
UTP EXT 70h: debug mon23				
Bit	Symbol	Access	default	Description
15:0	Cnt_clp3_pre	RO RC	0x0	Same as EXT 69h, except it's channel 3's ADC output clipping counter.
7:0	Cnt_clp3	RO RC	0x0	Same as EXT 69h, except it's channel 3's ADC output clipping counter.

12.3 Clock drift

DUT 和 LP 之间频偏的计算方法:

把 ext reg0xf8[10]清零;

把 ext reg0x59[15]置 '1';

确认 DUT 和 Link parter 处于 link up status, 且 DUT link 在 1000BT slave mode or 100BT;

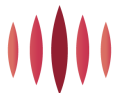
读取 ext reg0x68 的值, 把读取值的补码*0.95 为 DUP 和 Link parter 之间的频差, 单位为 ppm, 频差的极性为 Link parter 相对于 DUT

Phy EXT 68h: debug mon15				
Bit	Symbol	Access	default	Description
15:0	Integrator	RO	0x0	Channel 0's integrator.

13. 数据传输通路延时

系统实现精准时钟同步功能时, 需要知道数据从 MDI 接口到 RGMII/SGMII 接口, 或从 RGMII/SGMII 到 MDI 接口, 所花的时间。包括时间的绝对值, 和时间的抖动范围(Variation)。在各模式下, 其值如下:

模式	数据方向 (UTP 方向)	连接速度	延时绝对值(ns)	延时抖动(ns)
rgmii<->utp	rgmii_tx->utp_tx	1000M	208	8
		100M	616	72



		10M	4770	800
	utp_rx->rgmii_rx	1000M	256	16
		100M	312	72
		10M	7860	400
1000bx<->utp	1000bx_rx->utp_tx	1000M	296	16
	utp_rx->1000bx_tx	1000M	360	32
1000bx<->rgmii	1000bx_rx->rgmii_rx	1000M	120	8
	rgmii_tx->1000bx_tx	1000M	136	16

注:

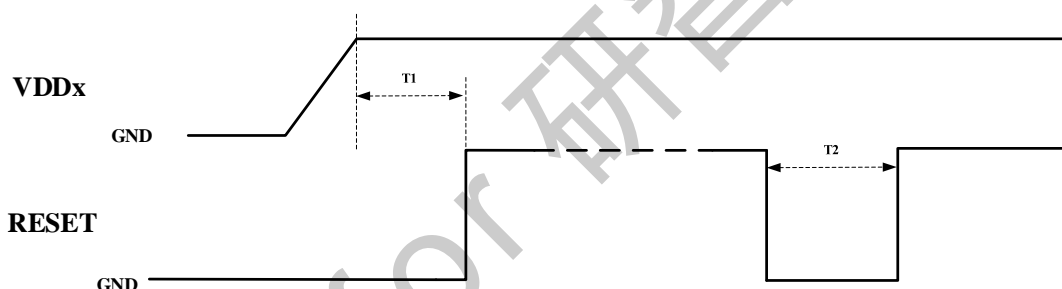
该延时考虑所有 phy 引入的延时,指的是芯片入口端 phy 包的包头到芯片出口端 phy 包的包头的 delay, 包括内部 fifo。

上表中绝对值在千兆模式下约为 $\pm 10\text{ns}$ 误差, 百兆和十兆误差会更大一些, 具体数据以实测结果为准。

延时的范围为【延时绝对值, 延时绝对值+延时抖动】

14. 硬件电路设计相关问题

14.1 上电复位时序要求

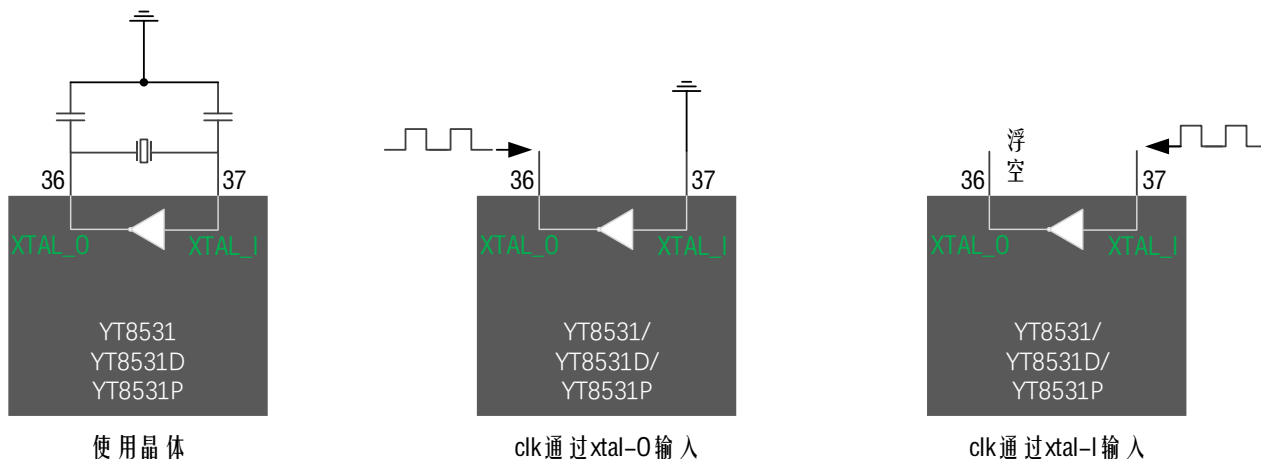
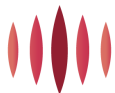


其中 $T1, T2$ 应 $\geq 10\text{ms}$

14.2 硬复位后延时进行 MDIO 操作要求

硬复位从低变高后, 芯片需要在一段时间内完成内部的复位和 power-on-strapping 工作, 因此一般要求在硬复位释放至少 100ms 后再进行 MDIO 操作。

14.3 外接参考时钟的抖动要求



采用 25M 晶体或有源 clk 均可。采用有源 clk 信号时，可接到 xtal_i(对应 xtal_o 浮空),也可接到 xtal_o(对应 xtal_i 接地)。

若要外接时钟信号，要求外灌 25MHz 的时钟抖动范围为：

精度要求(25M clk $\pm 100\text{ppm}$)

Peak to peak jitter < 200ps;

25kHz~25MHz rms jitter < 3ps;

broadband rms jitter < 9ps

(其它的要求，比如幅度，占空比等参见 datasheet)

请注意 YT8531,YT8531D,YT8531P 的 xtal-i 是 pin37， xtal-o 是 pin36

14.4 外接参考时钟源切换操作要求

在外接参考时钟的情况下，如果有多个时钟源，并且有时钟源切换的要求，那对切换过程的要求如下：

1. 因为切换过程中，时钟的行为及对芯片造成的影响无法预测，而硬复位比软复位更为彻底，从系统可靠性角度看，建议切换时钟源后用硬复位将 PHY 复位。

2. 硬复位的时序，请参考本应用说明的复位时序要求(即 RESET 信号应该在时钟稳定后保持为低至少 10ms，再拉高/释放)。

3. 硬复位释放后，会清掉之前软件所配的所有的寄存器设置。MDIO 需要等至少 100ms 之后再进行操作，软件可通过 MDIO 将所需的寄存器重新配置(一般与上电初始化的寄存器配置相同)。

14.5 EMC 设计相关建议

1. 电源与地

芯片电源的入口要有 4.7uF 去耦电容；如果电源走线较长，建议在电源走线中间也增加一个 10uF 去耦电容。

芯片的每个电源 pin 要有 100nF 滤波电容；

选择低 ESR 的 bead，降低 IR drop 的影响；

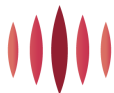
EPAD 需要通过尽量多的过孔与 GND 接触良好。

2. MDI 走线

MDI 走线差分阻抗要求 $100\text{ohm} \pm 10\%$ ；

从芯片到变压器的 MDI 走线长度不要超过 6 inch；

同一个 port，4 对 MDI 走线长度相差不要超过 800mil；



同一对 MDI, P 和 N 的走线长度相差不要超过 5mil;

每对 MDI 走线之间的距离要大于 30mil;

MDI 走线应尽量避免过孔和换层。

3. 其它

尽量将变压器靠近芯片、RJ45 靠近变压器，以缩短 MDI 走线长度，提升 EMC 性能。

在芯片和变压器之间的 MDI 走线上预留 0ohm 电阻串联。如需要升 surge 性能，可以将 0ohm 替换成 1~2ohm 电阻。

如需提升 ESD 性能，可以在芯片和变压器之间的 MDI 走线上预留 5pF 电容并联到 GND

for 研智