

6 总线系统

提纲

6.1

总线的概念和结构形态

6.2

总线接口

6.3

总线的仲裁

6.4

总线的定时和数据传送模式

6.5

HOST总线和PCI总线

6.6

InfiniBand标准

6.1 总线的概念和结构形态

提纲

6.1.1 总线的基本概念

6.1.2 总线的连接方式

6.1.3 总线的内部结构

6.1.4 总线结构实例

6.1.1 总线的基本概念

- 数字计算机是由若干系统功能部件构成的，这些系统功能部件在一起工作才能形成一个完整的计算机系统
- 总线定义：计算机的若干功能部件之间不可能采用全互联形式，因此就需要有公共的信息通道，即总线
- 借助于总线连接，计算机在各系统功能部件之间实现地址、数据和控制信息的交换，并在争用资源的基础上进行工作

6.1.1 总线的基本概念

- 一个单处理器系统中的总线，大致可分为以下三类：
 - 内部总线：CPU内部连接各寄存器及运算器部件之间的总线
 - 系统总线：CPU和计算机系统中其它高速功能部件（如存储器、通道等）互相连接的总线
 - I/O总线：中低速I/O设备之间互相连接的总线



6.1.1 总线的基本概念

- 总线的特性可分为：物理特性、功能特性、电气特性、时间特性
 - 物理特性：总线的物理连接方式（根数、插头、插座形状，引脚线排列方式）
 - 功能特性：每根线的功能（地址总线的宽度指明了总线能够直接访问存储器的地址空间范围；数据总线的宽度指明了访问一次存储器或外设时能够交换数据的位数；控制总线包括CPU发出的各种控制命令（如存储器读/写、I/O读/写），中断信号、DMA控制信号等）

6.1.1 总线的基本概念

- 总线的特性可分为：物理特性、功能特性、电气特性、时间特性
 - 电气特性：每根线上信号的传递方向及有效电平范围。一般规定送入CPU的信号叫输入信号（IN），从CPU发出的信号叫输出信号（OUT）。例如地址总线是输出线，数据总线是双向传送的信号线，这两类信号线都是高电平有效，控制总线中各条线一般是单向的，有CPU发出的，也有进入CPU的，有高电平有效的，也有低电平有效的
 - 时间特性：规定了每根总线在什么时间有效

6.1.1 总线的基本概念

- 为了使不同厂家生产的相同功能部件可以互换使用，就需要进行系统总线的标准化工作。目前，已经出现了很多**总线标准**，如ISA、EISA、VESA、PCI等。
- 采用标准总线的优点
 - 简化系统设计
 - 简化系统结构，提高系统可靠性
 - 便于系统的扩充和更新



6.1.1 总线的基本概念

- 总线带宽：总线本身所能达到的最高传输速率
 - 一次操作可以传输的数据位数
 - ISA为16位, 8MB/s
 - EISA为32位, 33.3MB/s
 - VESA为32位, 132MB/s
 - PCI可达64位, 264MB/s

6.1.1 总线的基本概念

- 例：（1）某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz，总线带宽是多少？（2）如果一个总线周期中并行传送64位数据，总线时钟频率升为66MHz，总线带宽是多少？

- 解：（1）设总线带宽用 D_r 表示，总线时钟周期用 $T=1/f$ 表示，一个总线周期传送的数据量用 D 表示，根据定义可得

$$D_r = D/T = D \times (1/T) = D \times f = 4B \times 33M/s = 132MB/s$$

- （2）64位=8B

$$D_r = D \times f = 8B \times 66M/s = 528MB/s$$

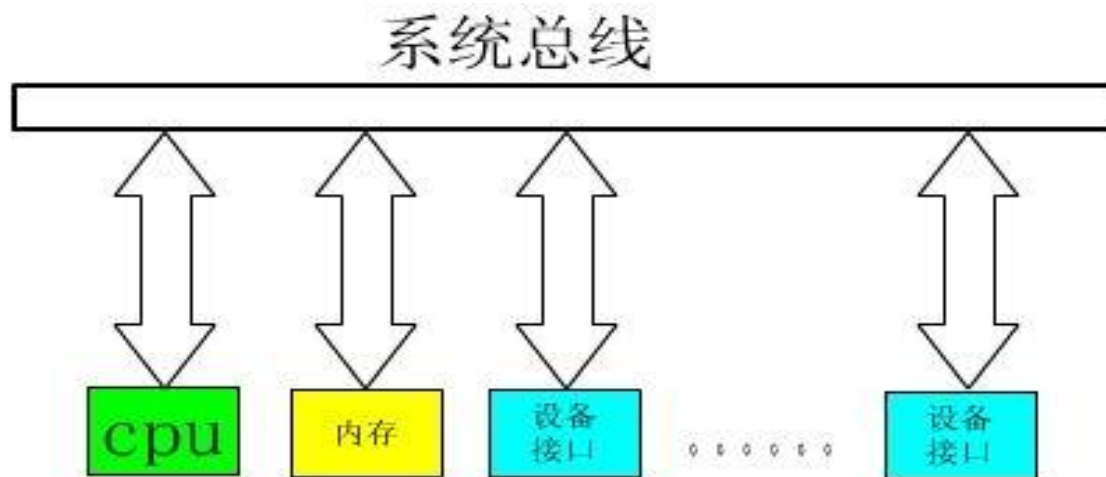


6.1.2 总线的连接方式

- 适配器（接口）：实现高速CPU与低速外设之间工作速度上的匹配和同步，并完成计算机和外设之间的所有数据传送和控制
- 根据连接方式不同，单机系统中总线结构的两种基本类型：
 - 单总线
 - 多总线

6.1.2 总线的连接方式

- 单总线：使用一条单一的系统总线来连接CPU、内存和I/O设备



- 由于所有逻辑部件都挂在同一个总线上，因此总线只能分时工作，即某一时间只能允许一对部件之间传送数据



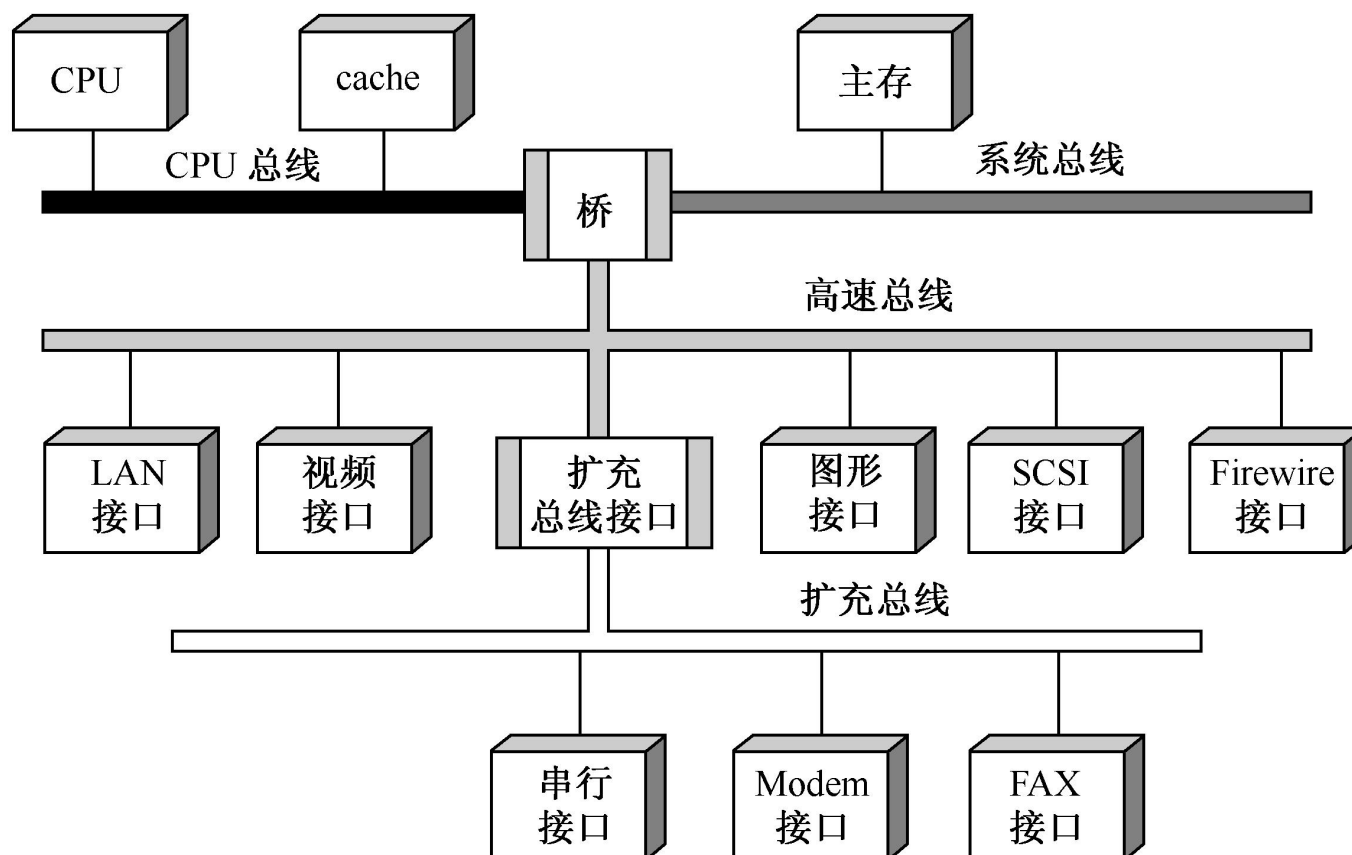
6.1.2 总线的连接方式

■ 单总线结构特点：

- 要求连接到总线上的逻辑部件必须高速运行，以便在某些设备需要使用总线时，能迅速获得总线控制权
- 而当不再使用总线时，能迅速放弃总线控制权
- 否则，由于一条总线由多种功能部件共用，可能导致很大的时间延迟

6.1.2 总线的连接方式

- 多总线：在CPU、主存、I/O之间互联采用多条总线





6.1.2 总线的连接方式

- 高速的CPU总线：CPU和cache之间采用
- 系统总线：主存连在其上
- 高速总线上可以连接高速LAN（100Mb/s局域网）、视频接口、图形接口、SCSI接口（支持本地磁盘驱动器和其它外设）、Firewire接口（支持大容量I/O设备）
- 高速总线通过扩充总线接口与扩充总线相连，扩充总线上可以连接串行方式工作的I/O设备
- 通过桥，CPU总线、系统总线 and 高速总线彼此相连。桥实质上是一种具有缓冲、转换、控制功能的逻辑电路
- 多总线结构实现了高速、中速、低速设备连接到不同的总线上同时进行工作，以提高总线的效率和吞吐量

6.1.3 总线的内部结构

- 早期总线的内部结构如图所示，它实际上是处理器芯片引脚的延伸。这种简单的总线一般由50~100条线组成，这些线按其功能可分为三类：地址线、数据线和控制线

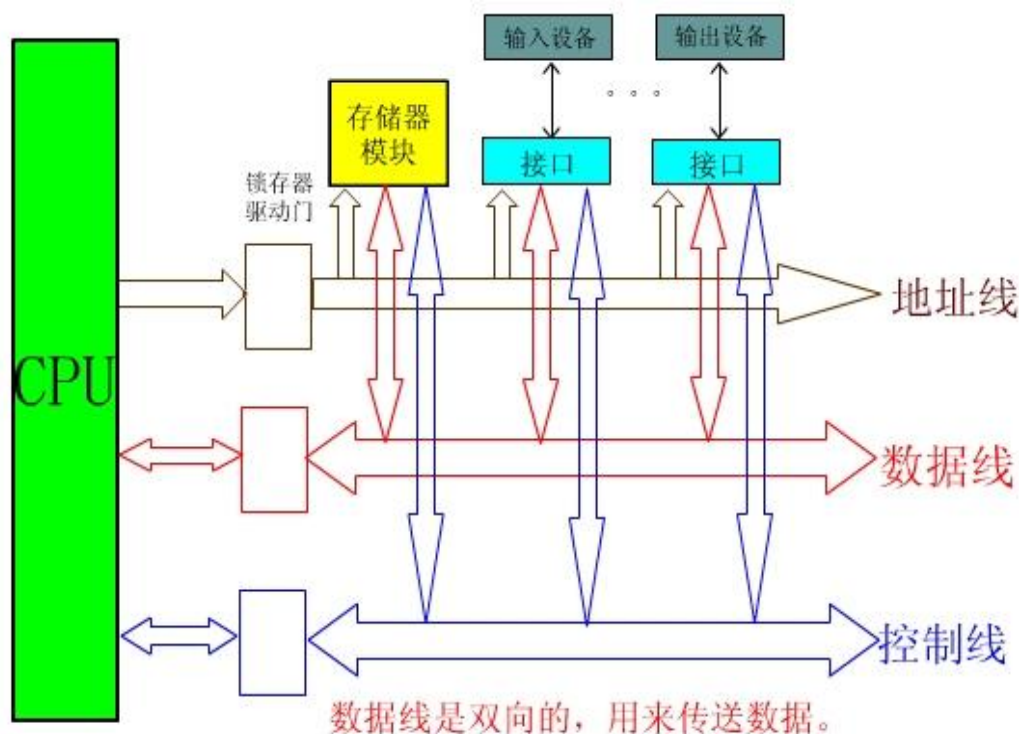


图6.4 早期总线内部结构框图

6.1.3 总线的内部结构

- 早期总线结构的不足之处在于：
 - CPU是总线上唯一的主控者
 - 总线信号是CPU引脚信号的延伸，故总线结构紧密与CPU相关，通用性较差

6.1.3 总线的内部结构

■ 当代流行的总线内部结构

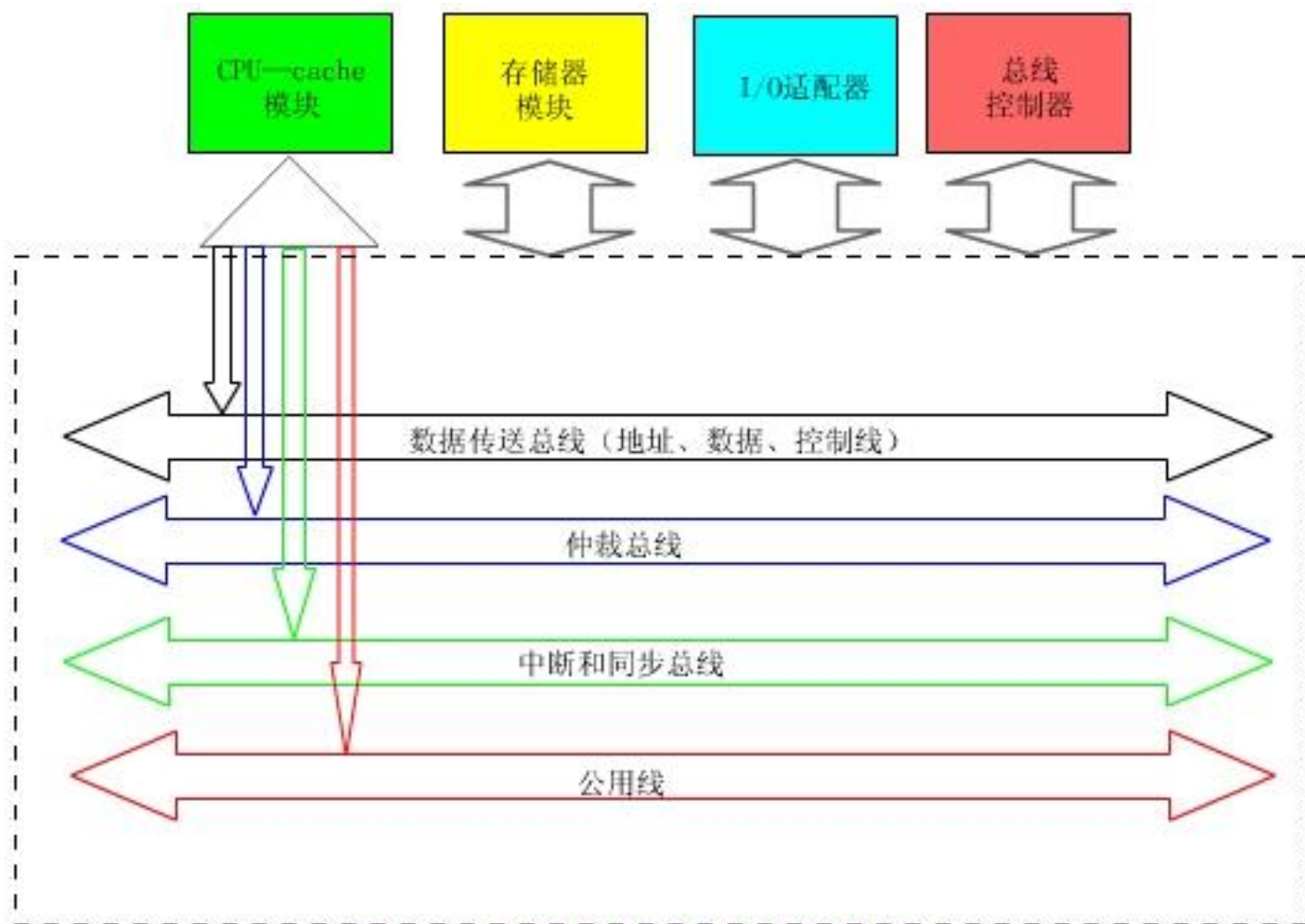


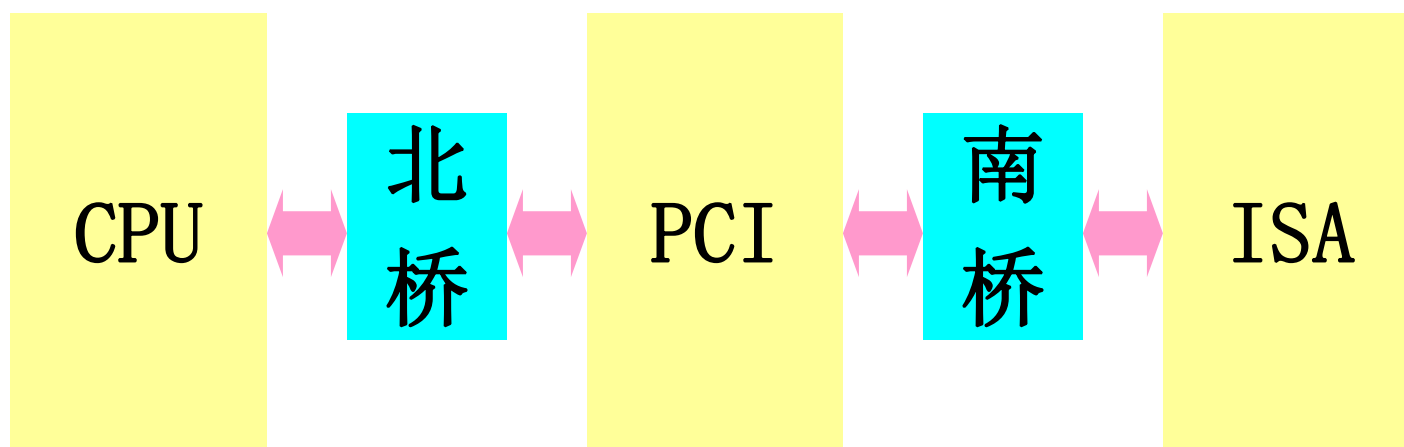
图6.5 当代总线内部结构框图

6.1.3 总线的内部结构

- 它是一些标准总线，追求与结构，CPU，技术无关的开发标准，并满足包括多个CPU在内的主控者环境需求
- CPU和它私有的cache一起作为一个模块与总线相连。系统中允许有多个这样的处理器模块，总线控制器完成几个总线请求者之间的协调与仲裁
- 整个总线分成四部分：
 - 数据传送总线：由地址线，数据线，控制线组成
 - 仲裁总线：包括总线请求线和总线授权线
 - 中断和同步总线：用于处理带优先级的中断操作，包括中断请求线和中断认可线
 - 公用线：包括时钟信号线，电源线，地线，系统复位线以及加电或断电的时序信号线等

6.1.4 总线结构实例

- 大多数计算机采用了分层次的多总线结构。在这种结构中，速度差异较大的设备模块使用不同速度的总线，而速度相近的设备模块使用同一类总线。显然，这种结构的优点不仅解决了总线负载过重的问题，而且使总线设计简单，并能充分发挥每类总线的效能
- Pentium机的总线结构分为三层：CPU总线、PCI总线和ISA总线





6.1.4 总线结构实例

- CPU总线，也称CPU-存储器总线，它是一个64位数据线和32位地址线的同步总线，可以把CPU总线看成是CPU引脚信号的延伸
- PCI总线，用于连接高速的I/O设备模块，如图形显示器适配器，网络接口控制器，硬盘控制器等。通过“桥”芯片，上面与更高速的CPU总线相连，下面与低速的ISA总线相接
- ISA总线，Pentium机使用该总线与低速I/O设备连接。主板上一般留有3-4个ISA总线扩充槽，以便使用各种16位/8位适配器卡
- CPU总线，PCI总线，ISA总线通过两个“桥”芯片连成整体。桥芯片在此起到了信号速度缓冲，电平转换和控制协议的转换作用。
- 有的资料将CPU总线-PCI总线的桥称为北桥，将PCI总线-ISA总线的桥称为南桥

6.2 总线接口

提纲

6.2.1 信息的传送方式

6.2.2 总线接口的基本概念

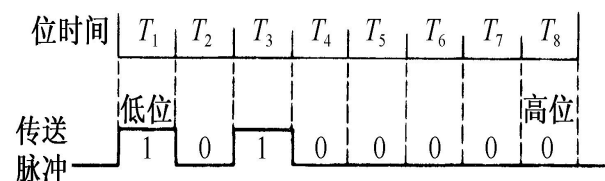
6.2.1 信息的传送方式

- 计算机系统中，传输信息基本有三种方式：

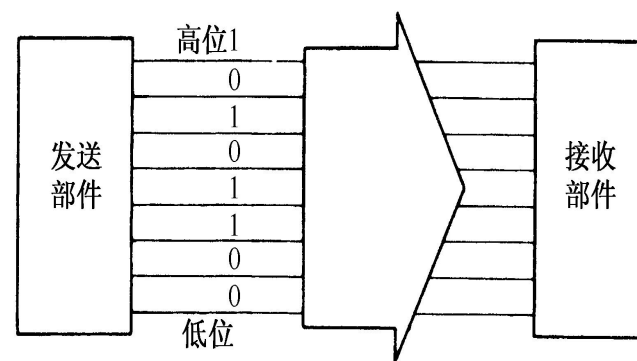
- 串行传送
- 并行传送
- 分时传送

- 分时传送即总线的分时复用

- 出于速度和效率上的考虑，系统总线上传送的信息必须采用并行传送方式



(a) 串行传送



(b) 并行传送



6.2.1 信息的传送方式

■ 串行传送

- 使用一条传输线
- 按顺序来传送表示一个数码的所有二进制位 (bit) 的脉冲信号, 每次一位, 通常以第一个脉冲信号表示数码的最低有效位, 最后一个脉冲信号表示数码的最高有效位
- 当串行传送时, 有可能按顺序连续传送若干个“0”或若干个“1”。通常采用的方法是指定“位时间”, 即指定一个二进制位在传输线上占用的时间长度

- 主要优点是只需要一条传输线, 这一点对长距离传输显得特别重要, 不管传送的数据量有多少, 只需要一条传输线, 成本比较低廉

- 缺点就是速度慢



6.2.1 信息的传送方式

■ 并行传送

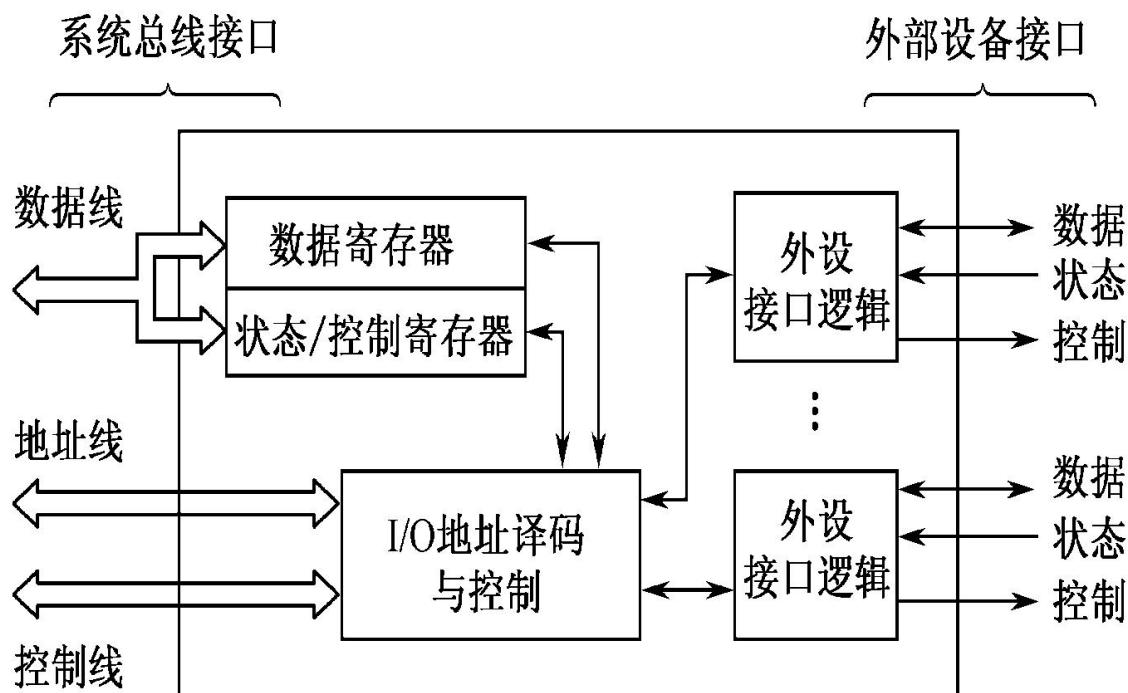
- 每一数据位需要一条传输线，一般采用电位传送

■ 分时传送（两种概念）

- 一种是总线复用，某个传输线上既传送地址信息，又传送数据信息
- 另一种是共享总线的部件分时使用总线

6.2.2 总线接口的基本概念

- 适配器（接口）：实现高速CPU与低速外设之间工作速度上的匹配和同步，并完成计算机和外设之间的所有数据传送和控制
- 一个适配器的两个接口：一个同系统总线相连，采用并行方式，另外一个同设备相连，可能采用并行方式或是串行方式





6.2.2 总线接口的基本概念

- 接口的典型功能：控制、缓冲、状态、转换、整理、程序中中断
 - 控制：根据程序的指令信息来控制外围设备的动作，如启动、关闭设备等
 - 缓冲：在外围设备和计算机系统其它部件之间作为一个缓冲器，以补偿各种设备在速度上的差异
 - 状态：接口监视外围设备的工作状态并保存状态信息，状态信息包括数据“准备就绪”、“忙”、“错误”等，供CPU询问外围设备时进行分析用
 - 转换：接口可以完成任何要求的数据转换，例如并-串转换或串-并转换，因此数据能在外围设备和CPU之间正确地进行传送
 - 整理：接口可以完成一些特别的功能，例如在需要时可以修改字计数器或当前内存地址寄存器
 - 程序中中断：每当外围设备向CPU请求某种动作时，接口即发出一个中断请求信号到CPU。例如，如果设备完成了一个操作或设备中存在着一个错误状态、接口即发出中断



6.2.2 总线接口的基本概念

- 例：利用串行方式传送字符，每秒钟传送的比特（bit）位数常称为波特率。假设数据传送速率是120个字符/秒，每一个字符格式规定包含10个比特位（起始位、停止位、8个数据位），问传送的波特率是多少？每个比特位占用的时间是多少？

- 解：

波特率为： $10\text{位} \times 120/\text{秒} = 1200\text{波特}$

每个比特位占用的时间 T_d 是波特率的倒数：

$$T_d = 1/1200 = 0.833 \times 10^{-3}\text{s} = 0.833\text{ms}$$

6.3 总线的仲裁

6.3 总线的仲裁

- 连接到总线上的功能模块有主动和被动两种形态。主方可以启动一个总线周期，而从方只能响应主方的请求
- 每次总线操作，只能有一个主方占用总线控制权，但同一时间里可以有一个或多个从方
- 除CPU模块外，I/O功能模块也可以提出总线请求，为了解决多个设备同时竞争总线控制权，必须有总线仲裁部件，以某种方式选择其中一个主设备作为总线的下一次主方
- 对于单处理器系统总线而言，总线仲裁器又称为总线控制器，它是CPU的一部分，是一个单独的功能模块
- 按照总线仲裁电路的位置不同，仲裁方式分为集中式仲裁和分布式仲裁两类

提纲

6.3.1

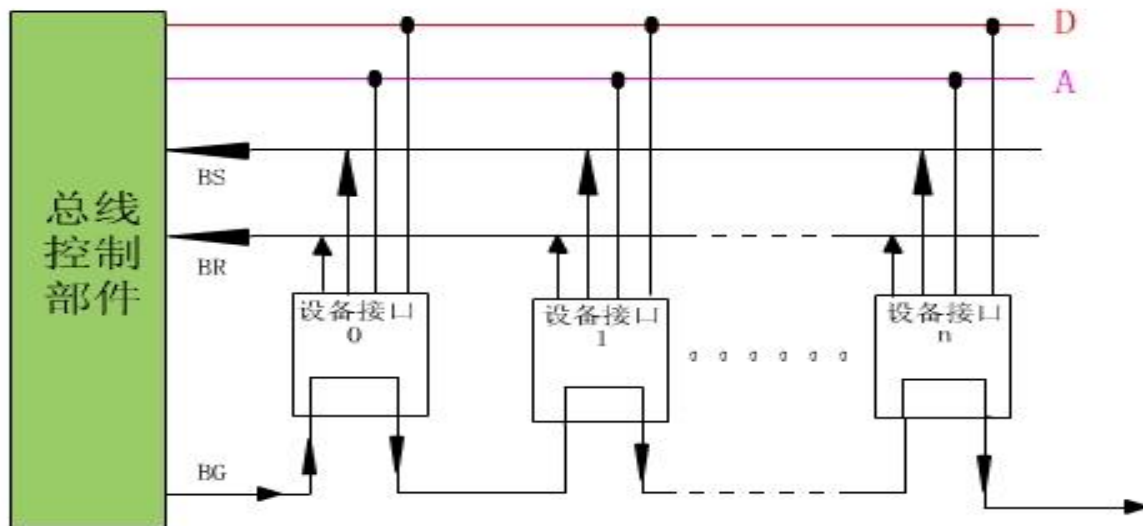
集中式仲裁

6.3.2

分布式仲裁

6.3.1 集中式仲裁

- 集中式仲裁中每个功能模块有两条线连到总线控制器：一条是送往仲裁器的总线请号线BR，一条是仲裁器送出的总线授权信号线BG
- 集中式仲裁有三种：
 - （菊花）链式查询方式：离中央仲裁器最近的设备具有最高优先权，离总线控制器越远，优先权越低
 - 优点：只用很少几根线就能按一定优先次序实现总线控制，并且这种链式结构很容易扩充设备
 - 缺点：对询问链的电路故障很敏感，优先级固定



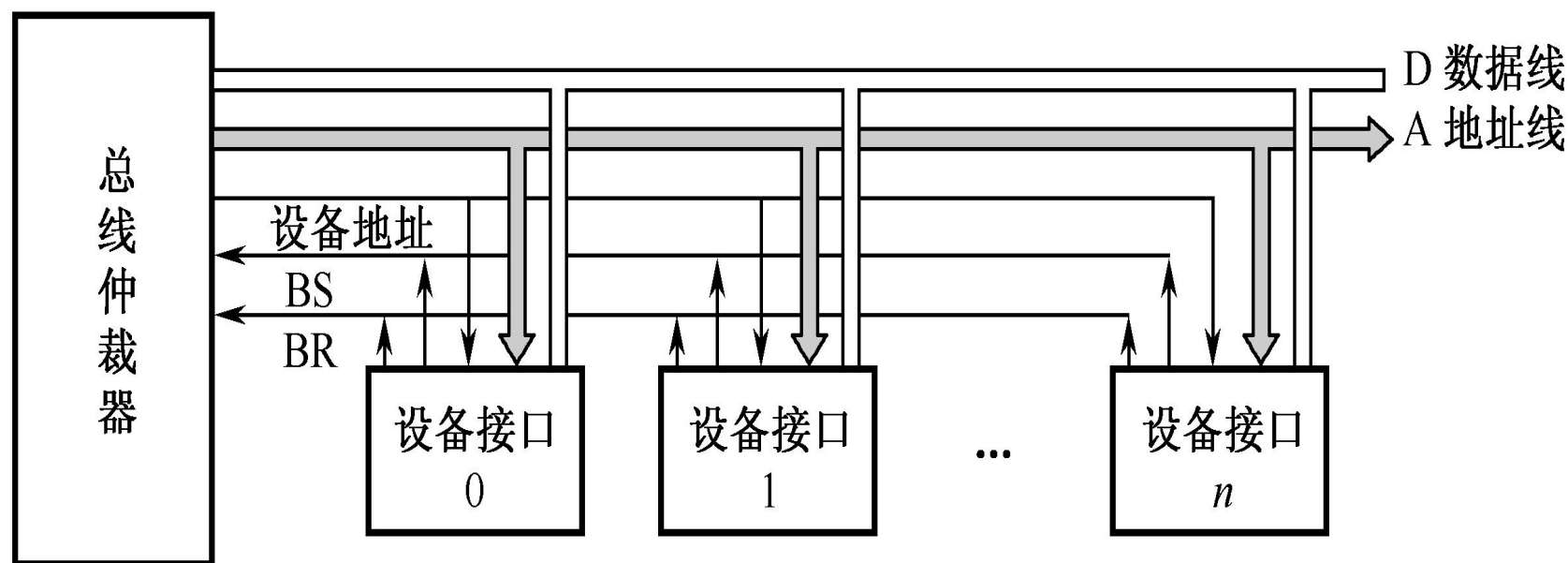
(a) 链式查询方式

- A: 地址线
- D: 数据线
- BS: 为1表示总线正被某外设所使用

6.3.1 集中式仲裁

- 计数器定时查询方式：总线上的任一设备要求使用总线时，通过BR线发出总线请求。中央仲裁器接到请求信号以后，在BS线为“0”的情况下让计数器开始计数，计数值通过一组地址线发向各设备。每个设备接口都有一个设备地址判别电路，当地址线上的计数值与请求总线的设备地址相一致时，该设备置“1” BS线，获得了总线使用权，此时中止计数查询
- 每次计数可以从“0”开始，也可以从中止点开始。如果从“0”开始，设备的优先次序与链式查询法相同，优先级的顺序是固定的。如果从中止点开始，每个设备使用总线的优级相等
- 计数器的初值也可用程序来设置，这可以方便地改变优先次序，但这种灵活性是以增加线数为代价的

6.3.1 集中式仲裁



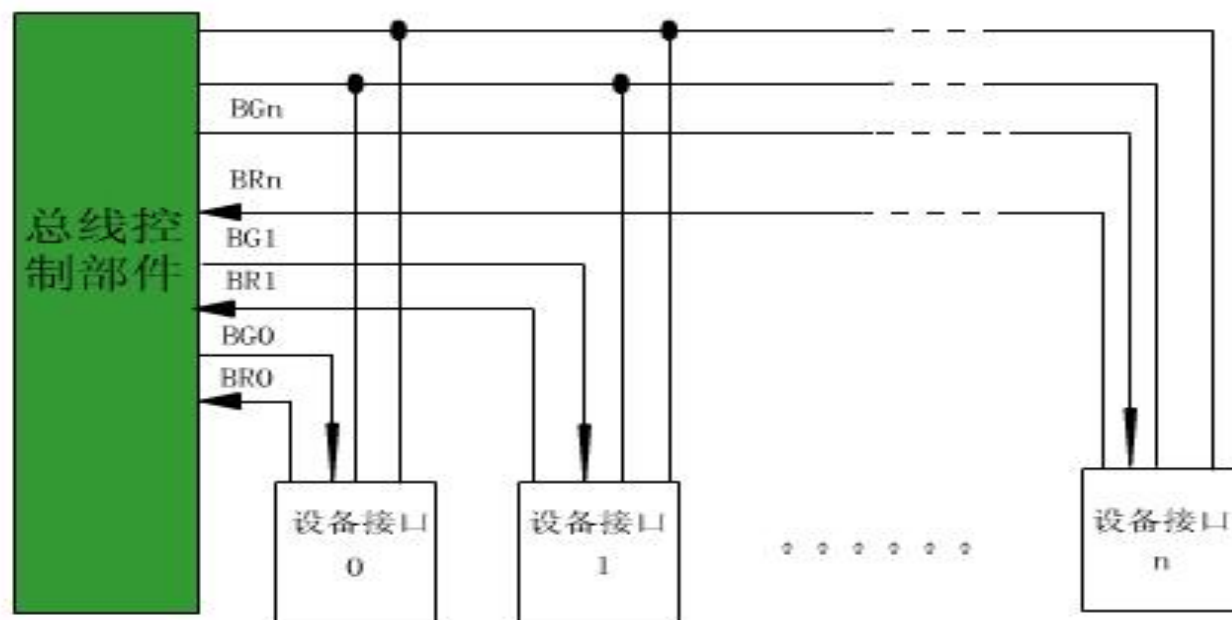
(b) 计数器定时查询方式

6.3.1 集中式仲裁

- 独立请求方式：每一个共享总线的设备均有一对总线请求线 BR_i 和总线授权线 BG_i ，当设备要求使用总线时，便发出该设备的请求信号
- 总线仲裁器中有一个排队电路，它根据一定的优先次序决定首先响应哪个设备的请求，给设备以授权信号 BG_i
- 独立请求方式的优点是响应时间快，即确定优先响应的设备所花费的时间少，用不着一个设备接一个设备地查询。其次，对优先次序的控制相当灵活。它可以预先固定，也可以通过程序来改变优先次序；还可以用屏蔽（禁止）某个请求的办法，不响应来自无效设备的请求
- 当代总线标准普遍采用独立请求方式

6.3.1 集中式仲裁

- 独立请求方式：优点是响应时间快，即确定优先响应的设备所花费的时间少。对优先次序的控制也是相当灵活的



(b) 独立请求方式

图6.9 集中式总线仲裁方式

6.3.2 分布式仲裁

■ 特点:

- 不需要集中的总线仲裁器，各设备都设有自己的裁决电路，竞争使用总线

■ 工作过程:

- 设备请求总线 → 读取仲裁总线上的设备号（该设备号为正在使用总线设备的设备号） → 与本设备号比较
 - 1) 若本设备优先级低，不能获取总线 → 不断比较；
 - 2) 若本设备优先级高 → 向仲裁总线送出设备号 → 获得总线控制权

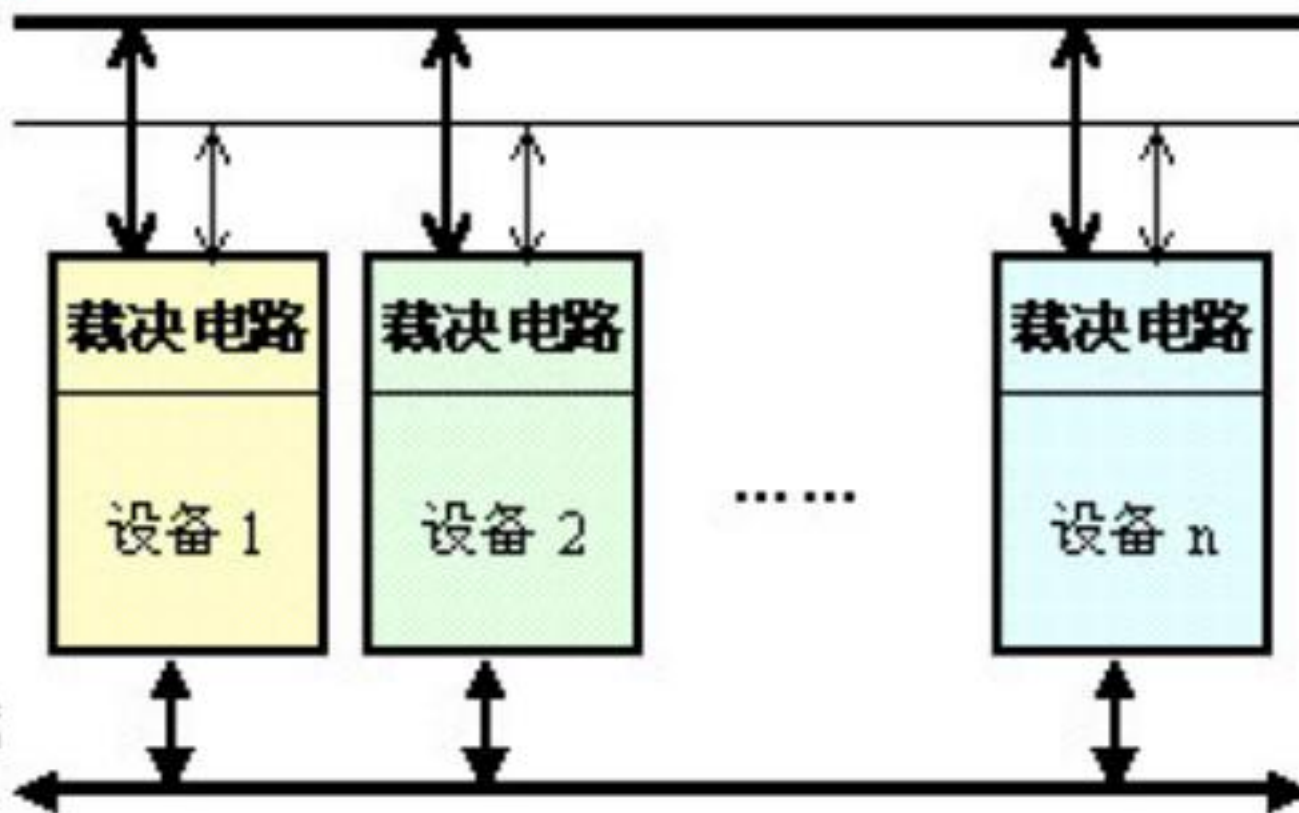
6.3.2 分布式仲裁

■ 分布式仲裁示意图

仲裁总线

BS

数据线



6.4 总线的定时和数据 传送模式

提纲

6.4.1

总线定时

6.3.2

总线数据传送模式

6.4.1 总线定时

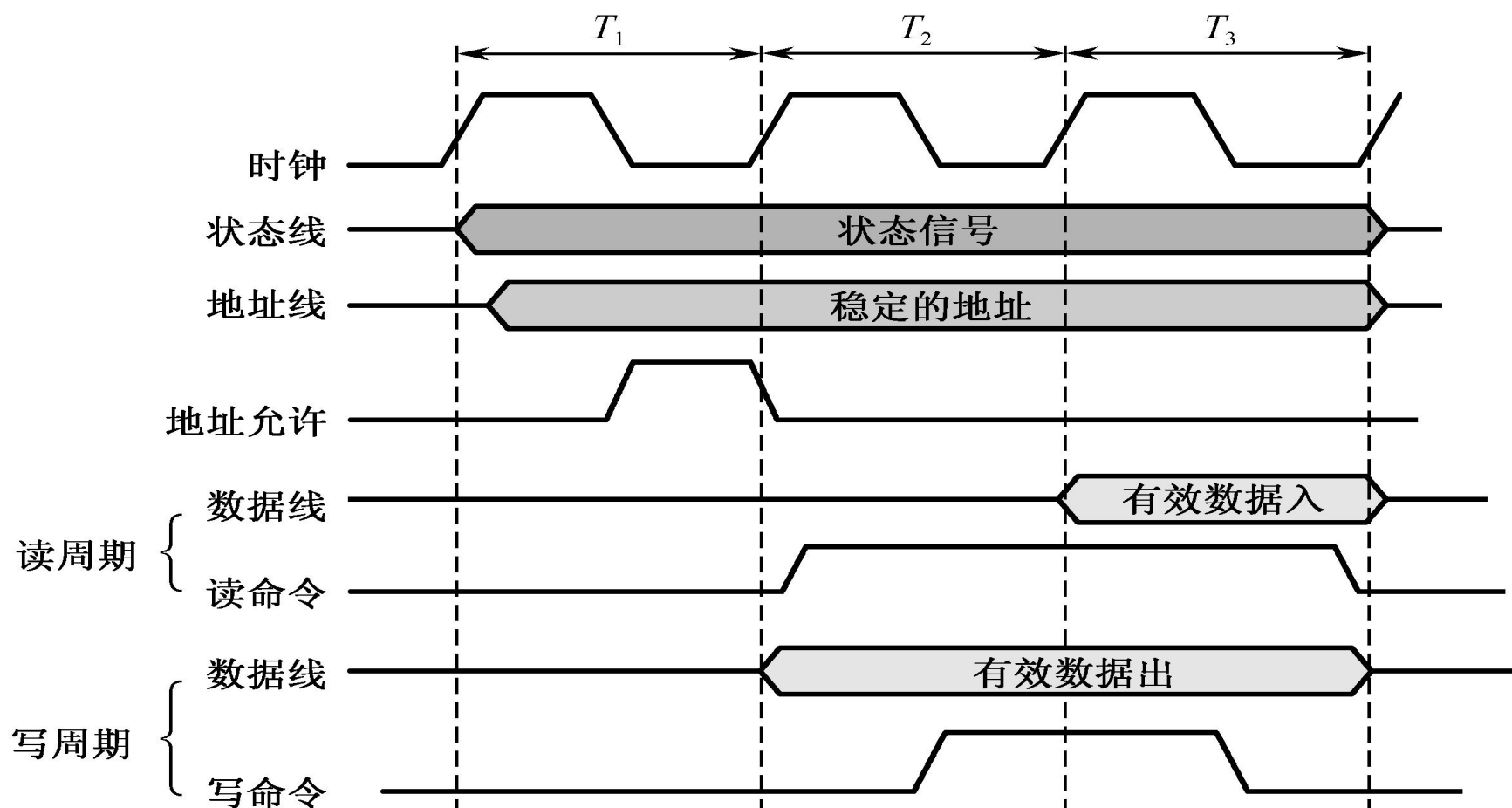
- 总线的信息传送过程：请求总线、总线仲裁、寻址（目的地址）、信息传送、状态返回
- 为了同步主方、从方的操作，必须制定定时协议
- 定时：事件出现在总线上的时序关系
 - 同步定时
 - 异步定时

6.4.1 总线定时

1、同步定时

- 同步定时：在同步定时协议中，事件出现在总线上的时刻由总线时钟信号来确定，所以，总线中包含时钟信号线
- 由于采用了公共时钟，每个功能模块什么时候发送或接收信息都由统一时钟规定，因此，同步定时具有较高的传输频率
- 同步定时适用于总线长度较短、各功能模块存取时间比较接近的情况

6.4.1 总线定时



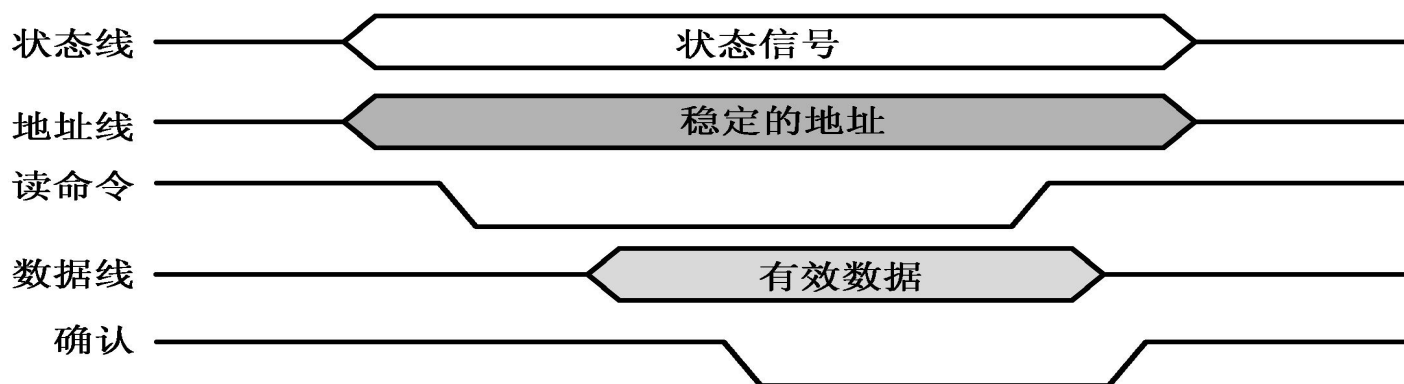
6.4.1 总线定时

2、异步定时

- 在异步定时协议中，后一事件出现在总线上的时刻取决于前一事件的出现，即建立在应答式或互锁机制基础上
- 在这种系统中，不需要统一的公共时钟信号。总线周期的长度是可变的
- 异步定时的优点是不把响应时间强加到功能模块上，因而允许快速和慢速的功能模块都能连接到同一总线上。但这以增加总线的复杂性和成本为代价

6.4.1 总线定时

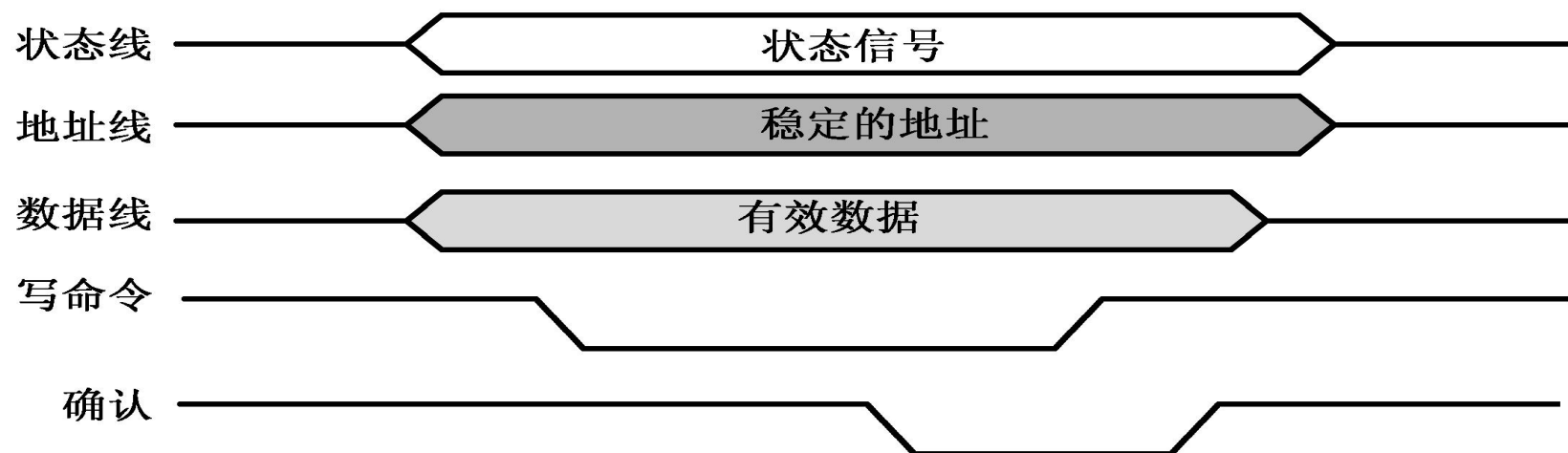
- CPU发送地址信号和读状态信号到总线上。待这些信号稳定后，它发出读命令，指示有效地址和控制信号的出现。存储器模块进行地址译码并将数据放到数据线上。一旦数据线上的信号稳定，则存储器模块使确认线有效，通知CPU数据可用。CPU由数据线上读取数据后，立即撤销读状态信号，从而引起存储器模块撤销数据和确认信号。最后确认信号的撤销又使CPU撤销地址信息



(a) 系统总线读周期

6.4.1 总线定时

- CPU将数据放到数据线上，与此同时启动状态线和地址线。存储器模块接受写命令，从数据线上写入数据，并使确认线上信号有效。然后，CPU撤销写命令，存储器模块撤销确认信号

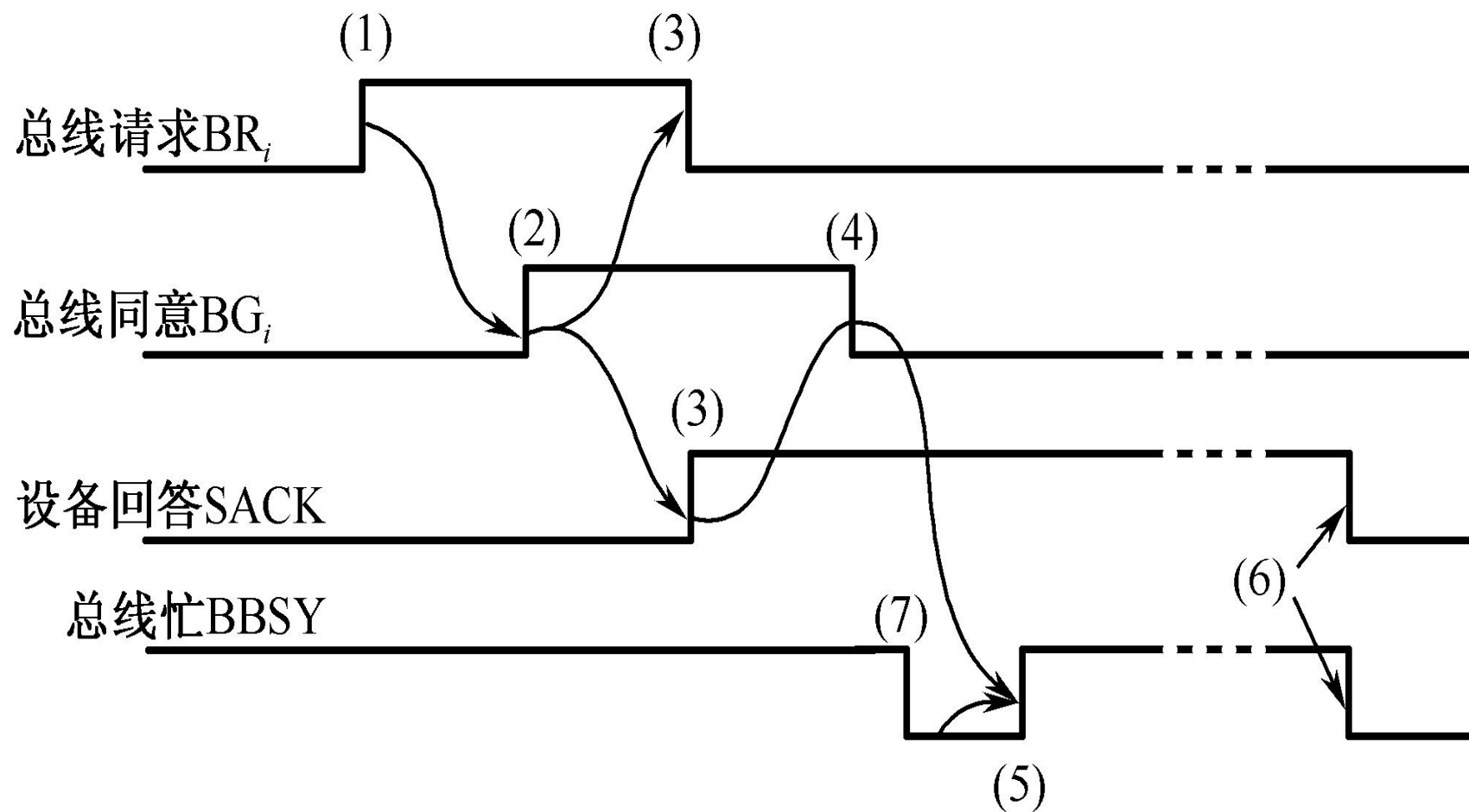


(b) 系统总线写周期

6.4.1 总线定时

- 例：某CPU采用集中式仲裁方式，使用独立请求与菊花链查询相结合的二维总线控制结构。每一对请求线 BR_i 和授权线 BG_i 组成一对菊花链查询电路。每一根请求线可以被若干个传输速率接近的设备共享。当这些设备要求传送时通过 BR_i 线向仲裁器发出请求，对应的 BG_i 线则串行查询每个设备，从而确定哪个设备享有总线控制权。请分析说明下图所示的总线仲裁时序图。

6.4.1 总线定时





6.4.1 总线定时

- 解：从时序图看出，该总线采用异步定时协议。
 - 当某个设备请求使用总线时，在该设备所属的请求线上发出申请信号 BR_i (1)
 - CPU按优先原则同意后给出授权信号 BG_i 作为回答 (2)
 - BG_i 链式查询各设备，并上升从设备回答 SACK 信号证实已收到 BG 信号 (3)
 - CPU 接到 SACK 信号后下降 BG 作为回答 (4)
 - 在总线“忙”标志 BBSY 为“0”情况该设备上升 BBSY，表示该设备获得了总线控制权，成为控制总线的主设备 (5)
 - 在设备用完总线后，下降 BBSY 和 SACK (6)
 - 释放总线
 - 在上述选择主设备过程中，可能现行的主从设备正在进行传送。此时需等待现行传送结束，即现行主设备下降 BBSY 信号后 (7)，新的主设备才能上升 BBSY，获得总线控制权



6.4.2 总线数据传送模式

- **读、写操作**：读操作是由从方到主方的数据传送；写操作是由主方到从方的数据传送
- **块传送操作**：只需给出块的起始地址，然后对固定块长度的数据一个接一个地读出或写入。对于CPU（主方）——存储器（从方）而言的块传送，常称为猝发式传送，其块长一般固定为数据线宽度（存储器字长）的4倍。例如一个64位数据线的总线，一次猝发式传送可达256位。这在超标量流水中十分有用

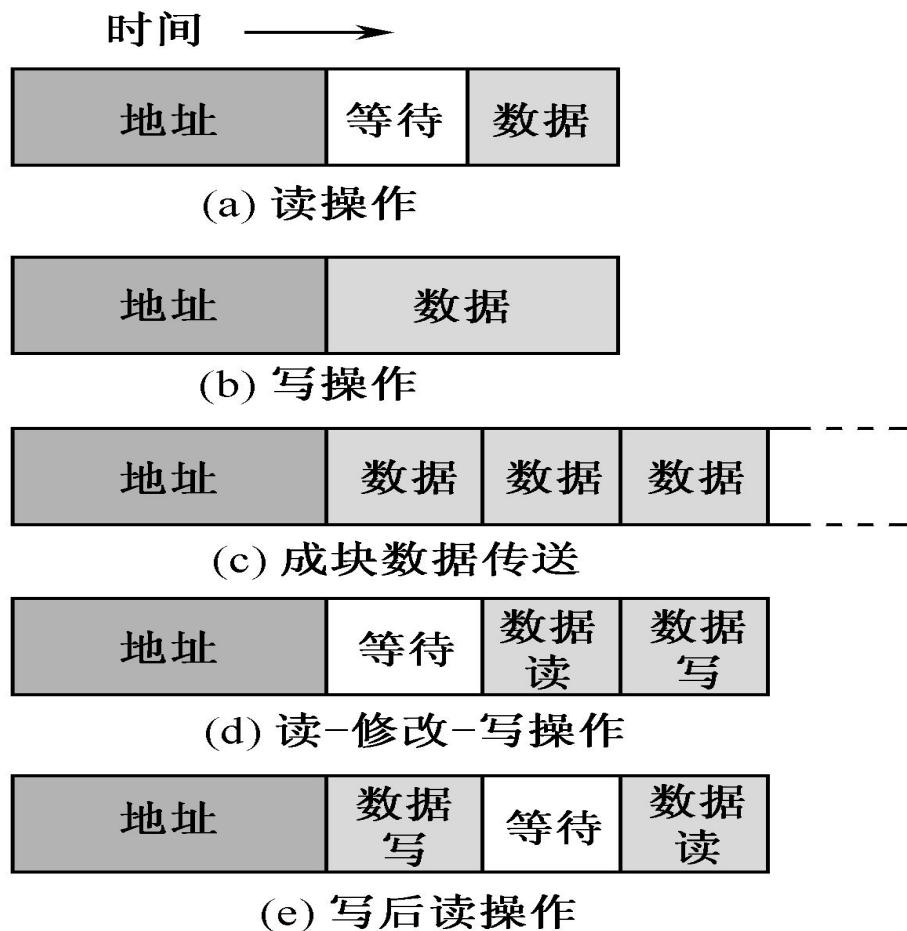


6.4.2 总线数据传送模式

- **写后读、读修改写操作**：这是两种组合操作。只给出地址一次（表示同一地址），或进行先写后读操作，或进行先读后写操作。前者用于校验目的，后者用于多道程序系统中对共享存储资源的保护。这两种操作和猝发式操作一样，主方掌管总线直到整个操作完成
- **广播、广集操作**：允许一个主方对多个从方进行写操作，这种操作称为广播。与广播相反的操作称为广集，它将选定的多个从方数据在总线上完成AND或OR操作，用以检测多个中断源。

6.4.2 总线数据传送模式

■ 演示过程



6.5 HOST总线 和 PCI总线

提纲

6.5.1 多总线结构

6.5.2 PCI总线与信号线

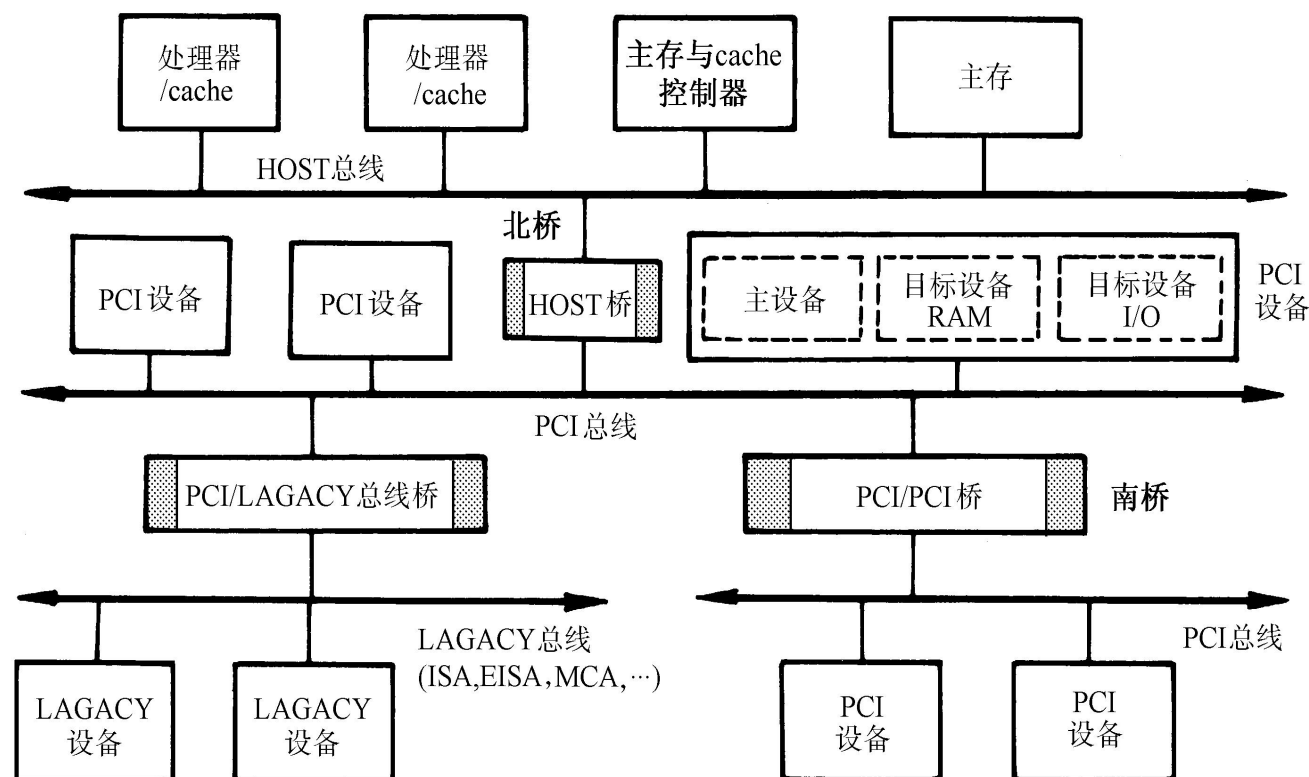
6.5.3 总线周期类型

6.5.4 总线周期操作

6.5.5 总线仲裁

6.5.1 多总线结构

- 如图，典型的多总线结构框图。实际上，这也是高档PC机和服务器的主板总线框图





6.5.1 多总线结构

- HOST总线：该总线有CPU总线、系统总线、主存总线、前端总线等多种名称，各自反映了总线功能的一个方面。这里称“宿主”总线，也许更全面，因为HOST总线不仅连接主存，还可以连接多个CPU
- HOST总线是连接“北桥”芯片与CPU之间的信息通路，它是一个64位数据线和32位地址线的同步总线。32位的地址线可支持处理器4GB的存储寻址空间。总线上还接有L2级cache，主存与cache控制器芯片。后者用来管理CPU对主存和cache的存取操作。CPU拥有HOST总线的控制权，但在必要情况下可放弃总线控制权

6.5.1 多总线结构

- **PCI总线**：连接各种高速的PCI设备。PCI是一个与处理器无关的高速外围总线，又是至关重要的层间总线。它采用同步时序协议和集中式仲裁策略，并具有自动配置能力。PCI设备可以是主设备，也可以是从设备，或兼而有之。在PCI设备中不存在DMA（直接存储器传送）的概念，这是因为PCI总线支持无限的猝发式传送。这样，传统总线上用DMA方式工作的设备移植到PCI总线上时，采用主设备工作方式即可。系统中允许有多条PCI总线，它们可以使用HOST桥与HOST总线相连，也可使用PCI/PCI桥与已和HOST总线相连的PCI总线相连，从而得以扩充PCI总线负载能力
- **LAGACY总线**：可以是ISA，EISA，MCA等这类性能较低的传统总线，以便充分利用市场上丰富的适配器卡，支持中、低速I/O设备



6.5.1 多总线结构

- 在PCI总线体系结构中有三种桥。其中**HOST桥**又是**PCI总线控制器**，含有中央仲裁器。桥起着重要的作用，它连接两条总线，使彼此间相互通信
- 桥又是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表
- 桥本身的结构可以十分简单，如只有信号缓冲能力和信号电平转换逻辑，也可以相当复杂，如有规程转换、数据快存、装拆数据等



6.5.2 PCI总线与信号线

- PCI总线的基本传输机制是猝发式传送，利用桥可以实现总线间的猝发式传送
- 写操作时，桥把上层总线的写周期先缓存起来，以后的时间再在下层总线上生成写周期，即延迟写
- 读操作时，桥可早于上层总线，直接在下层总线上进行预读
- 无论延迟写和预读，桥的作用可使所有的存取都按CPU的需要出现在总线上

6.5.2 PCI总线与信号线

■ PCI总线信号线

- 必要引脚控设备49条
- 目标设备47条
- 可选引脚51条（主要用于64位扩展、中断请求、高速缓存支持等）
- 总引脚数120条（包含电源、地、保留引脚等）

6.5.3 总线周期类型

- PCI总线周期由当前被授权的主设备发起。PCI支持任何主设备和从设备之间点到点的对等访问，也支持某些主设备的广播读写。
 - 存储器读/写总线周期：以猝发式传送为基本机制，一次猝发式传送总线周期通常由一个地址期和一个或几个数据期组成
 - 存储器写和使无效周期：与存储器写周期的区别在于，前者不仅保证一个完整的 cache行被写入，而且在总线上广播无效信息，命令其他cache 中的行地址变为无效。
 - 特殊周期：用于设备将其信息（如状态信息）广播到多个目标方
 - 配置读/写周期：HOST桥生成PCI总线的配置读/写周期、完成配置数据的读出或写入操作



6.5.4 总线周期操作

■ PCI总线周期的操作过程有如下特点：

- (1) 采用同步时序协议。总线时钟周期以上跳沿开始，半个周期高电平，半个周期低电平。总线上所有事件，即信号电平转换出现在时钟信号的下跳沿时刻，而对信号的采样出现在时钟信号的上跳沿时刻
- (2) 总线周期由被授权的主方启动，以帧FRAME#信号变为有效来指示一个总线周期的开始
- (3) 一个总线周期由一个地址期和一个或多个数据期组成。在地址期内除给出目标地址外，还在C/BE#线上给出总线命令以指明总线周期类型
- (4) 地址期为一个总线时钟周期，一个数据期在没有等待状态下也是一个时钟周期。一次数据传送是在挂钩信号IRDY#和TRDY#都有效情况下完成，任一信号无效（在时钟上跳沿被对方采样到），都将加入等待状态



6.5.4 总线周期操作

■ PCI总线周期的操作过程有如下特点：

- (5) 总线周期长度由主方确定。在总线周期期间FRAME#持续有效，但在最后一个数据期开始前撤除。即以FRAME#无效后，IRDY#也变为无效的时刻表明一个总线周期结束。由此可见，PCI的数据传送以猝发式传送为基本机制，单一数据传送反而成为猝发式传送的一个特例。并且PCI具有无限制的猝发能力，猝发长度由主方确定，没有对猝发长度加以固定限制
- (6) 主方启动一个总线周期时要求目标方确认。即在FRAME#变为有效和目标地址送上AD线后，目标方在延迟一个时钟周期后必须以DEVSEL#信号有效予以响应。否则，主设备中止总线周期
- (7) 主方结束一个总线周期时不要求目标方确认。目标方采样到FRAME#信号已变为无效时，即知道下一数据传送是最后一个数据期。目标方传输速度跟不上主方速度，可用TRDY#无效通知主方加入等待状态时钟周期。当目标方出现故障不能进行传输时，以STOP#信号有效通知主方中止总线周期

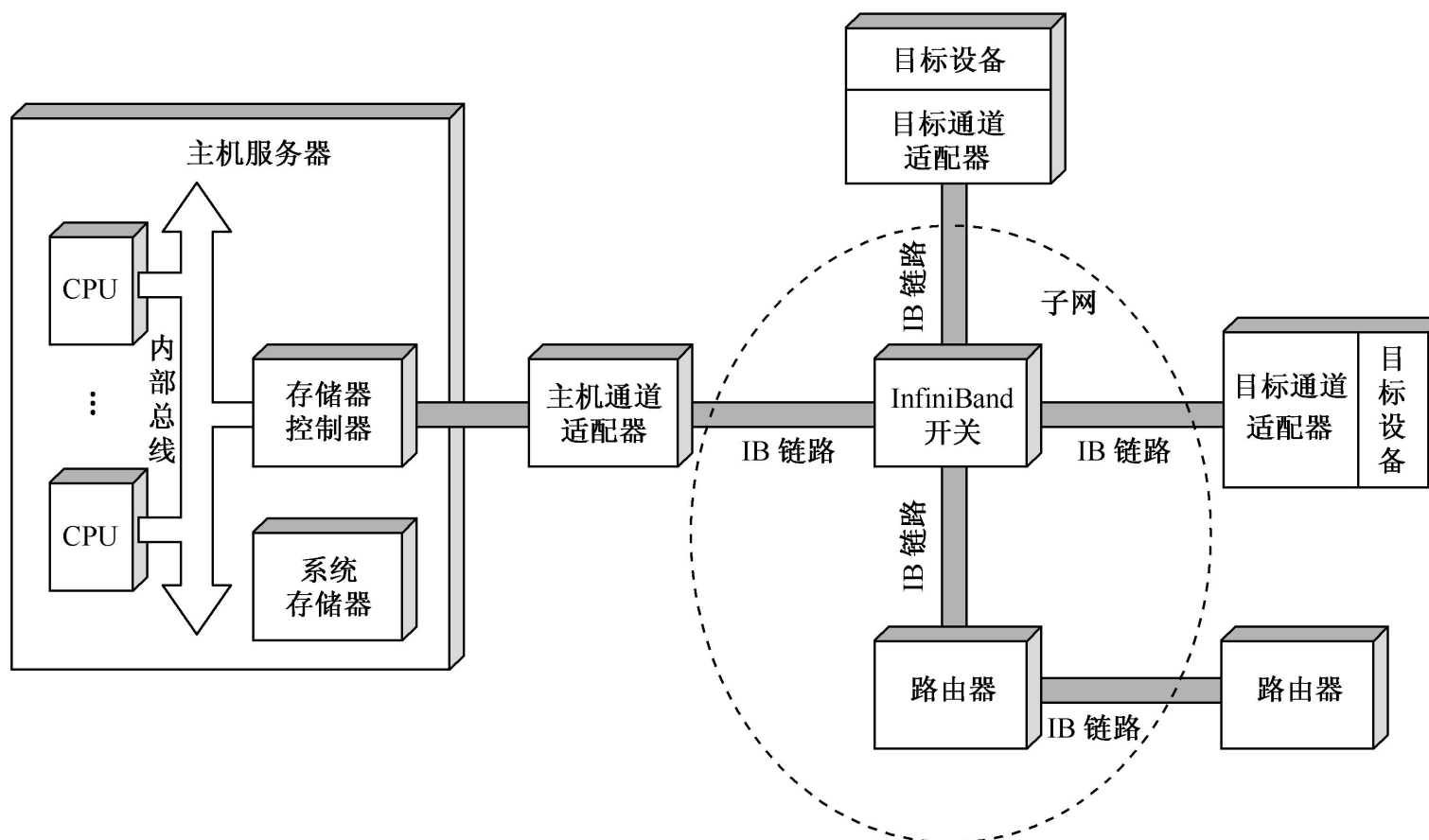
6.5.5 总线仲裁

- PCI总线采用集中式仲裁方式，每个PCI主设备都有独立的REQ#（总线请求）和GNT#（总线授权）两条信号线与中央仲裁器相连。由中央仲裁器根据一定的算法对各主设备的申请进行仲裁，决定把总线使用权授予谁。但PCI标准并没有规定仲裁算法

6.6 InfiniBand标准

6.6 InfiniBand 标准

- 面向高端服务器的最新I/O规范，可以间接64000个服务器



6.6 InfiniBand 标准

