

3.3 DRAM存储器

提纲

3.3.1 DRAM存储位元的记忆原理

3.3.2 DRAM芯片的逻辑结构

3.3.3 读/写周期

3.3.4 DRAM的刷新

3.3.5 存储器容量的扩充

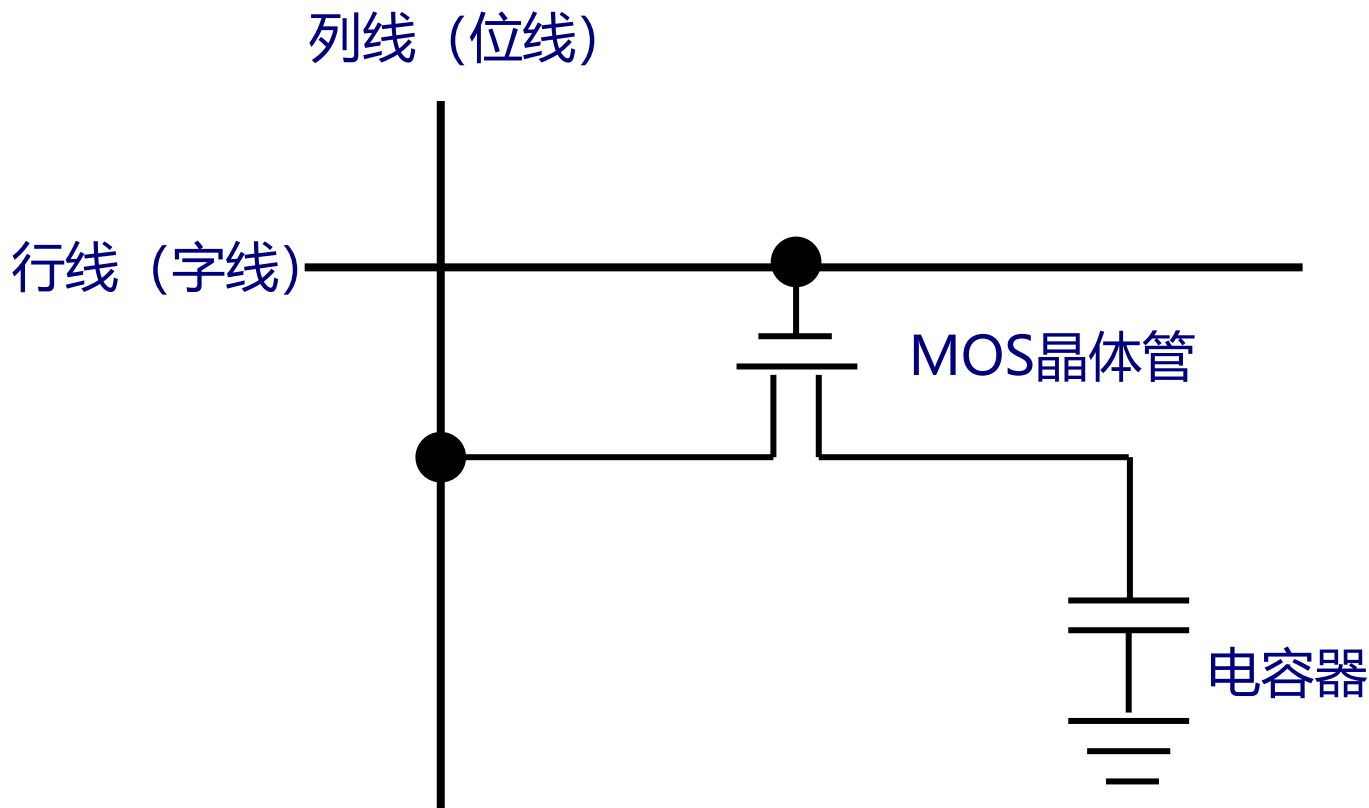
3.3.6 高级的DRAM结构

3.3.7 DRAM主存读/写的正确性校验

3.3.1 DRAM存储位元的记忆原理

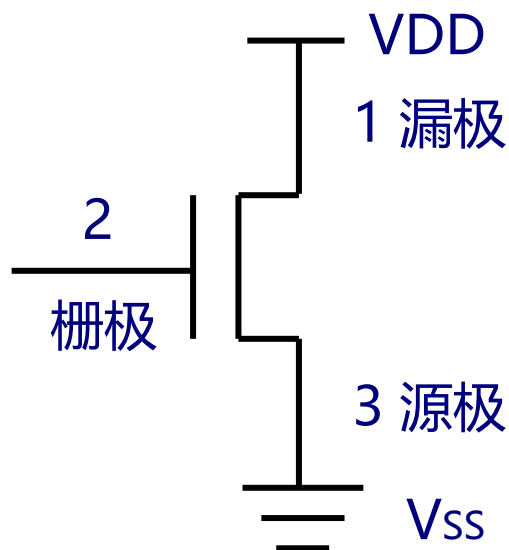
1、DRAM存储器的存储位元

- 是由一个MOS晶体管和电容器组成的记忆电路



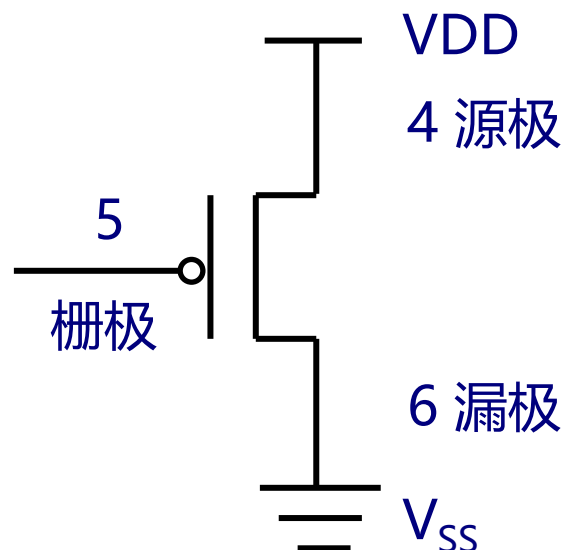
3.3.1 DRAM存储位元的记忆原理

- MOS管分为两种类型：N型和P型。



N型MOS管

- 2端为控制端，称为“栅极”
- 3端通常接地，称为“源极”
 - 电压记作 V_{SS}
- 1端接正电压，称为“漏极”
 - 电压记作 V_{DD}
- 要使1端与3端导通，栅极2上要加高电平

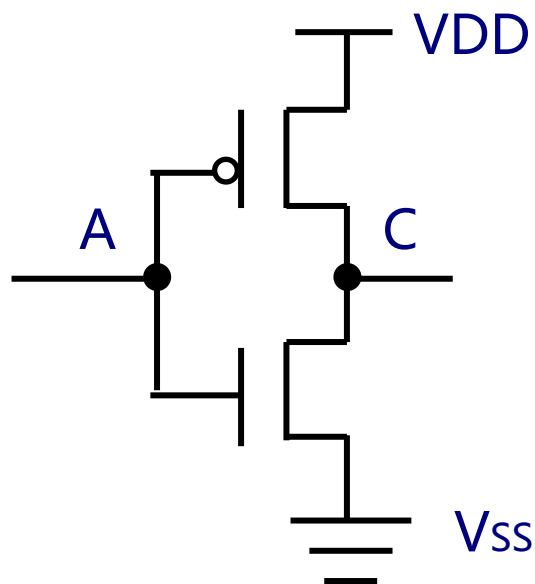


P型MOS管

- 5端为“栅极”
- 4端为“源极”
- 6端“漏极”
- 要使4端与6端导通，栅极5要加低电平

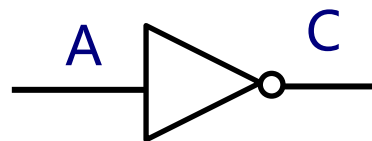
3.3.1 DRAM存储位元的记忆原理

- 在MOS工艺制成的逻辑器件或单片机中，N型管与P型管往往是成对出现的。同时出现的这两个MOS管，任何时候，只要一只导通，另一只则不导通（即“截止”或“关断”），所以称为“**互补型MOS管**”——**CMOS管**
- 非门（反向器）是最简单的门电路，由一对MOS管组成



非门原理

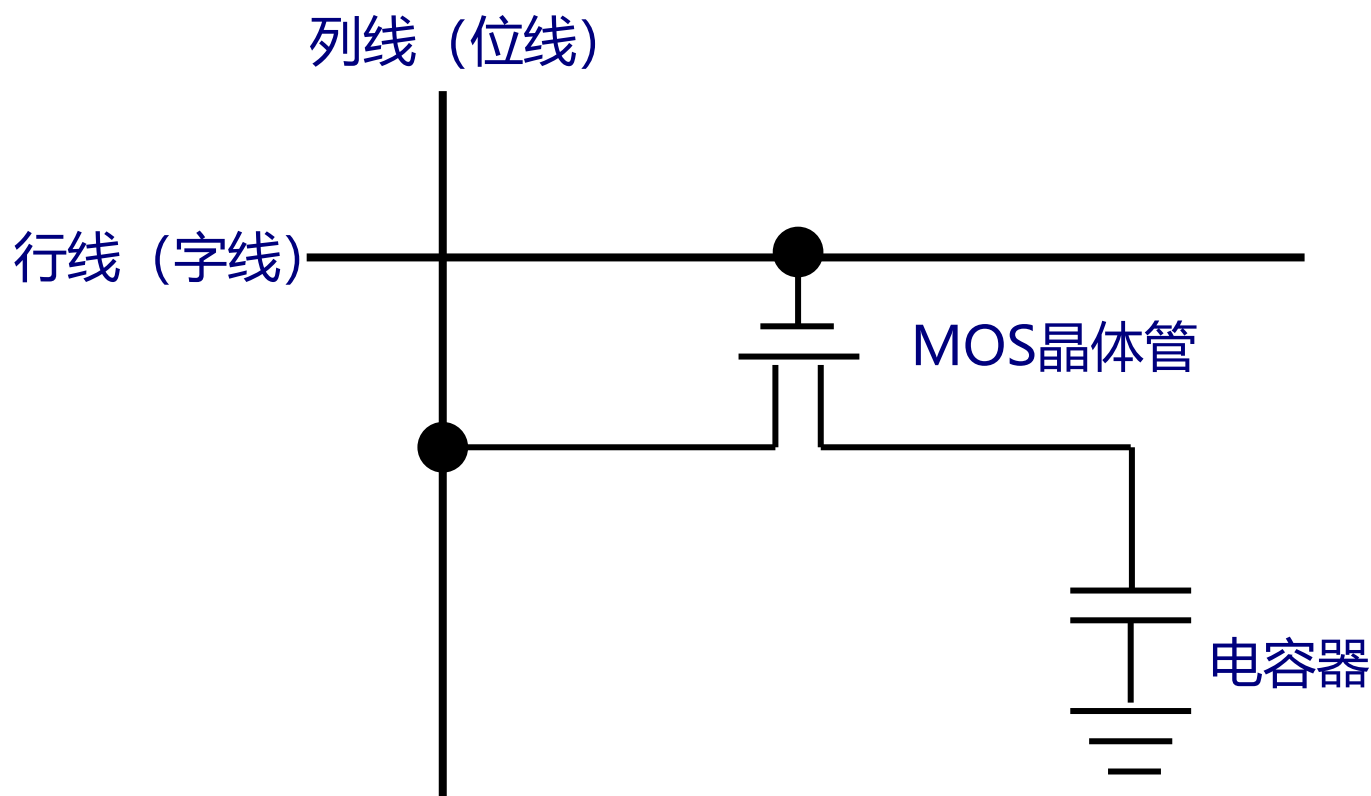
- A端为高电平时，P型管截止，N型管导通，输出端C的电平与Vss保持一致，输出低电平；A端为低电平时，P型管导通，N型管截止，输出端C的电平与VDD一致，输出高电平



非门逻辑符号

3.3.1 DRAM存储位元的记忆原理

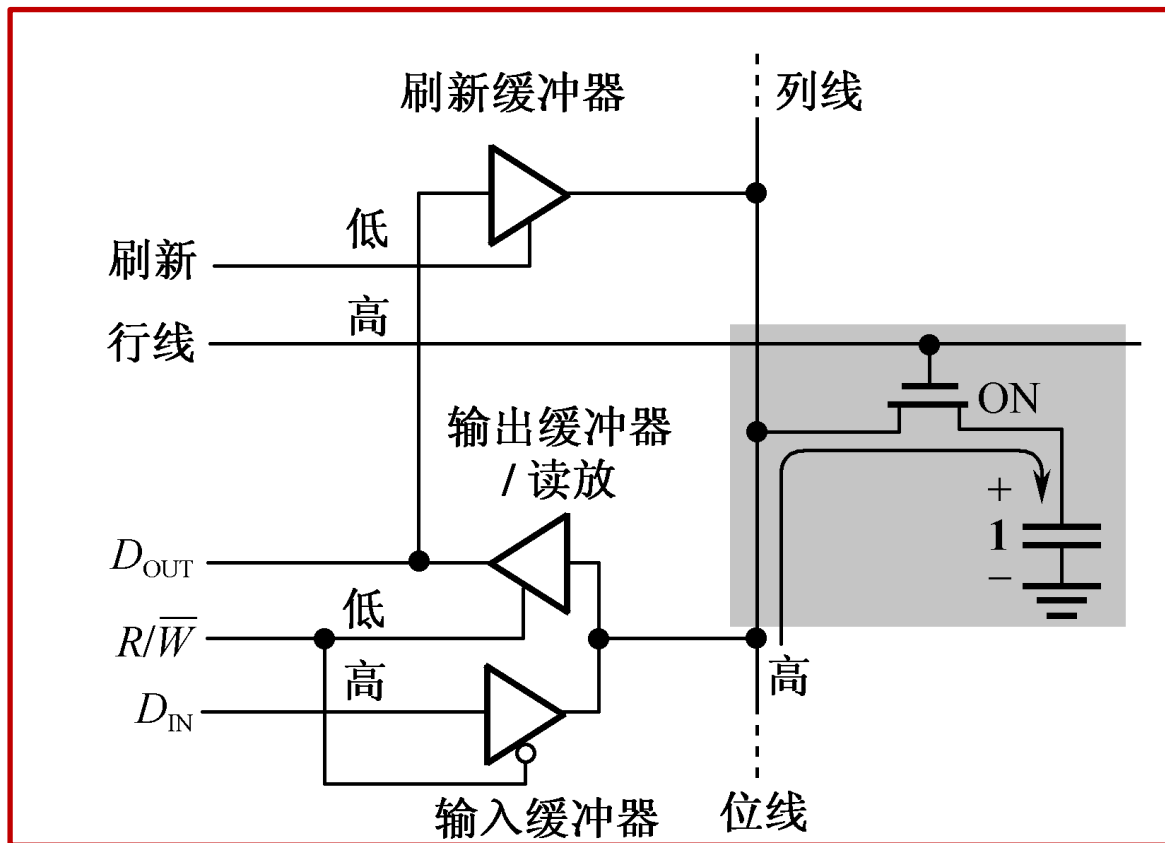
- MOS管做为开关使用，而所存储的信息1或0则是由电容器上的电荷量来体现
 - 电容器充满电荷时，代表存储了1
 - 当电容器放电没有电荷时，代表存储了0



3.3.1 DRAM存储位元的记忆原理

2、写1到存储位元

- 输出缓冲器和刷新缓冲器关闭
- 输入缓冲器打开 (R/W为低)
- 输入数据D_{IN}=1送到存储元位线上
- 行选线为高, 打开MOS管, 于是位线上的高电平给电容器充电, 表示存储了1

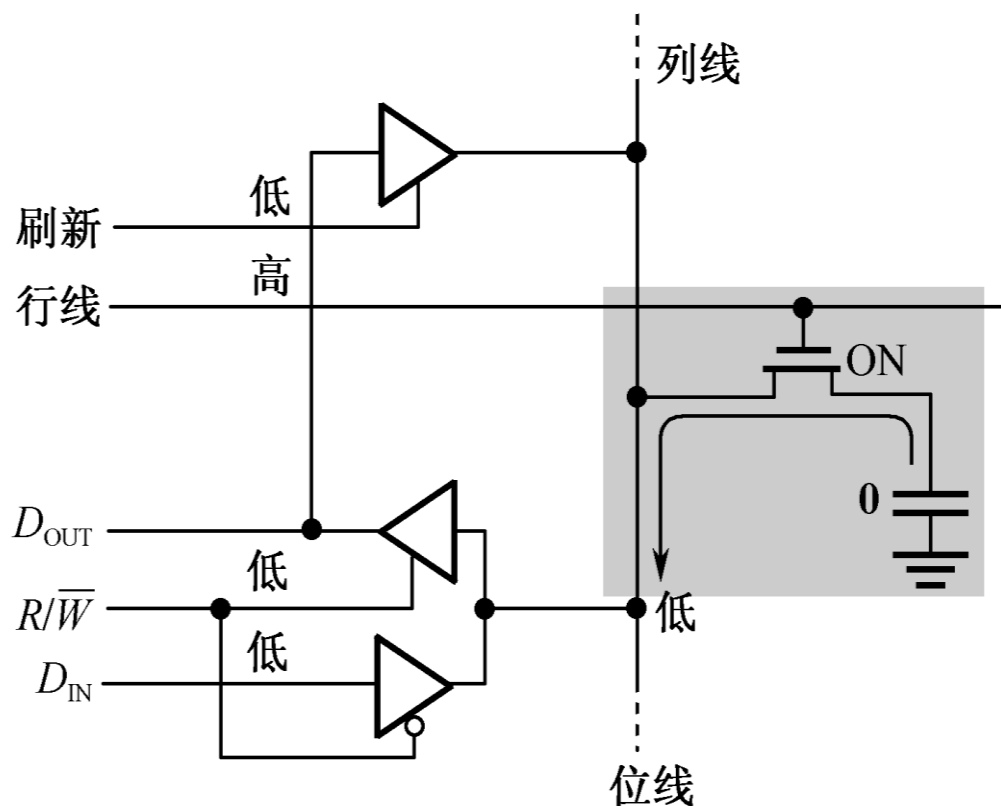


写1到存储位元

3.3.1 DRAM存储位元的记忆原理

3、写0到存储位元

- 输出缓冲器和刷新缓冲器关闭
- 输入缓冲器打开，输入数据 $D_{IN}=0$ 送到存储元位线上
- 行选线为高，打开MOS管，于是电容上的电荷通过MOS管和位线放电，表示存储了0



写0到存储位元

4、从存储位元读出1

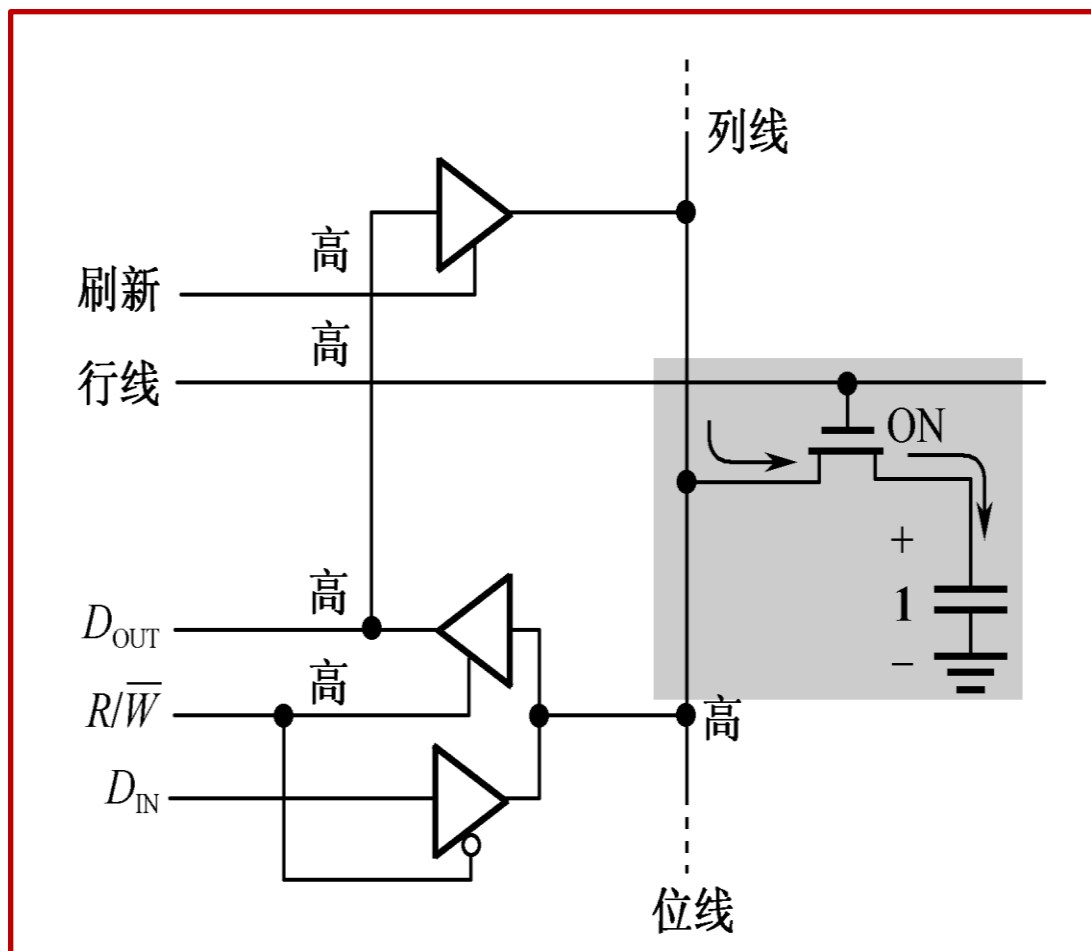
-

从存储位元读出1

3.3.1 DRAM存储位元的记忆原理

5、刷新存储位元的1

- 由于读出1是破坏性读出，必须恢复存储位元中原存的1
- 输入缓冲器关闭，刷新缓冲器打开，输出缓冲器/读放打开
- $D_{OUT}=1$ 经刷新缓冲器送到位线上，再经MOS管写到电容上

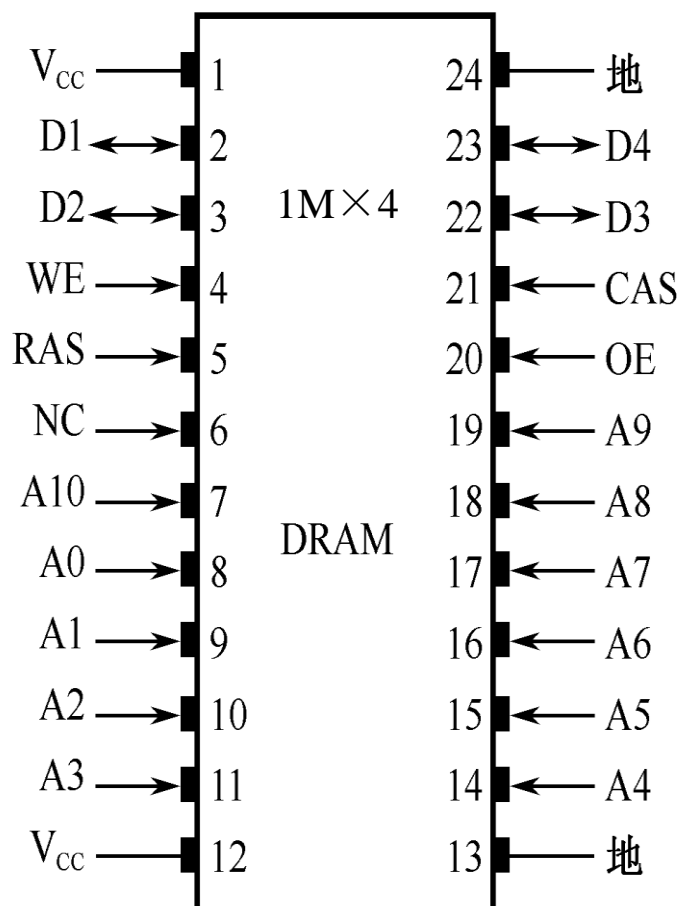


刷新存储位元的1

- 注意，输入缓冲器与输出缓冲器总是互锁的。这是因为读操作和写操作是互斥的，不会同时发生

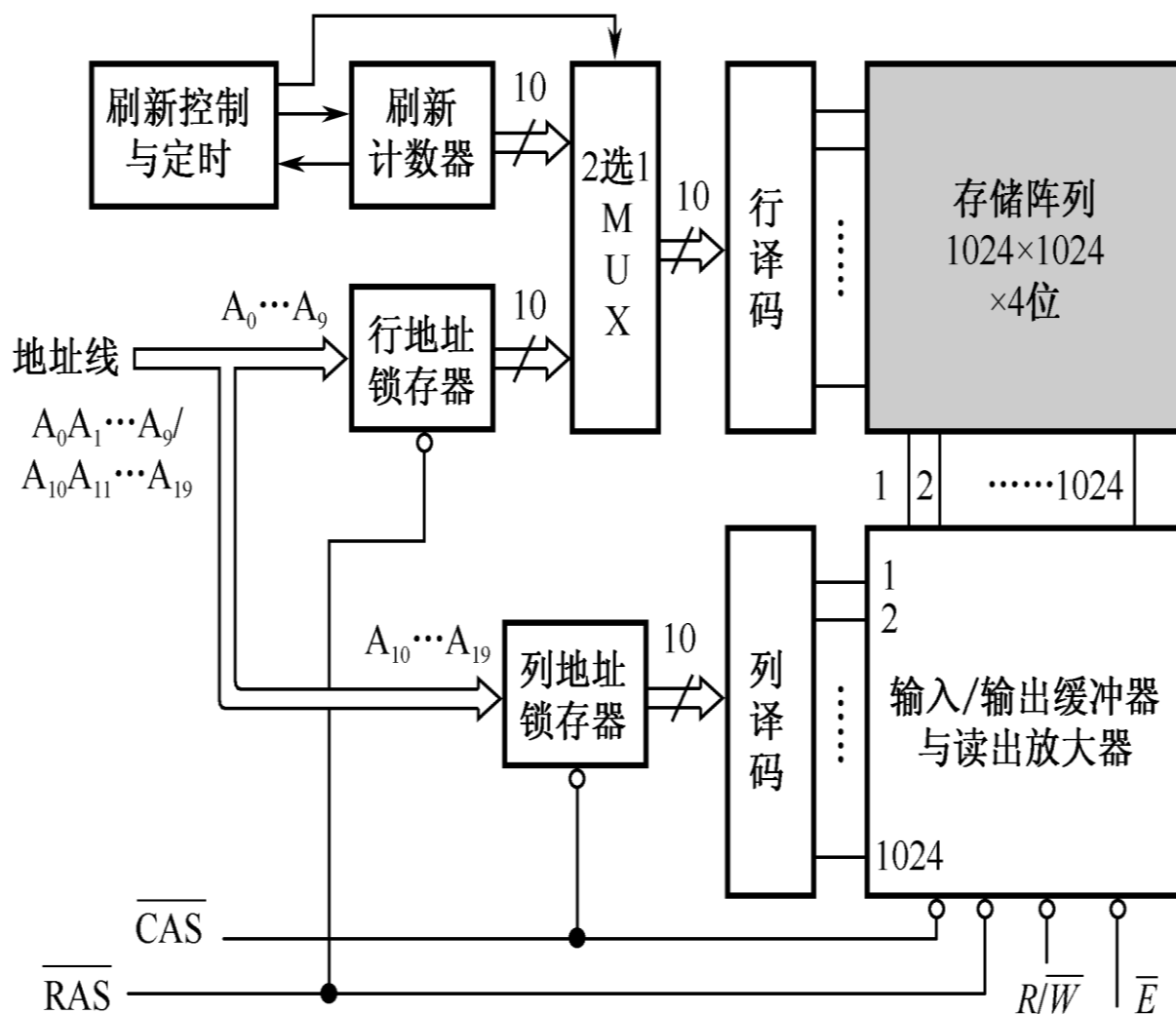
3.3.2 DRAM芯片的逻辑结构

- 1M×4位DRAM芯片的管脚图，其中有两个电源脚、两个地线脚，为了对称，还有一个空脚（NC）



3.3.2 DRAM芯片的逻辑结构

■ 该芯片的逻辑结构图

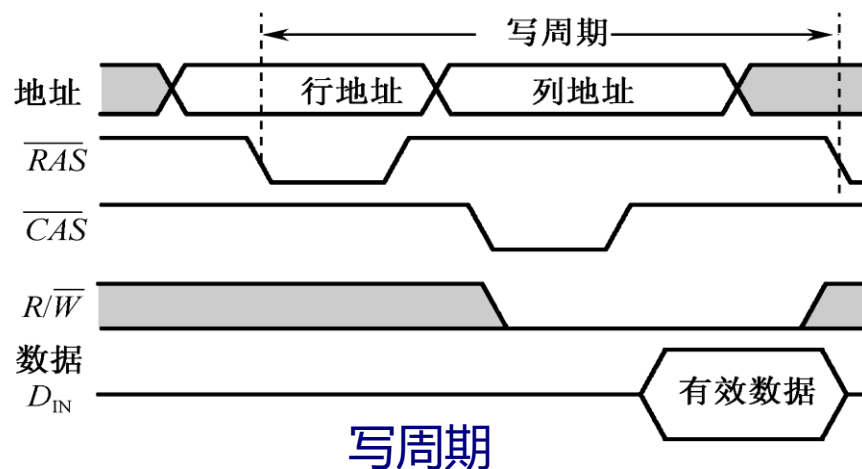
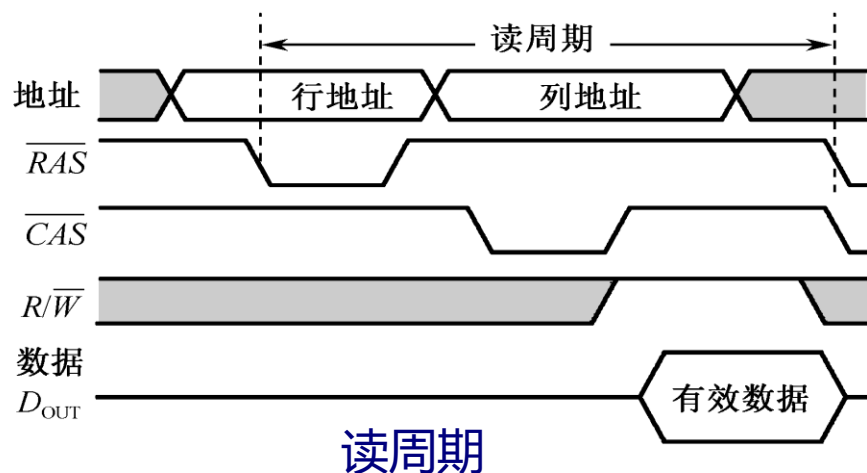


3.3.2 DRAM芯片的逻辑结构

- 与SRAM不同的是：
- 增加了行地址锁存器和列地址锁存器
 - 由于DRAM存储器容量很大，地址线宽度相应要增加，这势必增加芯片地址线的管脚数目。为避免这种情况，采取的办法是分时传送地址码。若地址总线宽度为10位，先传送地址码A0~A9，由行选通信号RAS打入到行地址锁存器；然后传送地址码A10~A19，由列选通信号CAS打入到列地址锁存器。芯片内部两部分合起来，地址线宽度达20位，存储容量为1M×4位
- 增加了刷新计数器和相应的控制电路
 - DRAM读出后必须刷新，而未读写的存储元也要定期刷新，而且要按行刷新，所以刷新计数器的长度等于行地址锁存器。刷新操作与读/写操作是交替进行的，所以通过2选1多路开关来提供刷新行地址或正常读/写的行地址

3.3.3 读/写周期

- 读周期、写周期的定义是从行选通信号RAS下降沿开始，到下一个RAS信号的下降沿为止的时间，也就是连续两个读周期的时间间隔
- 通常为控制方便，读周期和写周期时间相等。

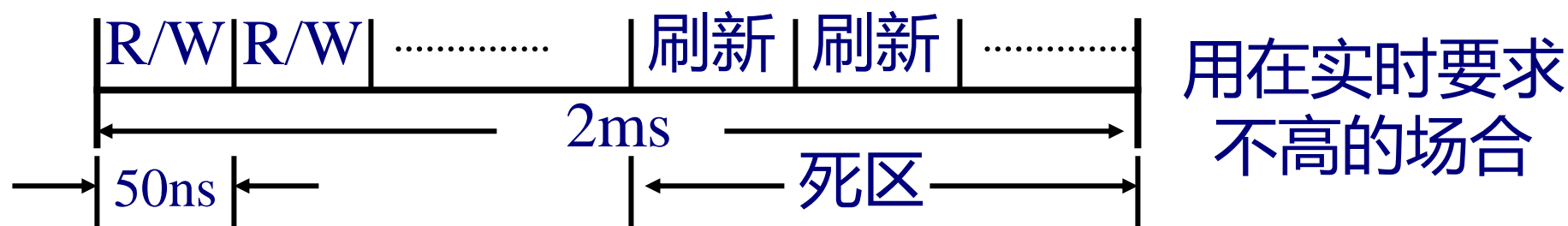


3.3.4 DRAM的刷新

- 动态MOS存储器采用“读出”方式进行刷新
- 从上一次对整个存储器刷新结束到下一次对整个存储器全部刷新一遍为止，这一段时间间隔叫刷新周期
- 常用的刷新方式有三种：
 - 集中式：在整个刷新间隔内，前一段时间重复进行读/写周期或维持周期，等到需要进行刷新操作时，便暂停读/写或维持周期，而逐行刷新整个存储器，它适用于高速存储器
 - 分散式：把一个存储系统周期 t_c 分为两半，周期前半段时间 t_m 用来读/写操作或维持信息，周期后半段时间 t_r 作为刷新操作时间。
 - 异步式：是前两种方式的结合，即对每一行在刷新周期之内相隔平均间隔刷新一次

3.3.4 DRAM的刷新

- 例如：某块DRAM芯片共128行，刷新周期为2ms
- 集中刷新：2ms内集中安排所有刷新周期



- 优点：结构简单，实现简单
- 缺点：存在死区时间，CPU在这段时间内无法进行大部分的工作

3.3.4 DRAM的刷新

- 分散刷新：各刷新周期分散安排在存取周期中



用在低速系
统中

- 优点：无死区，不会导致CPU的空转
- 缺点：存储周期翻倍，CPU效率降低，且由于刷新时间间隔内会多次的对电容进行刷新，造成硬件磨损

3.3.4 DRAM的刷新

- 异步刷新：各刷新周期分散安排在2ms内，每隔一段时间刷新一行
- 优点：不会过度刷新且没有死区

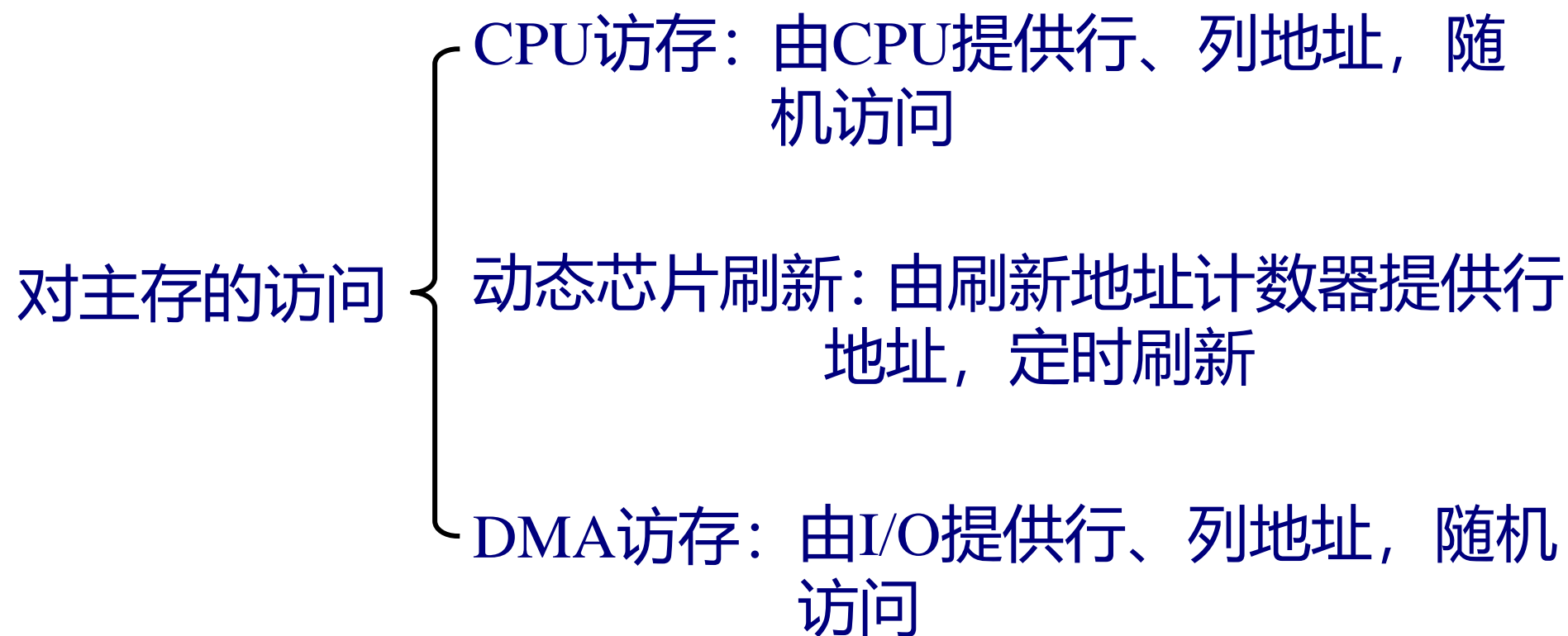
$$\frac{2\text{ms}}{128\text{行}} \approx 15.6 \text{ 微秒}$$

每隔15.6微秒提一次刷新请求，刷新一行；2毫秒内刷新完所有行



用在大多数计算机中

3.3.4 DRAM的刷新



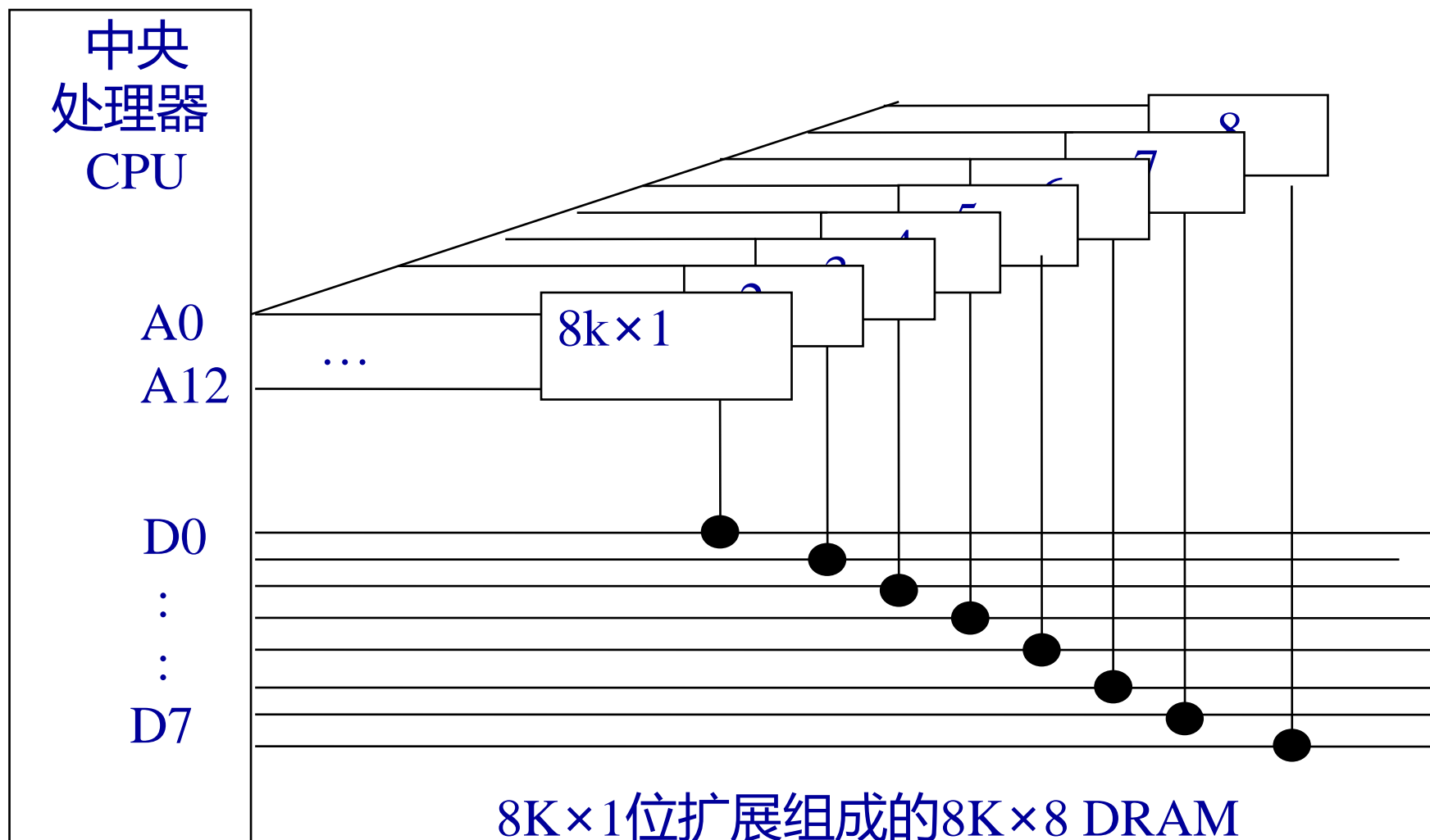


3.3.5 存储器容量的扩充

- 存储器与CPU连接
- CPU对存储器进行读/写操作，首先由地址总线给出地址信号，然后要对存储器发出读操作或写操作的控制信号，最后在数据总线上进行信息交流。所以，存储器与CPU之间，要完成：
 - ① 地址线的连接；
 - ② 数据线的连接；
 - ③ 控制线的连接。
- 存储器芯片的容量是有限的，为了满足实际存储器的容量要求，需要对存储器进行扩展：位扩展法、字扩展法、字位同时扩展法

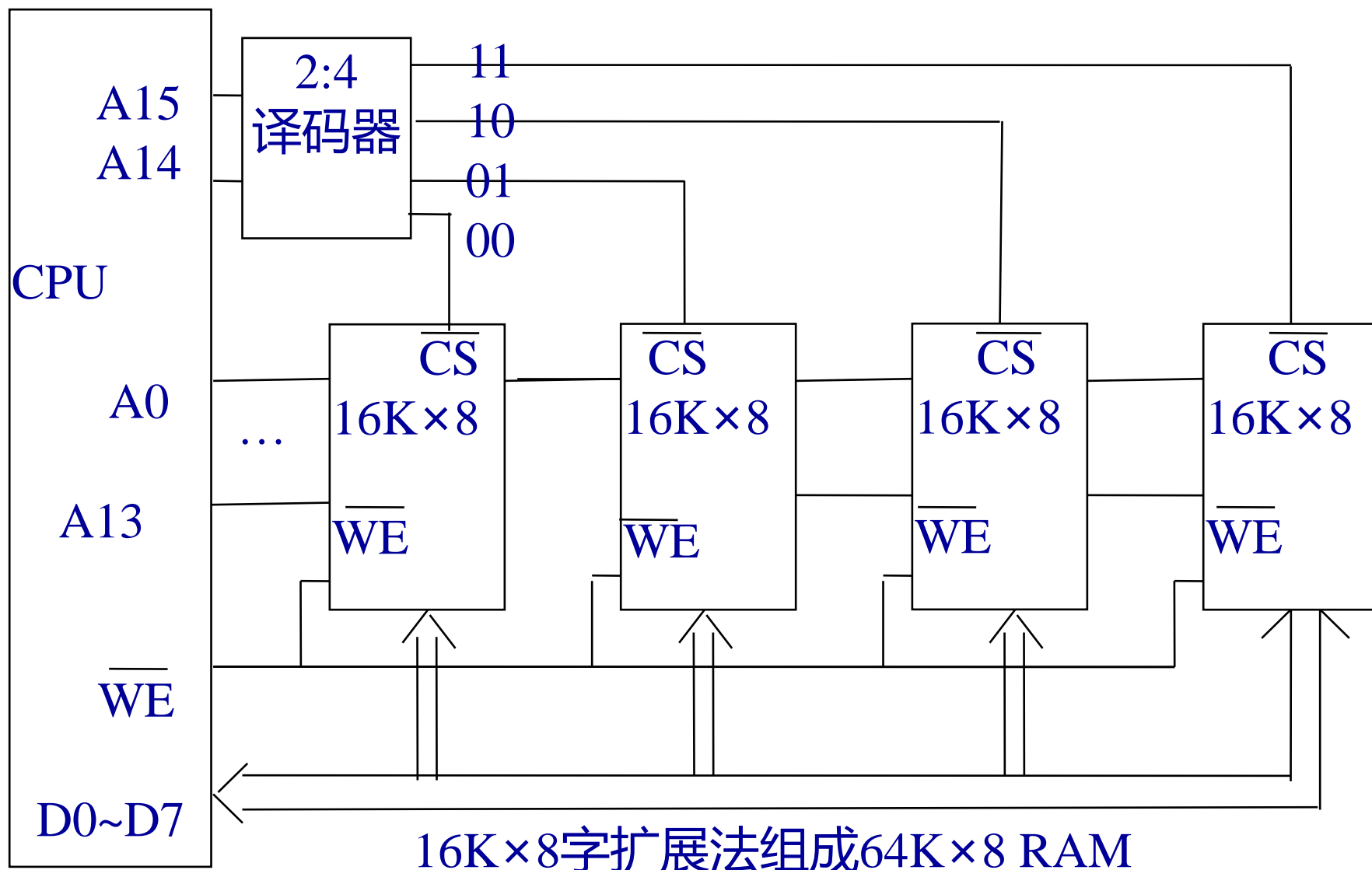
3.3.5 存储器容量的扩充

- 位扩展法：只加长每个存储单元的字长，而不增加存储单元的数量



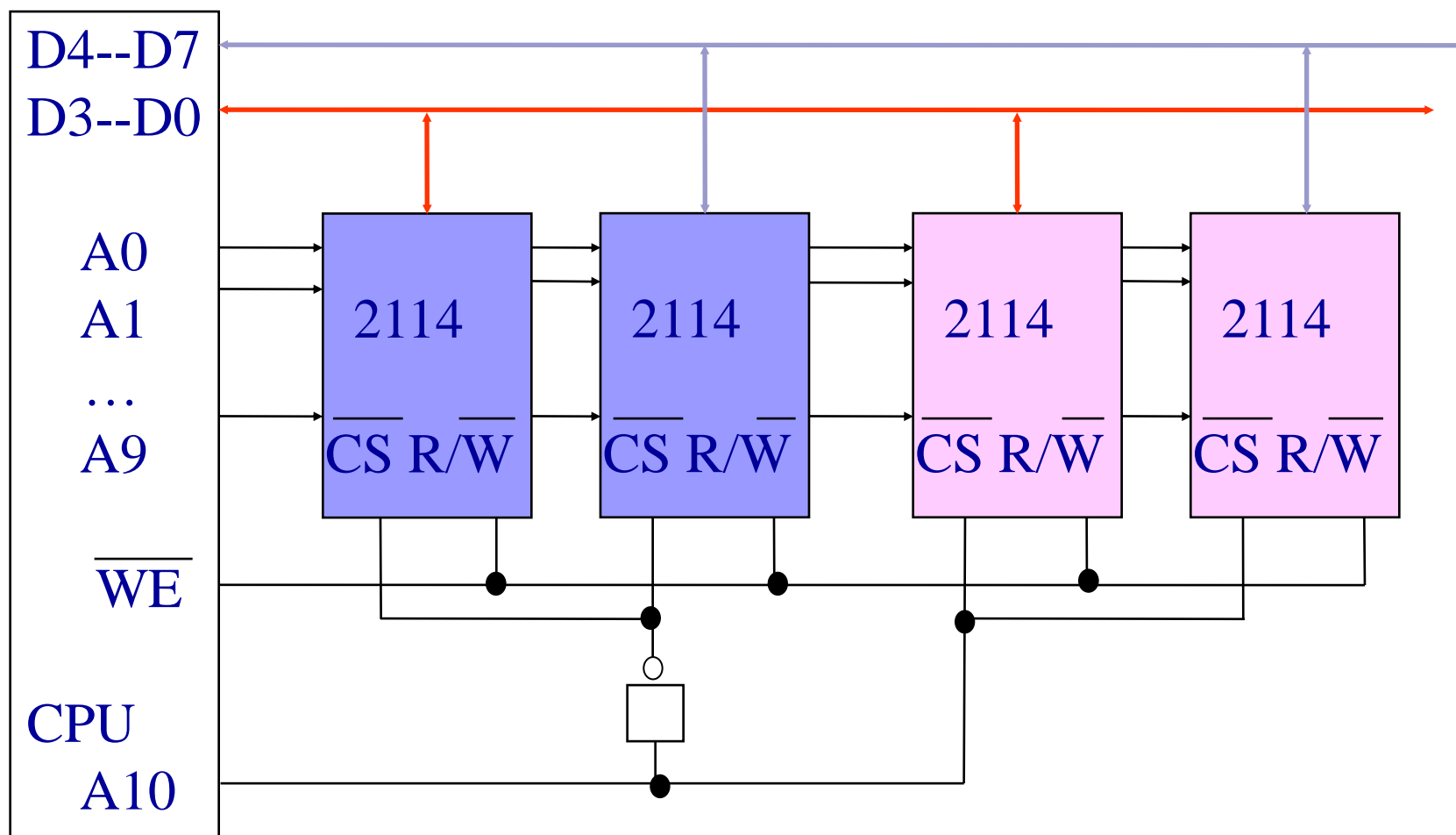
3.3.5 存储器容量的扩充

- 字扩展法：仅增加存储单元的数量，各单元字的位数不变



3.3.5 存储器容量的扩充

- 字位同时扩展法：既增加存储单元的数量，也加长各单元的位数



字位同时扩展：2114存储芯片1K×4扩展成2K×8存储器

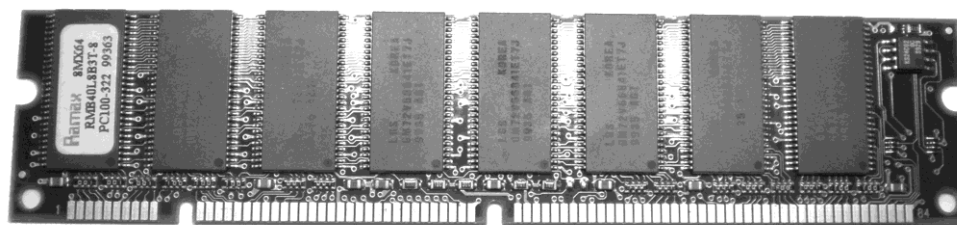
3.3.5 存储器容量的扩充

- 存储器系统的存储容量： $M \times N$ 位
- 使用芯片的存储容量： $L \times K$ 位($L \leq M$, $K \leq N$)
- 需要存储器芯片个数： $(M \times N) / (L \times K)$

- [例]：利用 $2K \times 4$ 位的存储芯片，组成 $16K \times 8$ 位的存储器，共需要多少块芯片？
[解]： $(16K \times 8) / (2K \times 4) = 8 \times 2 = 16$
即：共需16块芯片。(既需要位扩展，又需要字扩展)
- [又例]：利用 $1K \times 4$ 位的存储芯片，组成 $2K \times 8$ 位的存储器，共需要芯片数：
[解]： $(2K \times 8) / (1K \times 4) = 2 \times 2 = 4$

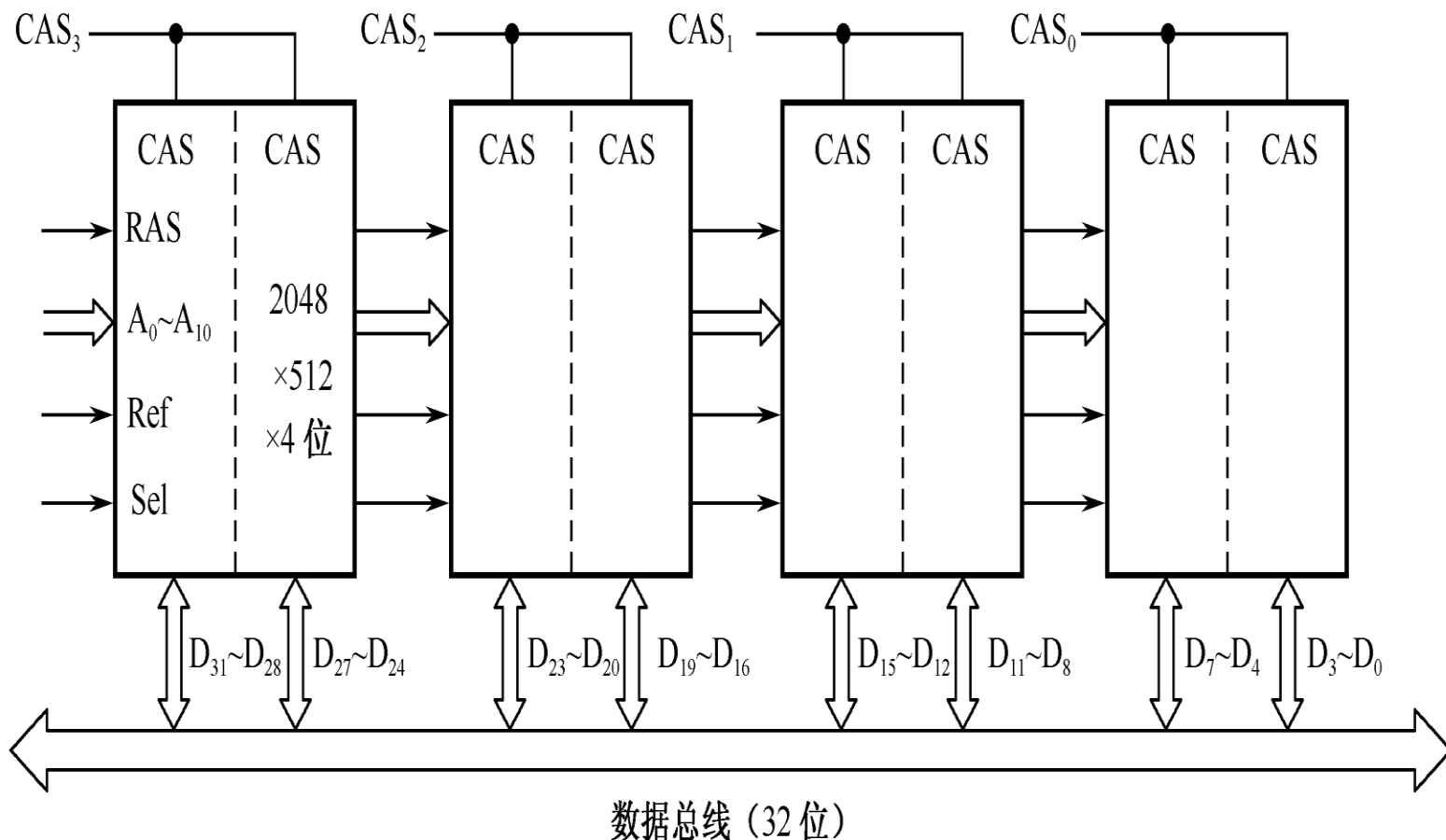
3.3.5 存储器容量的扩充

- 存储器模块条
- 存储器通常以插槽用模块条形式供应市场。这种模块条常称为内存条，它们是在一个条状形的小印制电路板上，用一定数量的存储器芯片，组成一个存储容量固定的存储模块
- 内存条有30脚、72脚、100脚、144脚、168脚等多种形式。
 - 30脚内存条设计成8位数据线，存储容量从256KB ~ 32MB
 - 72脚内存条设计成32位数据总线
 - 100脚以上内存条既用于32位数据总线又用于64位数据总线，存储容量从4MB ~ 512MB



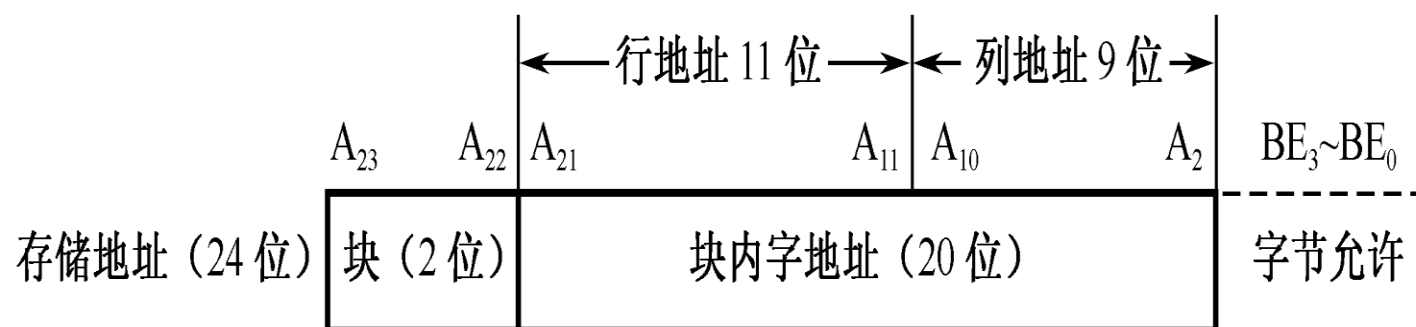
3.3.5 存储器容量的扩充

- DRAM内存条组成实例：一片DRAM的容量为1M×4位，8片这样的芯片可组成1M×32位4MB的存储模块，其组成如下图所示



3.3.5 存储器容量的扩充

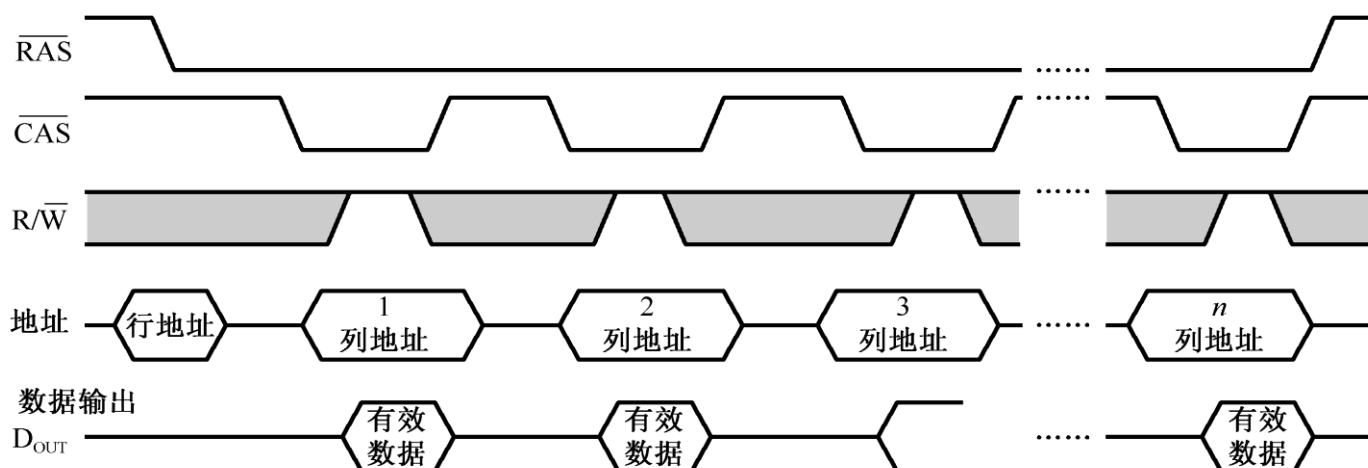
- 其地址格式如下图所示



3.3.6 高级的DRAM结构

■ FPM DRAM: 快速页模式动态存储器

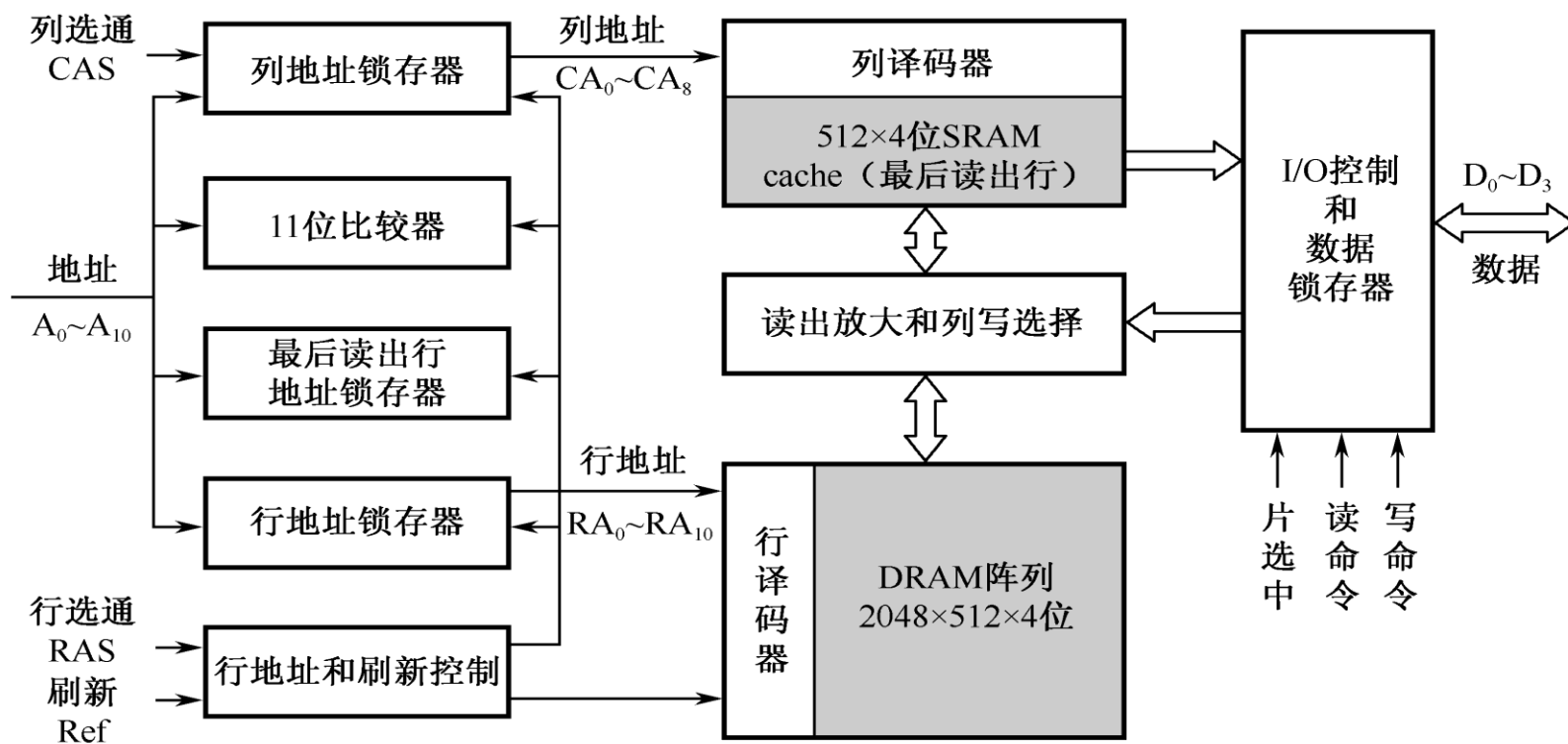
- 它是根据程序的局部性原理来实现的。读周期和写周期中，为了寻找一个确定的存储单元地址，首先由低电平的行选通信号RAS确定行地址，然后由低电平的列选信号CAS确定列地址。下一次寻找操作，也是由RAS选定行地址，CAS选定列地址，依此类推，如下图所示



3.3.6 高级的DRAM结构

■ CDRAM: 带高速缓冲存储器 (cache) 的动态存储器

- 它是在通常的DRAM芯片内又集成了一个容量的SRAM, 从而使DRAM芯片的性能得到显著改进。如图所示出1M×4位CDRAM芯片的结构框图, 其中SRAM为512×4位



3.3.6 高级的DRAM结构

- CDRAM的结构带来另外两个优点：
 - 在SRAM读出期间可同时对DRAM阵列进行刷新；
 - 芯片内的数据输出路径（由SRAM到I/O）与数据输入路径（由I/O到列写选择和读出放大器）是分开的，允许在写操作完成的同时来启动同一行的读操作

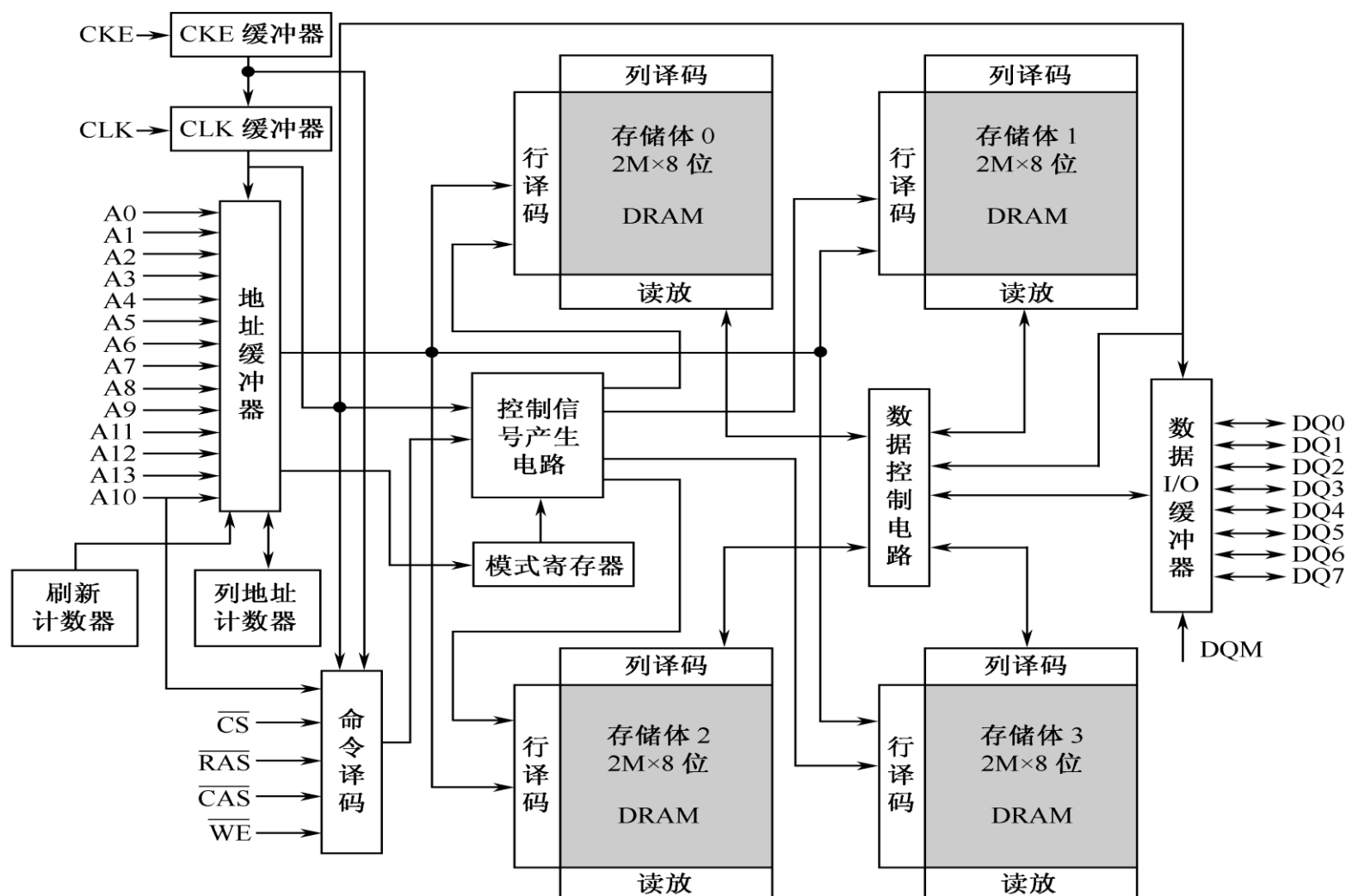
3.3.6 高级的DRAM结构

■ SDRAM: 同步型动态存储器

- 计算机系统CPU使用的是系统时钟，SDRAM的操作要求与系统时钟相同步，在系统时钟的控制下从CPU获得地址、数据和控制信息。换句话说，它与CPU的数据交换同步于外部的系统时钟信号，并且以CPU/存储器总线的最高速度运行，而不需要插入等待状态

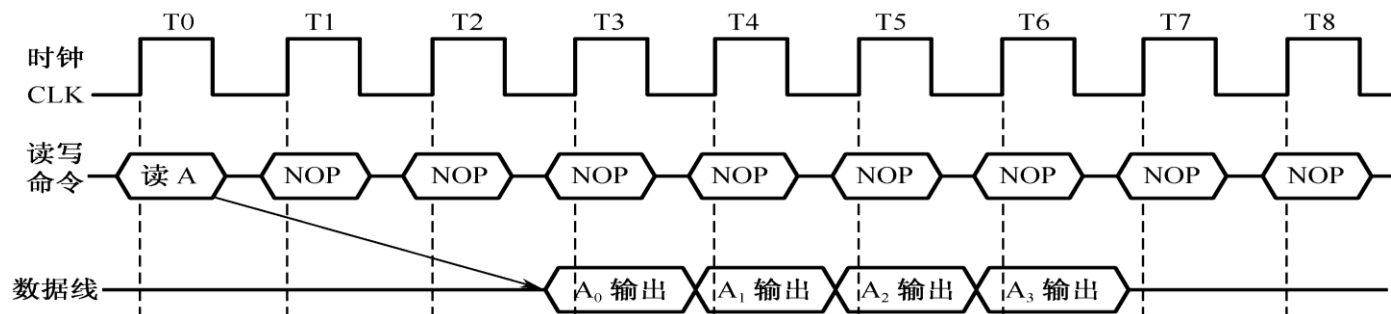
3.3.6 高级的DRAM结构

■ SDRAM内部结构



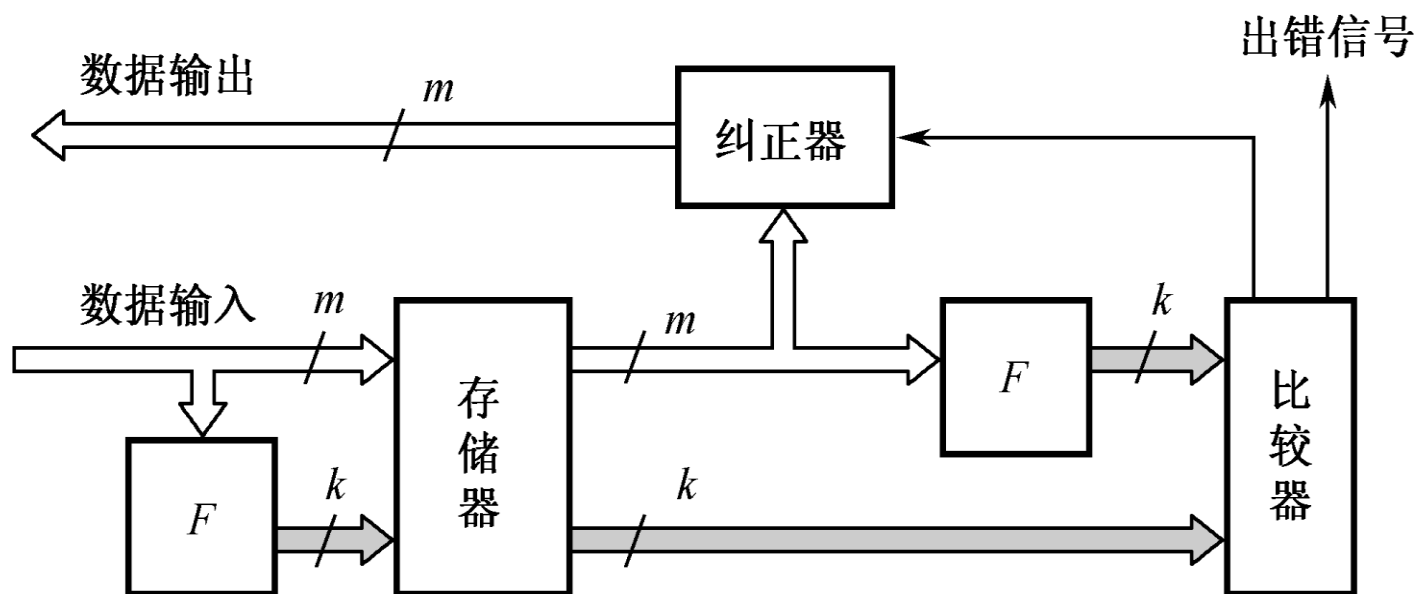
3.3.6 高级的DRAM结构

■ SDRAM读操作时序图 (猝发长度=4, $\overline{\text{CAS}}$ 延时=2)



3.3.7 DRAM主存读/写的正确性校验

- DRAM通常用做主存储器，其读写操作的正确性与可靠性至关重要。为此除了正常的数据位宽度，还增加了附加位，用于读/写操作正确性校验
- 增加的附加位也要同数据位一起写入DRAM中保存
- 其原理如图所示



DRAM与SRAM的比较

■ 结构上

- SRAM存储一位通常需要花6个晶体管，而DRAM只需要花一个电容和一个晶体管
- Cache追求的是速度所以选择SRAM，而内存则追求容量所以选择能够在相同空间中存放更多内容并且造价相对低廉的DRAM

■ 集成功耗

- SRAM集成度较低，功耗较大
- DRAM集成度较高，功耗也较低

DRAM与SRAM的比较

■ 工作特点

- SRAM中的存储单元相当于一个锁存器，只有0，1两个稳态；只要电源不撤除，写入SRAM的信息就不会消失，不需要刷新电路，同时在读出时不破坏原来存放的信息，一经写入可多次读出
- DRAM则是利用电容存储电荷来保存0和1两种状态，因此需要定时对其进行刷新，否则随着时间的推移，电容中存储的电荷将逐渐消失