

AN2586**操作说明书****STM32F10xxx 硬件开发 : 使用入门****介绍**

这份应用笔记是为了为系统设计者提供的，他们需要概览开发板的硬件实现特性，如电源提供，时钟管理，重置控制，启动模式的设置和和调试管理。该文档演示了 STM32F10xxx 系列产品的使用方法，并描述了应用 STM32F10xxx 开发所需要的最小硬件资源。

详细的参考设计图也包含在这篇文档里,包括主要组件、接口、模式的描述。

AN2586	1
操作说明书.....	1
STM32F10xxx硬件开发 : 使用入门	1
1 电源供应.....	4
1.1 简介.....	4
1.1.1 独立A/D转换器供应以及参考电压.....	4
1.1.2 备用电池.....	5
1.2 电压调节器	5
1.3 电源供给方案	6
1.4 重置及电源管理.....	7
1.4.1 上电复位 (POR) / 掉电复位 (PDR)	7
1.4.2 可编程电压探测器 (PVD)	8
1.4.3 系统重置.....	9
2 时钟	10
2.1 HSE OSC 时钟.....	11
2.2 外部源 (HSE bypass)	12
2.3 外部晶体 / 陶瓷共鸣器 (HSE晶体)	12
2.4 LSE OSC时钟	13
2.4.1 外部源 (LSE bypass)	13
2.4.2 外部晶体 / 陶瓷共鸣器 (LSE晶体)	14
2.5 时钟输出能力	14
2.6 时钟安全系统 (CSS)	14

3	启动配置	15
3.1	启动模式选择	15
3.2	启动引脚连接	16
3.3	嵌入式启动加载模式	17
4	调试管理	17
4.1	简介	17
4.2	SWJ调试端口 (串行线和JTAG)	18
4.3	引脚输出和调试端口引脚	18
4.4	SWJ调试端口引脚	18
4.5	灵活的SWJ-DP引脚分配	19
4.6	JTAG引脚的内部上拉和下拉电阻	20
4.7	与标准JTAG连接器的相连的SWJ调试端口	21
5	参考设计	22
5.1	主要的	22
5.2	时钟	22
5.3	重置	23
5.4	引导模式	23
5.5	SWJ接口	23
5.6	电源供给	23
6	修订记录	26
7	版权声明 :	27

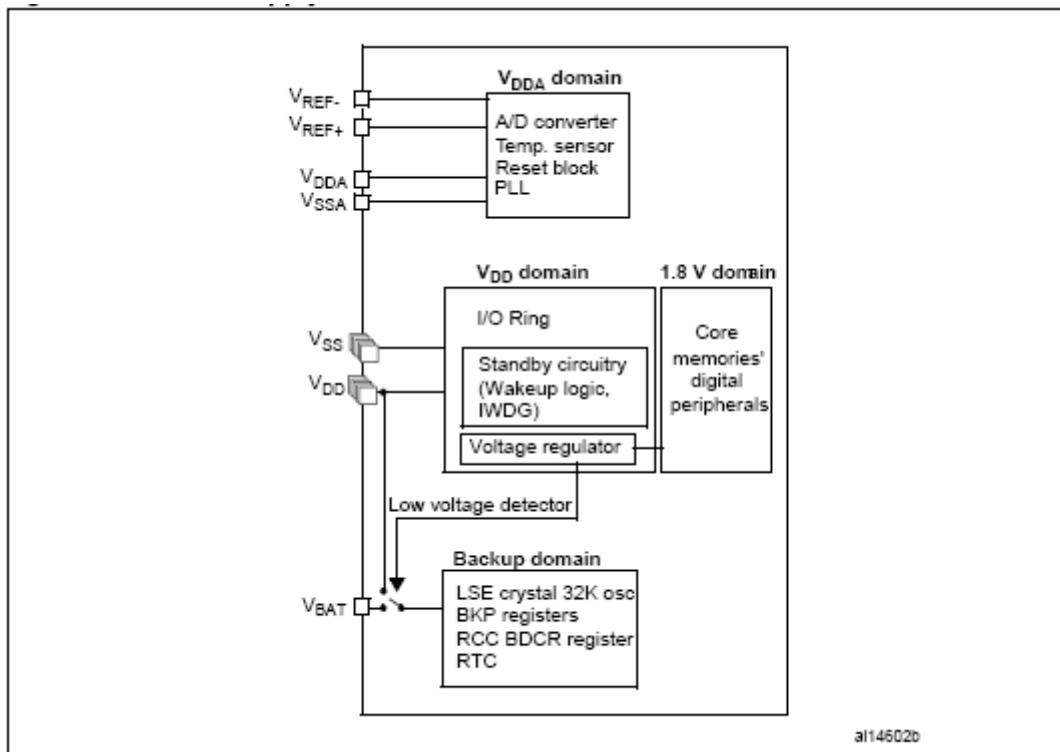
1 电源供应

1.1 简介

该设备要求 2.0V 到 3.6V 的操作电压 (VDD). 一个嵌入式的调整器被用于提供内部的 1.8V 的数字电源。

当 VDD 关闭时，实时时钟 (RTC) 和备用寄存器可以从 VBAT 电压获得能量.

图 1 电源供应概览



1.1.1 独立 A/D 转换器供应以及参考电压

为提高转换精度，ADC 有一个独立的电源供应，它可以被单独过滤，且不受 PCB 噪音的干扰。

一个单独的 VDDA 引脚上的 ADC 电压输入是可用的

VSSA 引脚提供一个被隔离的接地输入

当 VREF- 可用(取决于包)时 , 它必须被绑定到 VSSA..

100 引脚的封装

为了保证更好的低电压输入精度 , 用户可以连接一个单独的外部参考电压 ADC 输入到 VREF+ 。

VREF+ 的电压范围为 2.0V 到 VDDA.

64 个及更少引脚的封装

VREF+ 和 VREF- 是不可用的 , 它们在内部被连接到一个 ADC 电压提供源 (VDDA) 并接地 (VSSA)

1.1.2 备用电池

VDD 关闭时为了要得到备用寄存器的内容 , VBAT 引脚需要连接到一个靠电池或其他来源提供的可选择的 standby 电压(an optional standby voltage)。

VBAT 引脚也给 RTC 单元供电 , 允许 RTC 在主数字电压 (VDD) 关闭时正常运行。 VBAT 的开关由嵌入到重置模块的 PDR(Power Down Reset) 电路控制。

如果应用中没有外部电池 , VBAT 必须在外部被连接到 VDD.

1.2 电压调节器

电压调节器永远在重置后被使能。它可以在三种模式下工作 , 选择哪种模式取决于应用的模式。

©2007 MXCHIP Corporation. All rights reserved.

www.mxchip.com 021-52655026/025

在运行模式下，调节器提供 1.8V 的全电压（内核，存储器以及数字外围部件）

在停止模式下，调节器提供 1.8V 的低电压来保护寄存器和 SRAM 的内容

在 standby 模式下，调节器关闭。寄存器和 SRAM 的内容将丢失，除非有 standby 电路(the Standby circuitry)和备用域。

1.3 电源供给方案

这个电路由一个稳定的电源供能: VDD.

注意：

如果 ADC 被使用，VDD 的范围必须被控制在 2.4V 到 3.6V 之间

如果 ADC 没有被使用，VDD 的范围为 2V 到 3.6V

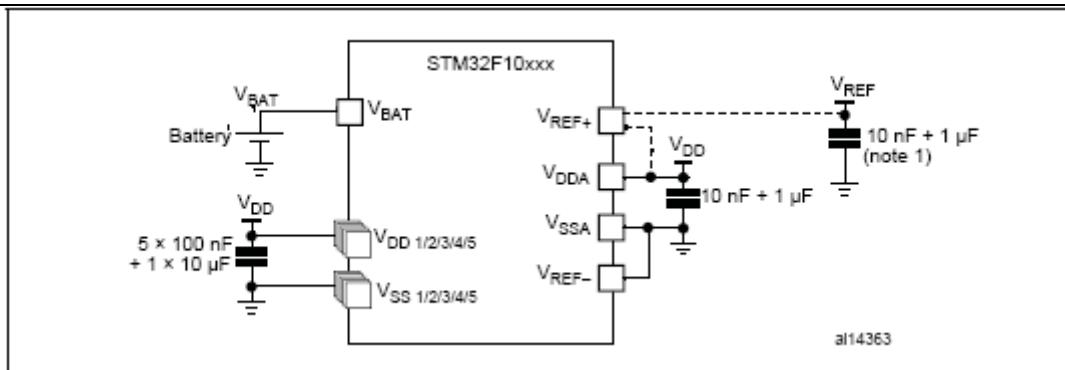
VDD 引脚必须连接带外部稳定电容器(五个 100nF 的陶瓷电容器和一个钽制电容器(min. 4.7 uF typ. 10uF)) 的 VDD 电压

VBAT 引脚必须被连接到外部电池 (1.8V < VBAT < 3.6V)，如果没有外部电池，这个引脚必须被连接到带 100nF 陶瓷电容器的 VDD 电压上

VDDA 引脚必须被连接到两个外部稳定电容器 (10nF 陶瓷电容器+1uF 钽制电容器)

VREF+ 引脚可以被连接到 VDDA 外部电源。如果一个单独的外部参考电压提供给 VREF+，两个 10nF 和一个 1uF 的电容器必须被连接到这个引脚上。在所有情况下，VREF+ 必须被保持在 2.0V 到 VDDA 之间

图 2 电源供给方案



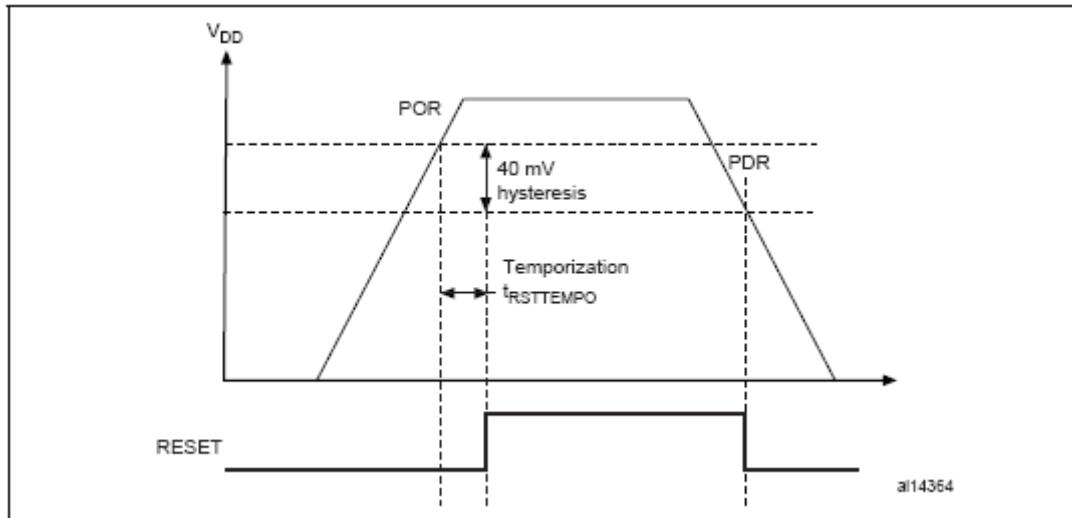
可选。如果一个单独的外部参考电压被连接到 VREF+，两个电容器（10nF 和 1uF）必须被连接
VREF+ 被连接到 VDDA 或 VREF-

1.4 重置及电源管理

1.4.1 上电复位 (POR) / 掉电复位 (PDR)

该设备有一个完整的 POR/PDR 电路，它允许 2V 电压以上的适当操作
只要 VDD 低于特定的阈值--VPOR/PDR, 该设备将一直处于复位模式，而不需要外部重置电路。
更多有关 POR 和 PDR 阈值的细节请参考 STM32F101xx 和 STM32F103xx datasheet 的电气性能部
分

图 3 POR / PDR 波形



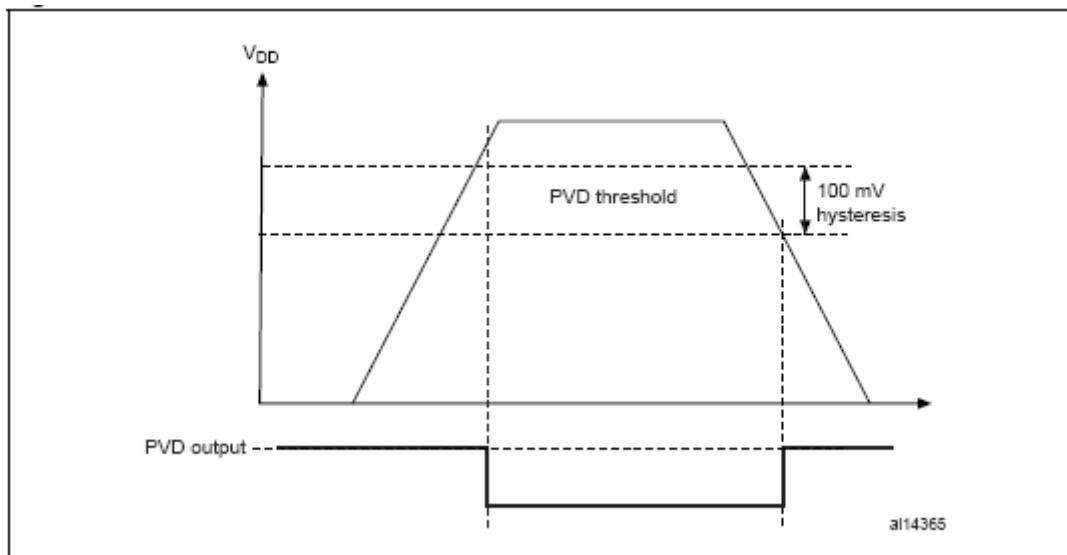
1.4.2 可编程电压探测器 (PVD)

你可以使用 PVD 来监控电源 VDD: 将 VDD 与被电源控制寄存器 (PWR_CR) 中的 PLS[2 : 0]位选定的阈值做比较。

通过设置 PVDE 位来使能 PVD。

若电源控制 / 状态寄存器 (PWR_CSR) 中的 PVDO 标志用来指示 VDD 是高于还是低于 PVD 阈值。该事件是内部连接到 EXTI Line16 的,若通过 EXTI 寄存器使能了中断,还将产生一个中断。当 VDD 低于 PVD 阈值且/或当 VDD 高于 PVD 阈值 (依 EXTI Line16 上升/下降沿的配置情况) 时产生该 PVD 输出中断。它在实际中可用作紧急关闭的任务。

图 4 PVD 阀值



1.4.3 系统重置

一个系统重置设置所有寄存器为它们的重置值，除了时钟控制器的重置标志 CSR 寄存器和备用域的寄存器（见图 1）。

当下列事件有一个发生都将产生系统复位：

NRST 引脚上出现低电平（外部复位）

窗口看门狗计数终止条件（WWDG 复位）

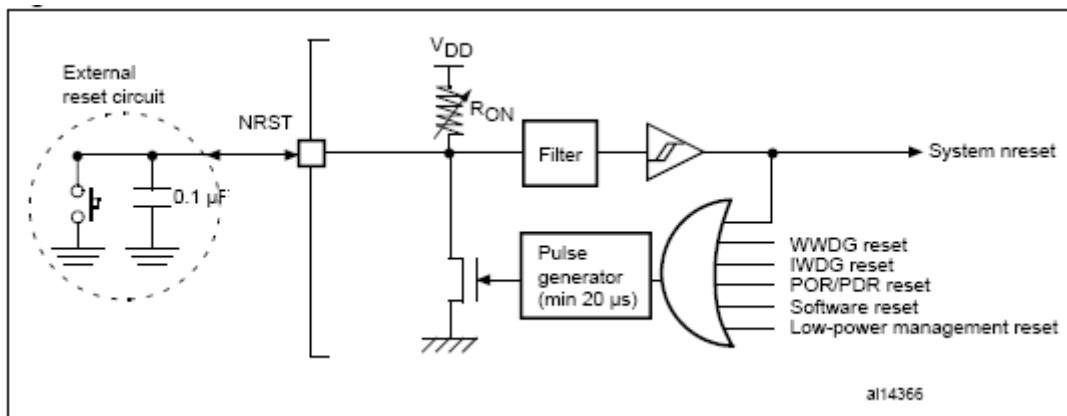
独立看门狗计数中止条件（IWDG 复位）

软件重置（SW 复位）

低电源管理复位

可通过观察控制 / 状态寄存器（RCC_CSR）中的复位标志来识别复位源。

图 5 重置电路



2 时钟

三个不同的时钟源可以用来驱动系统时钟 (SYSCLK) :

HIS 晶振时钟 (高速内部时钟信号)

HSE 晶振时钟 (高速外部时钟信号)

PLL 时钟

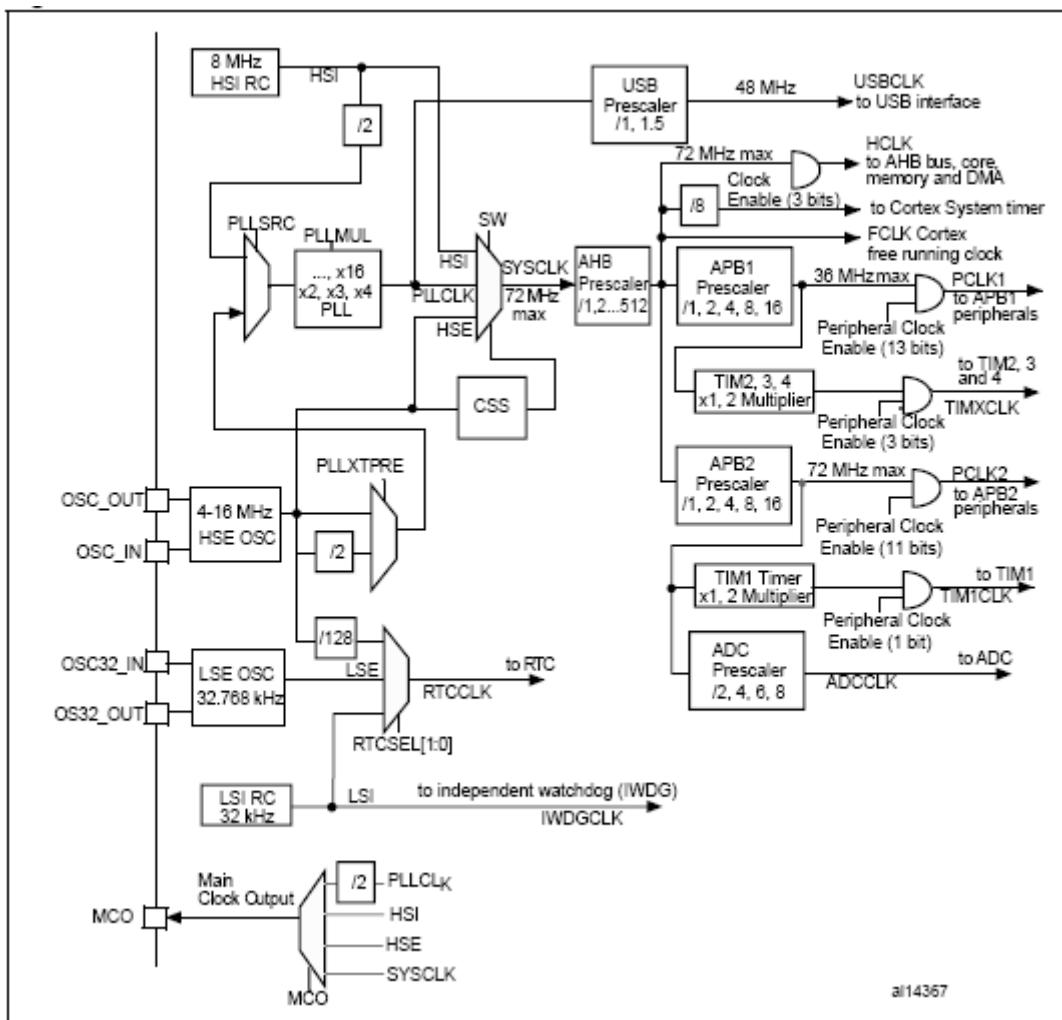
这些设备有两个二级时钟源 :

32kHz 的低速内部 RC (LSI RC), 它可以驱动独立看门狗 , 还可选择它来驱动用于将芯片从停止 / standby 模式下自动唤醒的 RTC 时钟 .

32.768kHz 的低速外部晶振 (LSE 晶振), 可选择它来驱动实时时钟 (RTCCLK)

每个时钟源在不使用时都可以单独被打开或关闭 , 这样就可以优化电源消耗 .

图 6 时钟概况



HSE = 高速外部时钟信号 ; HSI = 高速内部时钟信号 ; LSI = 低速内部时钟信号 ; LSE = 低速外部时钟信号

2.1 HSE OSC 时钟

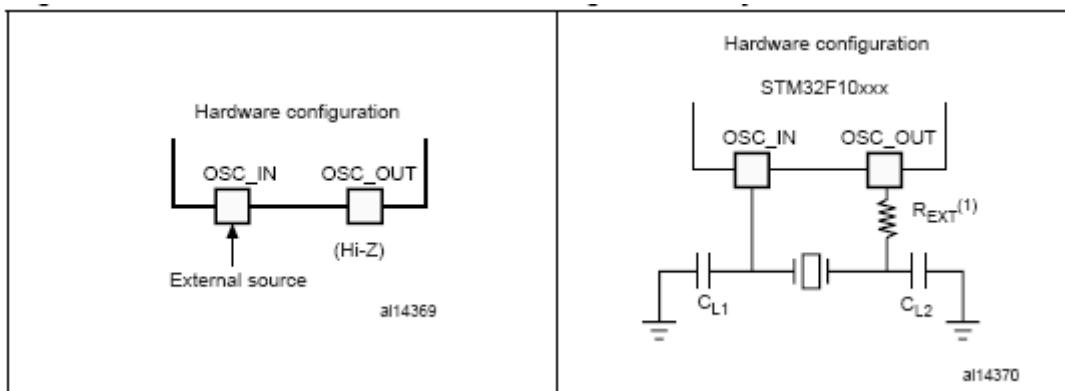
高速外部时钟信号 (HSE) 可以用来从两个可能的时钟源来产生 :

HSE 外部晶体 / 陶瓷 共鸣器 (见图 8)

HSE 用户外部时钟 (见图 7)

图 7 外部时钟

图 8 晶体 / 陶瓷 共鸣器



CL1 和 CL2 为可加载电容

R_{EXT} 的值由晶体特性决定。特定的值的范围在 5 至 6 RS (共鸣器系列阻抗)

2.2 外部源 (HSE bypass)

在这种模式下，必须提供一个外部时钟源。它可以有一个高达 25MHz 的频率。当 OSC_OUT 引脚处于高阻抗状态时，这个占空比为 50% 的外部时钟信号(可以是方波, 正弦波或三角波)必须驱动 OSC_IN 引脚 (见图 8 和图 7)

2.3 外部晶体 / 陶瓷共鸣器 (HSE 晶体)

这个 4 至 16MHz 的外部晶振的优点在于能产生非常精确的主时钟。图 8 显示了它需要的相关硬件配置。

共鸣器和加载电容需要被尽可能近地连接到晶振引脚，这样就能使输出失真和启动稳定时间减到最小。加载电容值必须根据选定的晶振进行调节。

对于 CL1 和 CL2，我们推荐使用高质量的范围在 5pF 到 25pF (typ.) 的陶瓷电容器，它们用于需要高频率的场合，并且可以满足晶体或共鸣器的需求。CL1 和 CL2 通常具有相同的值。晶体制造商通常确定一个电容值，该值为 CL1 和 CL2 的组合。当测量 CL1 和 CL2 (10pF 可作为组合引脚和板电容的

粗略估计) 时 , PCB 和 MCU 引脚的电容值也必须被计算进去。

更多细节请参考 STM32F101xx 和 STM32F103xx datasheet 的电气特性部分

2.4 LSE OSC时钟

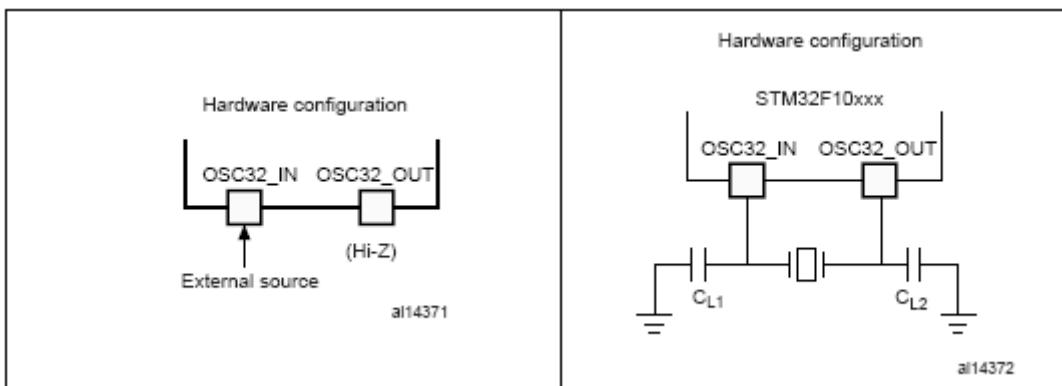
低速外部时钟源 (LSE) 可以由两个可能的时钟源来产生 :

LSE 外部晶体 / 陶瓷共鸣器 (见图 10)

LSE 用户外部时钟 (见图 9)

图 9 外部时钟

图 10 晶体 / 陶瓷 resonator



2.4.1 外部源 (LSE bypass)

在这种模式下 必须提供一个外部时钟源。它可以有一个达到 32.768kHz 的频率。当 OSC32_OUT 引脚处于高阻抗状态时,这个占空比为 50% 的外部时钟信号(可以是方波, 正弦波或三角波)必须驱动 OSC32_IN 引脚。 (见图 10 和图 9)

2.4.2 外部晶体 / 陶瓷共鸣器 (LSE 晶体)

这个 LSE 晶体是一个 32.768kHz 的低速外部晶体或陶瓷共鸣器。它的优点在于能为实时时钟部件 (RTC) 提供一个低速的，但高度精确的时钟源。RTC 可以用于时钟/日历或其它需要计时的场合。共鸣器和加载电容需要被尽可能近地连接到晶振引脚，这样就能使输出失真和启动稳定时间减到最小。加载电容值必须根据选定的晶振进行调节。

2.5 时钟输出能力

时钟输出微控制器 (MCO) 允许时钟值输出到外部 MCO 引脚上。相应的 GPIO 端口的配置寄存器值必须被编程设置为替换功能模式。下面的四个信号中的任何一个都可以用作 MCO 时钟：

SYSCLK

HIS

HSE

PLL 时钟除以 2

2.6 时钟安全系统 (CSS)

时钟安全系统可以靠软件来使能。在这种情况下，时钟探测器在 HSE 晶振启动延迟后被使能，在晶振停止后被禁止。

如果 HSE 晶振时钟上被检测出有错误，那么晶振将自动禁止。一个时钟错误事件被发送到 TIM1 高级控制定时器的打断输入，并将产生一个中断来提示软件发生了这个错误 (时钟安全系统中断 CSSI)，

从而允许 MCU 产生营救操作。CSSI 与 Cortex – M3 NMI(非屏蔽中断)的异常向量相关联。

如果 HSE 被直接或间接用作系统时钟 (间接是指它被用作 PLL 输入时钟 , 而 PLL 时钟被用作系统时钟) , 一个检测到的错误将导致系统时钟切换到 HSI 晶振并且禁止外部 HSE 晶振。如果当错误发生时 , HSE 晶振时钟是用作系统时钟的 PLL 的时钟入口(无论是否被分频) , 那么 PLL 也被禁止。

更多细节请参考 www.st.com 网站上的STMicroelectronics的UM0306 手册。

3 启动配置

3.1 启动模式选择

在 STM32F10xxx 中 , 由 BOOT[1 : 0]引脚决定了三种不同的启动模式 , 见表 1。

表 1 启动模式

BOOT 模式选择引脚		启动模式	别名
BOOT1	BOOT0		
X	0	用户闪存	用户闪存被选作启动区
0	1	系统内存	系统内存被选作启动区
1	1	嵌入式 SRAM	嵌入式 SRAM

			被选作启动区
--	--	--	--------

这些选择的别名表明与每种启动模式的相关的物理存储器。BOOT 引脚的值在重置后 SYSCLK 的第四个上升沿时被锁定。在重置后,由用户决定是如何设置 BOOT1 和 BOOT0 引脚,来选择需要的启动模式。

当退出 standby 模式时 , BOOT 引脚被重采样。结果 , 它们必须在 standby 模式下也保持需要的启动模式的配置。

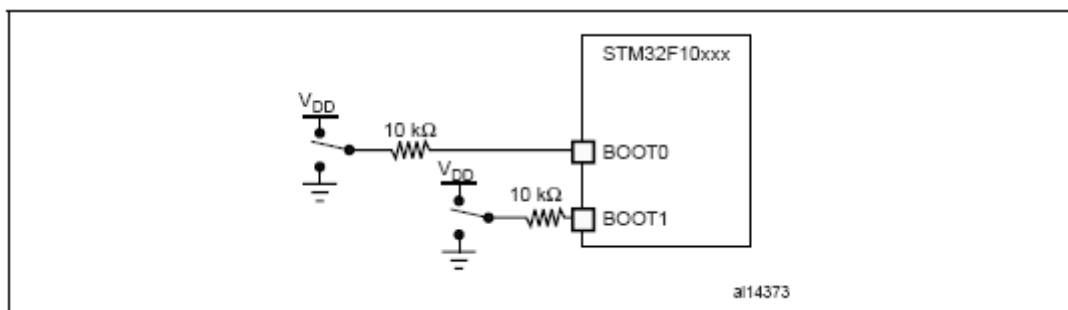
甚至在启动存储器区域被取别名 , 相关的存储器 (闪存或 SRAM) 在它原来的存储器区域也可以被访问。

启动延迟过后 , CPU 从引导存储器中启动代码执行.启动代码位于存储器地址最底部的地址,起始地址是 0x0000_0000。

3.2 启动引脚连接

图 11 显示了 STM32F10xxx 的选择启动存储器时要求的外部连接

图 11 启动模式实现实例



阻抗值只作为典型值给出

3.3 嵌入式启动加载模式

嵌入式启动加载模式被用于使用一个串行接口（通常是 UART）的进行闪存重编程的情形。该程序位于系统内存，生产期间由 ST 编程。

更多细节请参考 www.st.com 网站上的 STMicroelectronics 的 STM32F10xxx 闪存编程手册，PM0042。

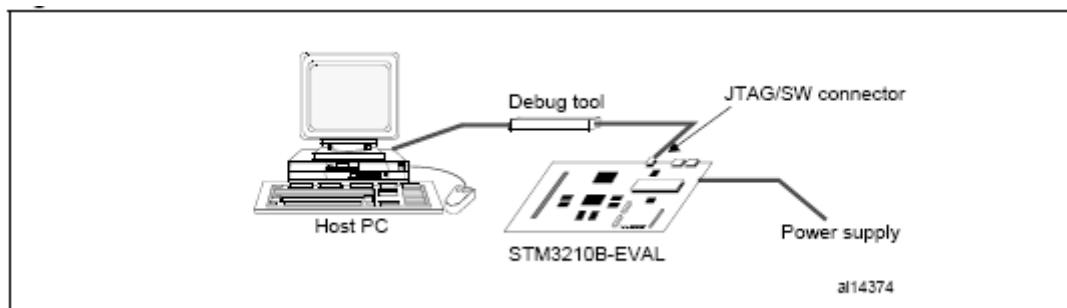
4 调试管理

4.1 简介

主机 / 目标接口是将主机连接到目标板的硬件设备。这个接口由三个部分组成：一个硬件调试工具，一个 JTAG 或 SW 连接器和一根连接主机和调试工具的连线。

图 12 显示了主机和 STM3210B—EVAL 板的连接

图 12 主机与板的连接



4.2 SWJ调试端口 (串行线和JTAG)

STM32F10xxx 的内核集成了串行线 / JTAG 调试接口 (SWJ – DP)。这是一个 ARM® 标准的 CoreSight™ 调试接口，它将 JTAG – DP (5 引脚) 接口和一个 SW – DP (2 引脚) 接口进行了组合。

JTAG 调试接口 (JTAG – DP) 提供了一个连接 AHP – AP 端口的 5 引脚标准 JTAG 接口。

串行线调试接口 (SW – DP) 提供了一个连接 AHP – AP 端口的 2 引脚 (时钟 + 数据) 接口

在 SWJ – DP 中， SW – DP 的 2 个 JTAG 引脚与 JTAG – DP5 个引脚中的一些引脚进行了复用。

4.3 引脚输出和调试端口引脚

STM32F10xxx MCU 有大量的包,这些包针对不同数目的可用引脚。结果,一些与可用引脚相关的功能在每个包中都不尽相同。

4.4 SWJ调试端口引脚

5 个引脚被用作 SWJ – DP 的输出，它们可作为 GPIO 的可替换函数。表 2 中的引脚在所有的包中都是可用的.

表 2 调试端口引脚分配

SWJ-DP 引脚名	JTAG 调试端口		SW 调试端口		引脚部署
	类型	描述	类型	调试部署	
JTMS/SWDIO	I	JTAG	I/O	串 行 线	PA13

		测 试 模 式 选 择		数 �据 输入 / 输 出	
JTCK/SWCLK	I	JTAG 测 试 时 钟	I	串 行 线 时 钟	PA14
JTDI	I	JTAG 测 试 数 据 输入	-	-	PA15
JTDO/TRACE SWO	O	JTAG 测 试 数 据 输出	-	TRACE SWO 若 同 步 追 踪 被 使 能	PB3
JNTRST	I	JTAG 测 试 重 置	-	-	PB4

4.5 灵活的SWJ-DP引脚分配

重置 (SYSRESETn 或 PORESETn) 后 , 所有用于 SWJ – DP 的 5 个引脚都被调试主机分配为立即可用的专用引脚 (注意追踪输出没有被分配,除非调试主机明确地对其编程了) 。

然而 , STM32F10xxx MCU 可通过一个寄存器来使全部 SWJ – DP 端口的一些端口无效 , 这样就能释放相关的引脚来用于 GPIO 用途。这个寄存器被映射到连接 Cortex – M3 系统总线的 APB 桥上。这个寄存器由用户进行软件编程而不是由调试主机编程。

表 3 SWJ I/O 引脚可用性

可用调试端口	SWJ I/O 引脚部署				
	PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTD	PB4/ JNTRS
	X	X	X	X	T
全 SWJ (JTAG-DP+SW-DP)- 重置状态	X	X	X	X	X
全 SWJ (JTAG-DP+SW-DP) 但没有 JNTRST	X	X	X	X	
JTAG-DP 无效 , SW-DP 有效	X	X	释放		释放
JTAG-DP 无效 , SW-DP 无效	释放				

表 3 显示了释放一些引脚的不同可能性

更多细节请参考 www.st.com 网站上的STMicroelectronics的STM32F10xxx参考手册 ,UM0306。

4.6 JTAG引脚的内部上拉和下拉电阻

由于 JTAG 的输入引脚直接连接到触发器来控制调试模式的性能 , 所以 JTAG 的输入引脚一定不能是悬浮的。必须格外小心 SWCLK/TCK 引脚 , 因为它是直接连接到这些触发器的时钟上的。

为了避免出现任何不受控制的 I/O 电平 , STM32F10xxx 在 JTAG 输入引脚上嵌入了内部上拉和

下拉电阻：

JNTRST：内部上拉电阻

JTDI：内部上拉

JTMS/SWDIO：内部上拉

TCK/SWCLK：内部下拉

一旦 JTAG I/O 输入由用户软件释放，GPIO 控制器就再次取得了控制权。GPIO 控制寄存器的重置状态将 I/O 引脚置于同等状态：

JNTRST：输入上拉

JTDI：输入上拉

JTMS/SWDIO：输入上拉

JTCK/SWCLK：输入下拉

JTDO：输入悬浮

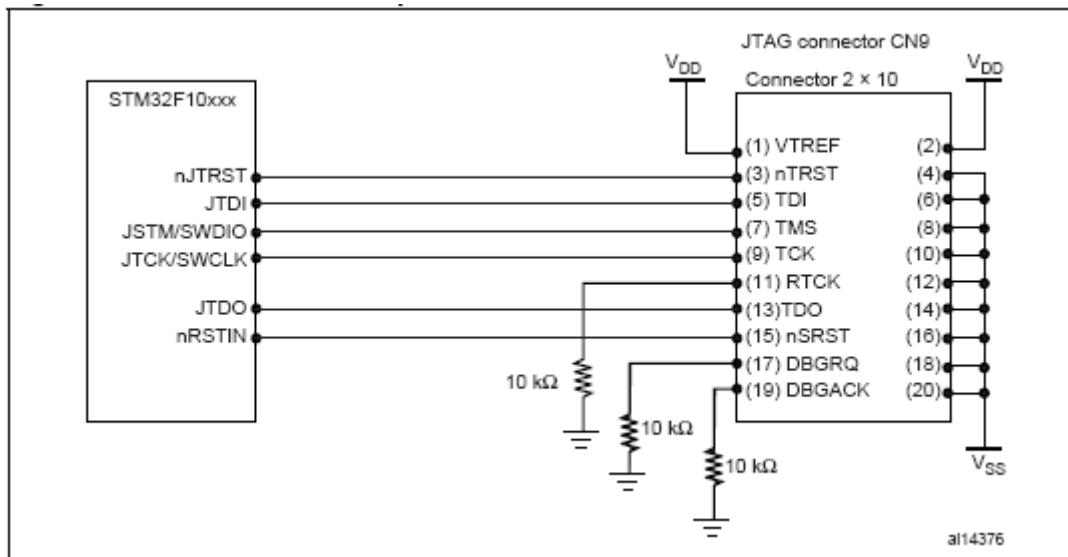
这时软件可以把这些 I/O 引脚用作标准的 GPIO

注意： JTAG IEEE 标准推荐在 TDI , TMS 和 nTRST 上加入上拉电阻，但是不特别推荐 TCK。然而，对于 STM32F10xxx，有一个集成的下拉电阻用于 JTCK 有了嵌入的上拉和下拉电阻，就不需要加外部电阻了。

4.7 与标准JTAG连接器的相连的SWJ调试端口

图 13 显示了 STM32F10xxx 和一个标准 JTAG 连接器的连接

表 13 JTAG 连接器的实现



5 参考设计

5.1 主要的

图 14 显示的参考设计是基于 STM32F10xxx 的，是一个工作在 72MHz 的高集成度的微控制器，它将新的 Cortex™-M3 的 32 位 RISC CPU 内核与 128K 字节的嵌入式闪存及高达 20K 字节的高速 SRAM 进行了组合。

5.2 时钟

两个时钟源被用于这个微控制器：

X1 – 用于嵌入式 RTC 的 32.768kHz 晶体

X2 – 用于 STM32F10xxx 微控制器的 8MHz 晶体

参考第 2 节 : 时钟 , 第 11 页

5.3 重置

图 14 的重置信号是低有效的。这个重置源包括 :

重置按钮 (B1)

通过连接器 CN1 的调试工具

参考 1.3 小节 : 第 8 页 - 重置及电源供给管理

5.4 引导模式

STM32F10xxx 可以由以下启动 :

嵌入式的用户闪存

用于调试的嵌入式 SRAM

系统内存

引导选择由设置开关 SW2 (Boot0) 和 SW1 (Boot1) 来配置。参考第 3 节 : 第 15 页 - 启动
配置

5.5 SWJ 接口

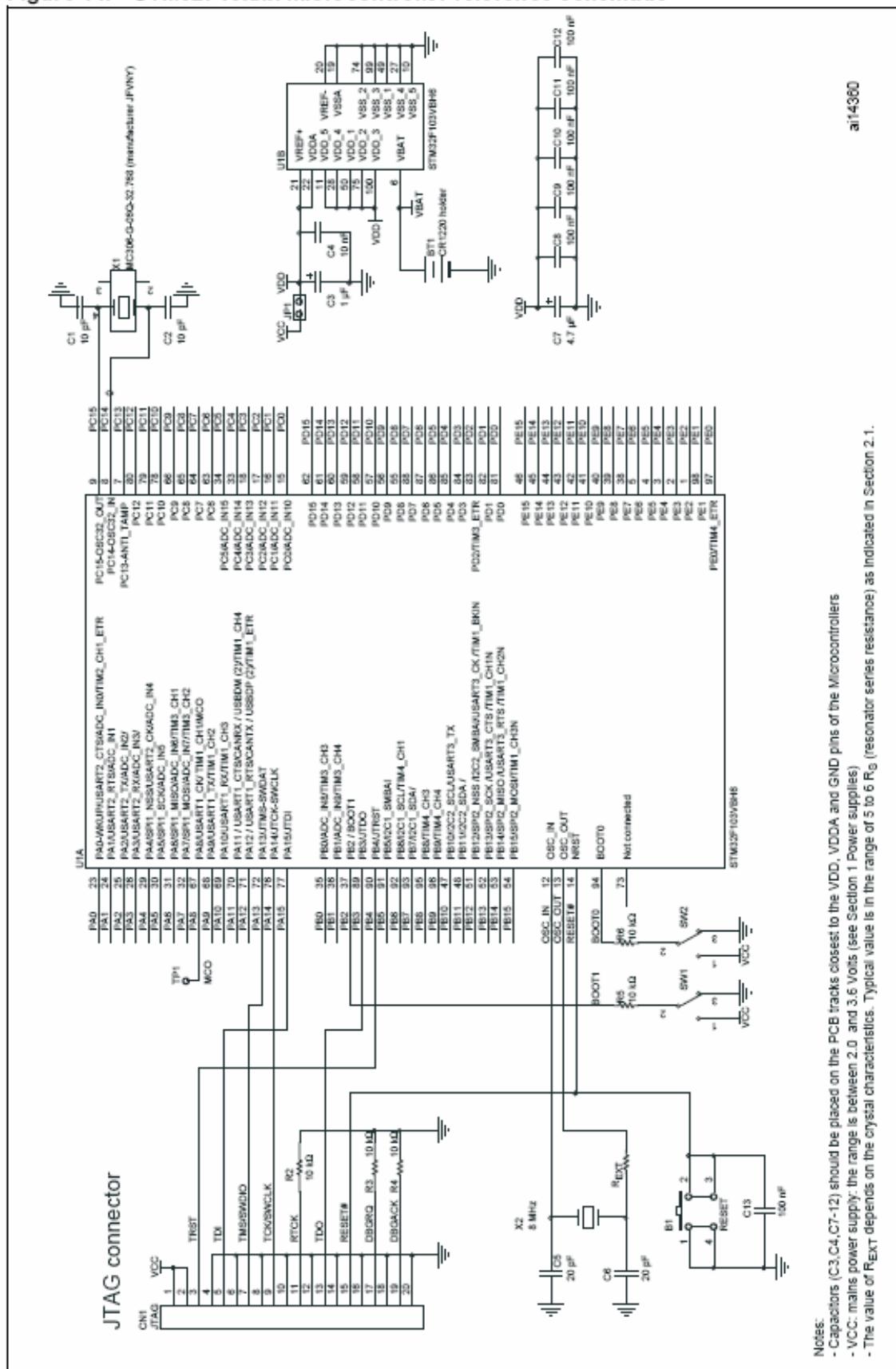
STM32F10xxx 内核集成了串行线/JTAG 调试端口(SWJ – DP)。参考设计显示了 STM32F10xxx
和一个标准 JTAG 连接器的连接。参考第 4 节 : 第 17 页 - 调试管理

5.6 电源供给

参考第 1 节 : 第 6 页 - 电源供给

图 14 STM32F10xxx 微控制器参考方案

Figure 14. STM32F10xxx microcontroller reference schematic



118

- Notes:
Capacitors (C3,C4,C7-12) should be placed on the PCB tracks closest to the VDD, VDDA and GND pins of the Microcontrollers
V_{CC}: mains power supply; the range is between 2.0 and 3.6 Volts (see Section 1 Power supplies)
The value of R_{EXT} depends on the crystal characteristics. Typical value is in the range of 5 to 6 Ω (resonator series resistance)

6 修订记录

表 1 修订记录

日期	修订	改变
2007-7-12	1	初次发布

7 版权声明 :

MXCHIP Corporation 拥有对该中文版文档的所有权和使用权

意法半导体 (ST) 拥有对英文原版文档的所有权和使用权

本文档上的信息受版权保护。除非经特别许可，否则未事先经过 MXCHIP Corporation 书面许可，不得以任何方式或形式来修改、分发或复制本文档的任何部分。