



Nama Edgrant Henderson Suryajaya

NPM 2206025016

Kode Asisten

Jenis Tugas TP

Jawaban

1. Desainlah truth table dari rangkaian dengan input 4 digit yang dapat menjumlahkan nilai 3 atau $(0011)_2$ terhadap inputnya.

Input				Output			
A	B	C	D	A'	B'	C'	D'
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	1	1	0	1
1	0	1	1	1	1	1	0
1	1	0	0	1	1	1	1
1	1	0	1	X	X	X	X
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X



2. Berdasarkan truth table tersebut, buatlah fungsi aljabar boolean yang telah disederhanakan menggunakan k-map, sertakan pula proses penyederhanaannya.

		CD				
		00	01	11	10	
AB	A'	00	0	0	0	0
	01	0	1	1	1	
	11	1	x	x	x	
	10	1	1	1	1	

$$A' = A + BC + BD$$

		CD				
		00	01	11	10	
AB	C'	00	1	0	1	0
	01	1	0	1	1	
	11	1	x	x	x	
	10	0	0	1	0	

$$C' = BD' + CD + A'C'D'$$

		CD				
		00	01	11	10	
AB	B'	00	0	1	1	1
	01	1	0	0	0	
	11	1	X	X	X	
	10	0	1	1	1	

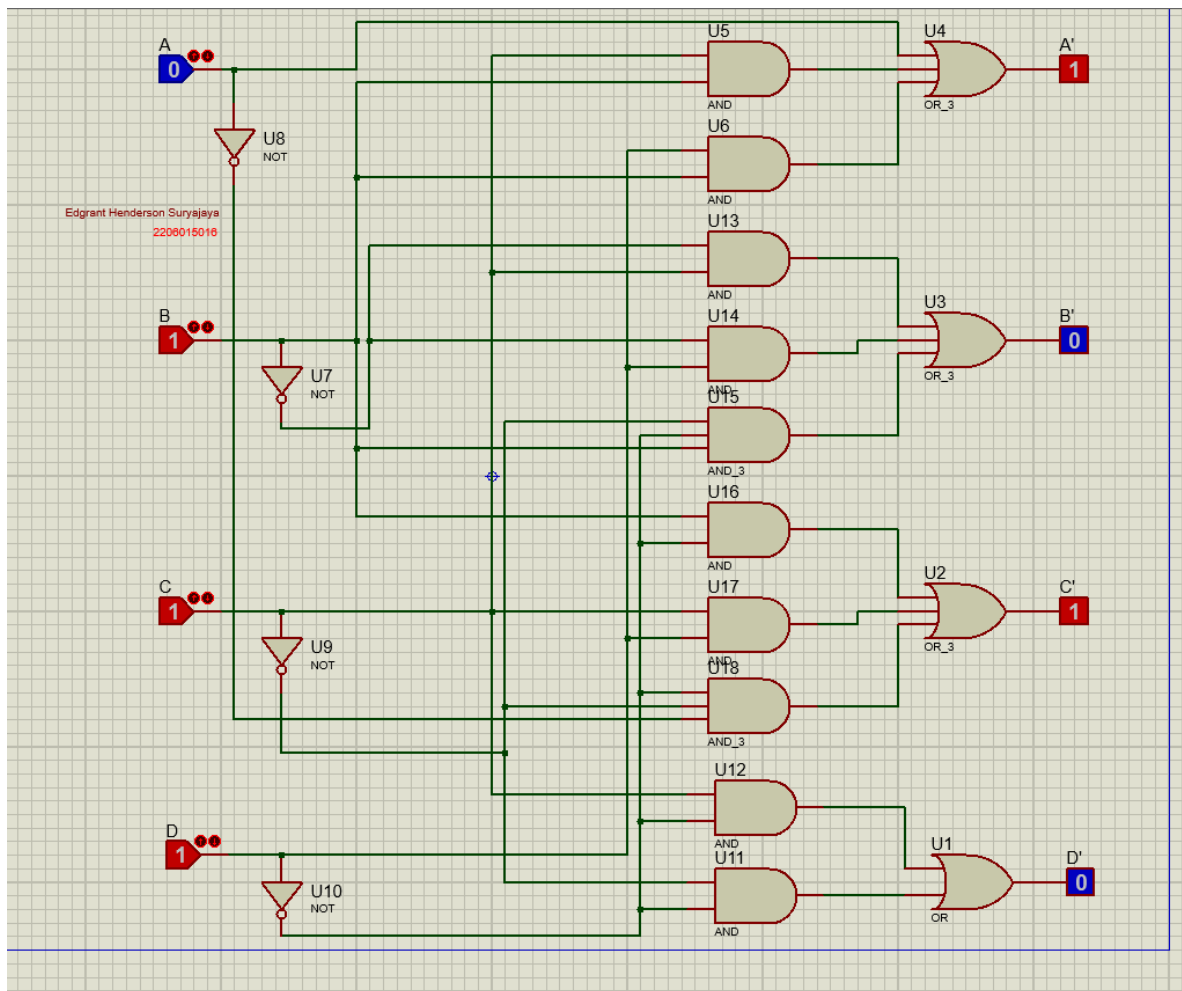
$$B' = B'C + B'D + BC'D'$$

		CD				
		00	01	11	10	
AB	D'	00	1	0	0	1
	01	1	0	0	1	
	11	1	x	x	x	
	10	1	0	0	1	

$$D' = CD' + C'D'$$



3. Deskripsikanlah fungsi aljabar boolean tersebut ke dalam rangkaian menggunakan aplikasi Proteus 8.11 dan buktikan bahwa truth table dari rangkaian sudah sesuai dengan yang direncanakan



Truth table sudah sama dengan nomor 1 setelah diuji satu-satu inputnya



4. Jelaskan perbedaan tipe data `std_logic` dan `std_logic_vector` serta berikan contoh kasus penggunaannya.

Think of this type as a single bit, the digital information carried by a single physical wire

`std_logic` merupakan tipe data yang paling sering digunakan pada VHDL. Tipe data ini sangat bagus digunakan untuk merepresentasikan sinyal dalam kabel. Tipe data ini bisa dipikir sebagai sebuah bit, informasi digital yang dibawa sebuah kabel fisik. `std_logic_vector` merupakan bentuk array dari `std_logic`.

`std_logic` dapat memiliki nilai sebagai berikut

'1'	Logic 1
'0'	Logic 0
'Z'	High impedance
'W'	Weak signal, can't tell if 0 or 1
'L'	Weak 0, pulldown
'H'	Weak 1, pull up
'-'	Don't care
'U'	Uninitialized
'X'	Unknown, multiple drivers

Contoh kasus kegunaannya adalah saat menginginkan sebuah entity yang menerima inputan dari kabel dan juga mengeluarkan output. Pada kasus ini input dan output keduanya menggunakan `std_logic`. `std_logic_vector` salah satu contoh kasus pemakaiannya adalah saat ingin menginput angka BCD yang 4 bit, input jadi menggunakan `std_logic_vector` yang ukurannya 4. Selain itu jika BCD bukan 0 maka akan output 1 dan jika 0 akan output 0, hal ini membuat output hanya 1 bit, jadi menggunakan `std_logic`

Codingannya jadi:

```
entity PortTest1 is  
    port(  
        in1  : in std_logic_vector (3 downto 0);  
        out1 : out std_logic  
    );  
end PortTest1;
```

Referensi:

1. “3. data types,” 3. Data types - FPGA designs with VHDL documentation, <https://vhdlguide.readthedocs.io/en/latest/vhdl/datatype.html> (accessed Sep. 4, 2023).
2. J. J. Jensen, “How to use the most common VHDL type: Std_logic,” VHDLwhiz, https://vhdlwhiz.com/std_logic/ (accessed Sep. 4, 2023).
3. J. J. Jensen, “How to create a signal vector in VHDL: Std_logic_vector,” VHDLwhiz, https://vhdlwhiz.com/std_logic_vector/ (accessed Sep. 4, 2023).



5. Jelaskan perbedaan tipe data signed dan unsigned serta berikan contoh kasus penggunaannya.

Dalam VHDL signed dan unsigned merupakan tipe data yang mirip dengan std logic vector, perbedaannya adalah std logic vector tidak bisa melakukan operasi aritmatika. Jika dicoba, std logic vector akan membuat compilation error: No feasible entries for infix operator “+”.

Signed dan unsigned digunakan untuk melakukan aritmatika agar tidak terjadi error. Sebuah std logic vector 3 bit (seperti “101”) hanya sebuah kumpulan bit yang tidak berarti, tetapi sebuah signed 3 bit memiliki arti numerik (“101” adalah 5).

Kasus pemakaiannya adalah saat ingin menjumlahkan 2 buah BCD, maka input harus berupa signed atau unsigned. Kodenya adalah.

```
entity SignedTest1 is
    port(
        in1, in2 : in unsigned(3 downto 0);
        out1 : out unsigned(3 downto 0)
    );
end SignedTest1;
```

Referensi:

1. J. J. Jensen, “How to use signed and unsigned in VHDL,” VHDLwhiz, <https://vhdlwhiz.com/signed-unsigned/> (accessed Sep. 4, 2023).
2. “Review of VHDL signed/Unsigned Data types - technical articles,” All About Circuits, <https://www.allaboutcircuits.com/technical-articles/review-of-vhdl-signed-unsigned-data-types/> (accessed Sep. 4, 2023).