



Case Study

1. Berdasarkan fungsi aljabar dari rangkaian yang telah dibuat di Tugas Pendahuluan, deskripsikanlah fungsi tersebut ke dalam program VHDL. **Catatan:** Gunakan tipe data `std_logic`.
2. Lakukan simulasi terhadap program tersebut menggunakan aplikasi modelsim. Sertakan screenshot simulasi dengan menampilkan output dari 4 variasi input berikut:
 - a. 0101
 - b. 1100
 - c. 0011
 - d. 1010
3. Lakukan sintesis RTL pada program tersebut menggunakan aplikasi Quartus. Bandingkan hasil sintesis program dengan rangkaian yang telah dibuat dengan aplikasi Proteus pada Tugas Pendahuluan. Apakah keduanya sama? berikan analisis anda.
4. Deskripsikanlah rangkaian yang telah dibuat di Tugas Pendahuluan menggunakan operator “+” dengan library **IEEE.STD_LOGIC_ARITH.ALL**. Catatan:
 - a. Lakukan type casting ke SIGNED atau UNSIGNED pada nilai input sebelum dilakukan penjumlahan.
 - b. Pastikan input dan output menggunakan tipe data **STD_LOGIC_VECTOR** serta program dapat menerima input biner negatif (2’s complement)
 - c. Output dari program dalam bentuk vector 4 bit (BONUS 5 poin)
5. Lakukan simulasi terhadap program menggunakan aplikasi modelsim. Sertakan screenshot simulasi dengan menampilkan output dari 4 variasi input berikut:
 - a. -5
 - b. 8
 - c. -2
 - d. 3
6. Berikan kesimpulan dalam bentuk poin-poin (Maksimal 5 poin)