

SISTEMAS DIGITALES AVANZADOS

Clave del curso: TE-2030

Nombre del Profesor: Juan M. Hinojosa Olivares

Nombre del alumno: Edison Altamirano

Matricula: A00825234

Fecha de elaboración: 15/04/2020

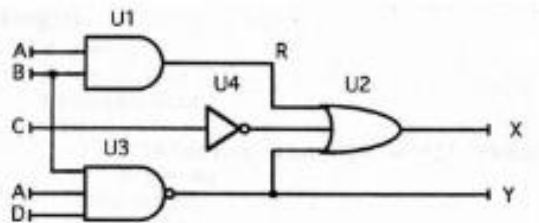


**Tecnológico
de Monterrey**

1. ¿Cuáles son los tres niveles en los que se puede describir un sistema en VHDL? (5)

Dataflow, Behavioral y Structural.

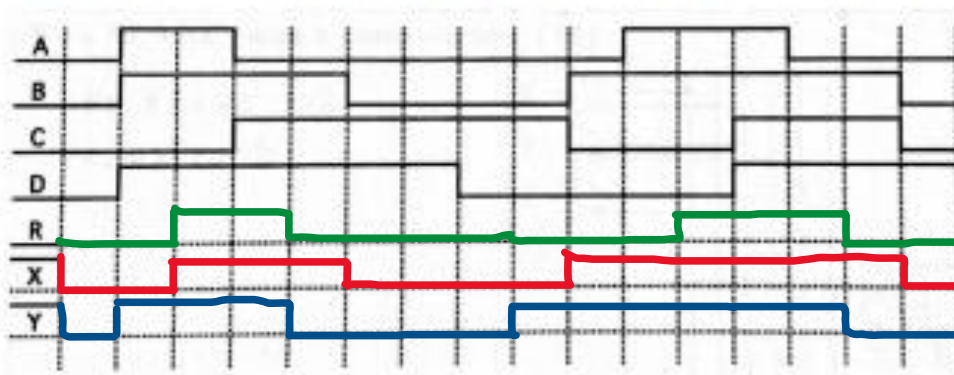
2. Escriba el código VHDL para crear el siguiente circuito. Cada compuerta tiene un *delay* de 1ns. (15)



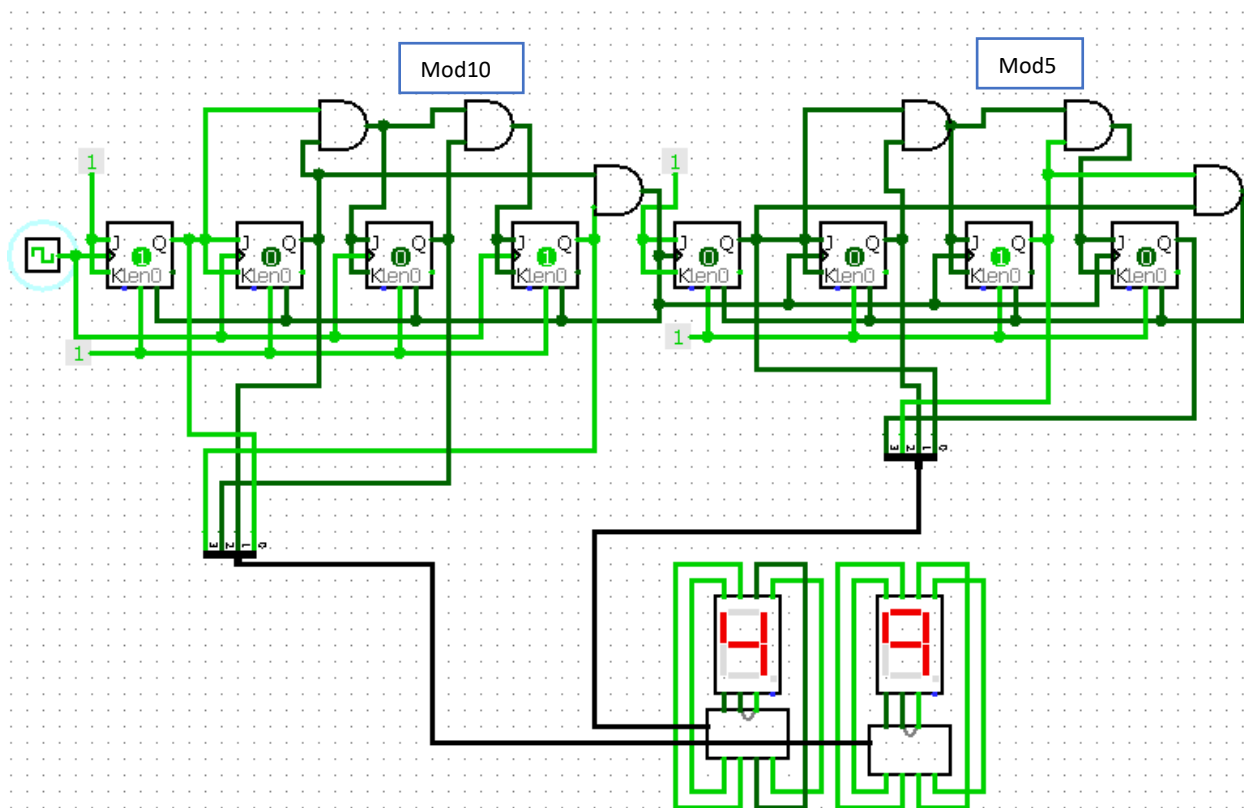
```

library ieee;
use ieee.numeric_bit.all;
use IEEE.Std_logic_1164.all;
entity circuit is
    port(A,B,C,D: in bit;
          X,Y: out bit);
end circuit;
architecture test of circuit is
    signal R,E1,F1:bit;
begin
    R <= A and B after 1 ns;
    E1 <= not C after 1 ns;
    F1 <= (B nand A) nand D after 1 ns;
    X <= (E1 or R) or F1 after 1 ns;
    Y <= F1;
end test;
  
```

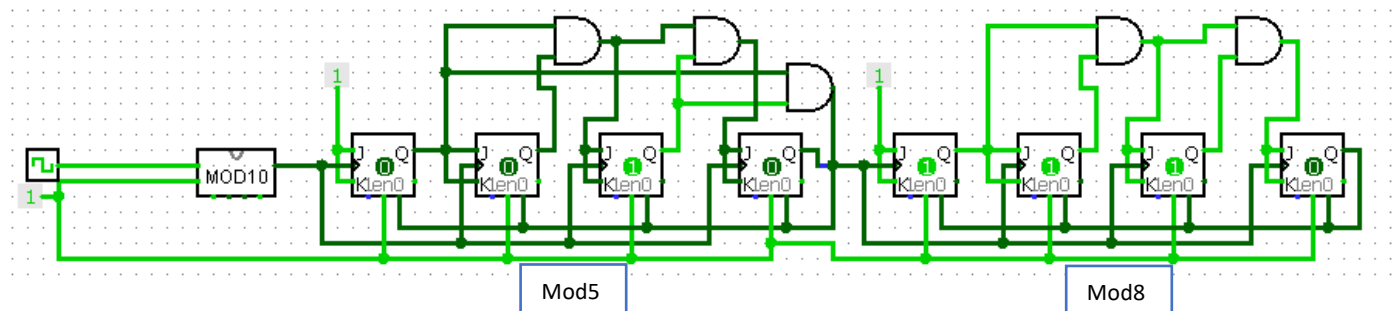
3. Para el circuito del problema 2, obtenga R, X, Y para las entradas dadas. (20)



4. Usando contadores sincrónicos de 4 bits, diseñe un circuito contador módulo 50. (15)



5. Diseñe un circuito mínimo que genere una frecuencia de 200KHz y de 25KHz a partir de una señal de 10MHz. Dispone de FF JK y contadores módulo 10 con CLR. (20)

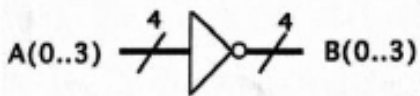


$$10,000,000/10 = 1,000,000$$

$$1,000,000/5 = 200,000$$

$$200,000/8 = 25,000$$

6. Escriba el estatuto concurrente y los de definición de las señales involucradas para realizar la siguiente función sobre A para obtener B, ambas *BUS* de 4 *bits*. (5)

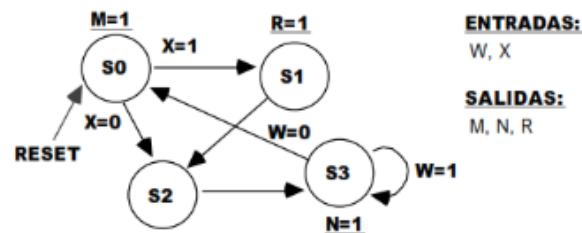


```

library ieee;
use ieee.numeric_bit.all;
use IEEE.Std_logic_1164.all;
entity circuit is
    port(A:in bit_vector(3 downto 0);
          B:in bit_vector(3 downto 0));
end circuit;
architecture test of circuit is
    begin
        B <= not A;
    end test;
end circuit;

```

7. Implemente el siguiente diagrama de estados usando flip-flops "D". Dibuje la tabla de estados y el diagrama lógico. (20)



S0 = 00; S1 = 01; S2 = 10; S3 = 11

A	B	W	X	A_1	B_1	DA	DB	M	N	R
0	0	0	0	1	0	1	0	1	0	0
0	0	0	1	0	1	0	1	1	0	0
0	0	1	0	1	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	0	0
0	1	0	0	1	0	1	0	0	0	1
0	1	0	1	1	0	1	0	0	0	1
0	1	1	0	1	0	1	0	0	0	1
0	1	1	1	1	0	1	0	0	0	1
1	0	0	0	1	1	1	1	0	0	0
1	0	0	1	1	1	1	1	0	0	0
1	0	1	0	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	0	1	0	0	0	0	0	1	0
1	1	1	0	1	1	1	1	0	1	0
1	1	1	1	1	1	1	1	0	1	0

ESTADO INICIAL	ENTRADAS				SALIDAS		
	W0	W1	X0	X 1	M	N	R
S0	-	-	S2	S1	1	0	0
S1	S2	S2	S2	S2	0	0	1
S2	S3	S3	S3	S3	0	0	0
S3	S0	S3	-	-	0	1	0

		W, X			
		00	01	11	10
A, B	00	1	1	1	1
	01	0	0	0	0
	11	0	0	0	0
	10	0	0	0	0
		$\bar{A}\bar{B}$			

		W, X			
		00	01	11	10
A, B	00	0	0	0	0
	01	0	0	0	0
	11	1	1	1	1
	10	0	0	0	0
		AB			

		W, X			
		00	01	11	10
A, B	00	0	0	0	0
	01	1	1	1	1
	11	0	0	0	0
	10	0	0	0	0
		$\bar{A}B$			

		W, X			
		00	01	11	10
A, B	00	1	0	0	1
	01	1	1	1	1
	11	0	0	1	1
	10	1	1	1	1
		$\bar{A}\bar{X} + \bar{A}B + A\bar{B} + AW$			

		W, X			
		00	01	11	10
A, B	00	0	1	1	0
	01	0	0	0	0
	11	0	0	1	1
	10	1	1	1	1
		$\bar{B}X + A\bar{B} + AW$			

