



Eletrônica Digital I

Capítulo II Elementos de Memória

Aula C – Conceito de Latch e Flip-flop

Prof. MSc. Bruno de Oliveira Monteiro
Engenheiro de Telecomunicações

Inatel

Conceito de Latch e Flip-flop

Os circuitos combinacionais até agora estudados não possuem memória, uma vez que os seus níveis lógicos de saída, em qualquer instante de tempo, dependem apenas dos níveis lógicos presentes em suas entradas nos mesmos instantes, ou seja, nenhuma condição de entrada anterior tem efeito sobre as saídas atuais.

Nos circuitos sequenciais os níveis lógicos em suas saídas dependem dos níveis lógicos nas suas entradas e de seus estados anteriores, que permanecem armazenados, sendo, geralmente sistemas pulsados, ou seja, operam sob o comando de uma sequência de pulsos denominada **clock**.

Conceito de Latch e Flip-flop

Em eletrônica digital, o elemento de memória mais importante é o **flip-flop**, construído a partir de um conjunto de portas lógicas.

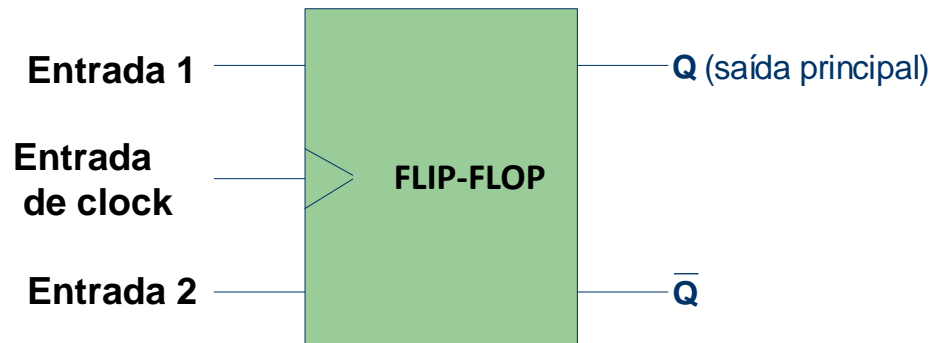
Como já vimos, uma porta lógica não possui memória e, portanto, por si só, não tem capacidade de armazenamento. Um elemento de memória pode ser criado a partir da utilização de um conjunto de portas lógicas e da aplicação do conceito de realimentação, que consiste em conectar a saída de determinadas portas às entradas de outras portas apropriadas.

Os flip-flops são produzidos a partir de diferentes arranjos de portas lógicas realimentadas.

Conceito de Latch e Flip-flop

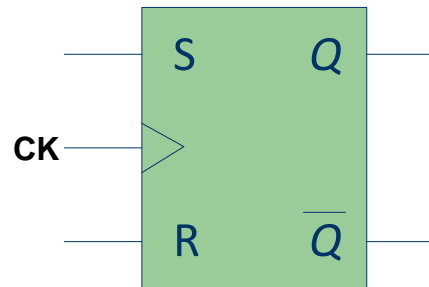
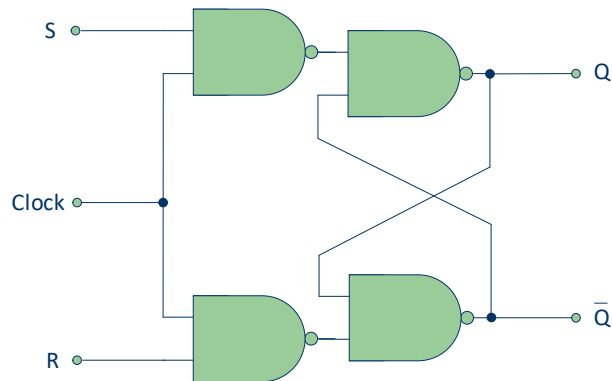
O flip-flop também é denominado ***latch*** ou **multivibrador biestável**. O termo multivibrador biestável é pouco utilizado, mas o termo latch é usado para denominar certos tipos de flip-flops.

A figura abaixo ilustra um flip-flop genérico:

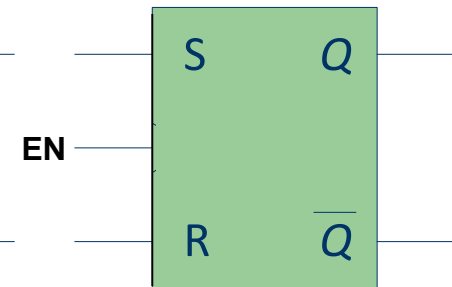


Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable):



Flip-flop



Latch

Flip-flop (Latch) RS com entrada Clock (Enable)

Conceito de Latch e Flip-flop

Na figura anterior as saídas Q e \bar{Q} são opostas entre si, isto é, se $Q = 1$, então $\bar{Q} = 0$. A principal saída do FF é a Q , denominada saída normal, sendo a saída \bar{Q} denominada saída invertida. Sempre que fazemos referência ao estado de um FF, estamos nos referindo ao estado da sua saída Q , ou seja, se dissermos que um FF está no estado ALTO (1), estamos afirmando que $Q = 1$ e se dissermos que o FF está no estado BAIXO (0), estamos afirmando que $Q = 0$. Para que um FF comute entre seus possíveis estados de saída, basta que uma de suas entradas seja ativada momentaneamente (pulssada), sendo que sua saída irá permanecer no novo estado após o término do pulso de entrada, caracterizando sua memória.

Conceito de Latch e Flip-flop

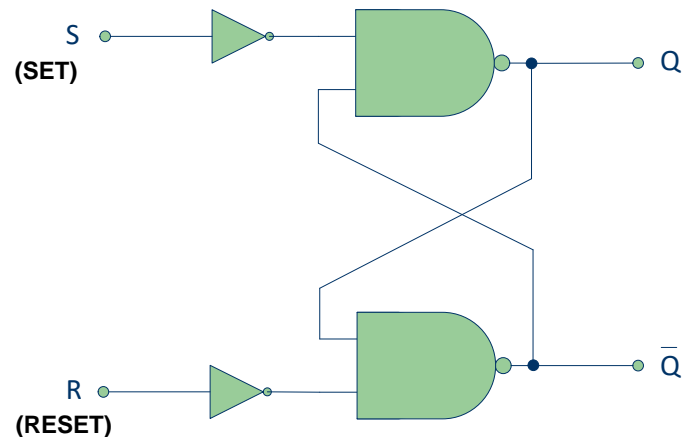
Quando os níveis nas entradas de um FF fizerem sua saída ir para o estado ALTO ($Q = 1$) dizemos que ele foi "setado" e quando sua saída for para o estado BAIXO ($Q = 0$) que ele foi limpo "ressetado". Dessa maneira, muitos FFs têm entrada "SET" e "RESET" (CLEAR), usadas para colocar a saída em um estado específico.

Os flip-flops possuem uma entrada de **clock**, denominadas **CLK**, **CK** ou **CP** (**C**lock **P**ulse). A entrada CLK é ativada pela transição do sinal de clock, o que é indicado por um triângulo na entrada CLK.

O que difere os FFs dos latches é o fato serem ativados na transição do pulso de clock, enquanto os latches são disparados por níveis.

Conceito de Latch e Flip-flop

Flip-flop (latch) RS Básico:

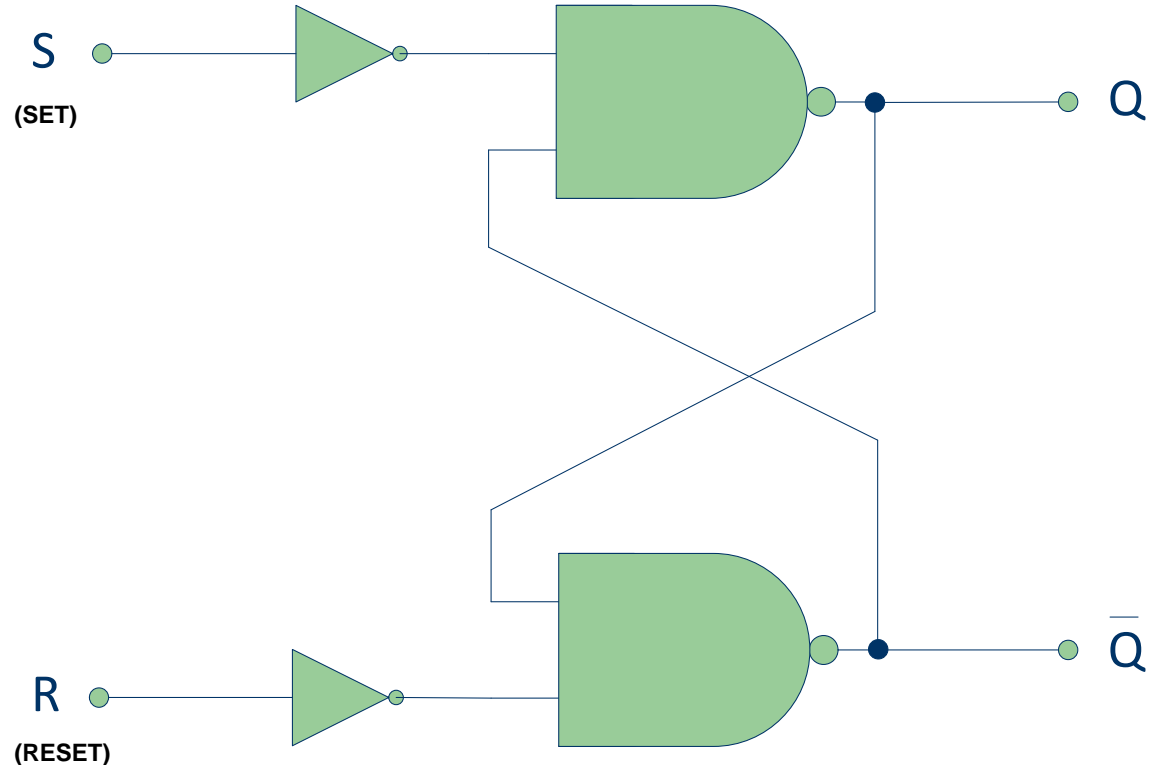


Flip-flop (latch) RS Básico construído a partir de portas NE

Montagem da tabela do latch RS

Flip-flop (latch) RS Básico construído a partir de portas NE

| S | R | Q_a | Q_f |
|---|---|-------|-------|
| 0 | 0 | 0 | |
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | |
| 1 | 0 | 1 | |
| 1 | 1 | 0 | |
| 1 | 1 | 1 | |



Conceito de Latch e Flip-flop

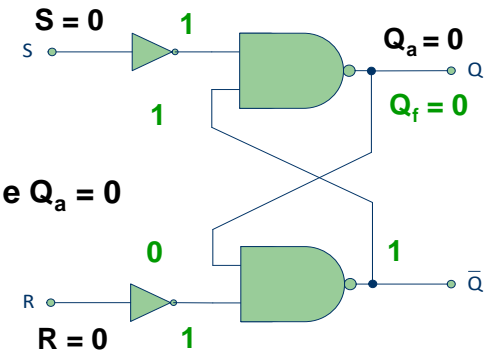
$Q_a \rightarrow$ Estado anterior da saída Q

$Q_f \rightarrow$ Estado futuro da saída Q

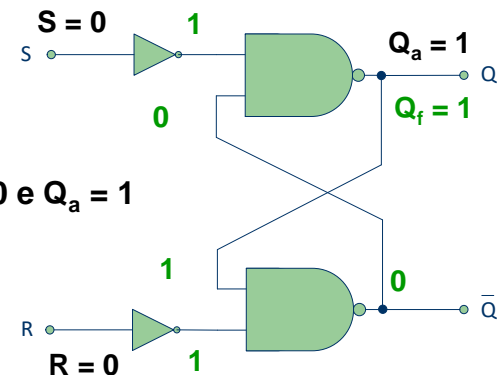
| S | R | Q_a | Q_f |
|---|---|-------|-------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | X |
| 1 | 1 | 1 | X |

Tabela Verdade

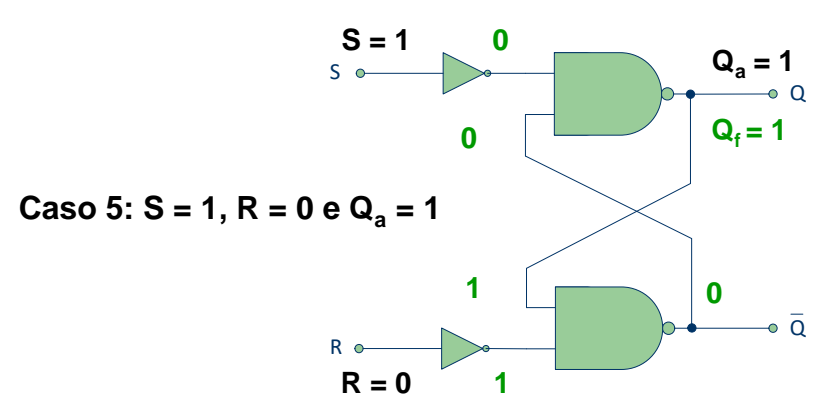
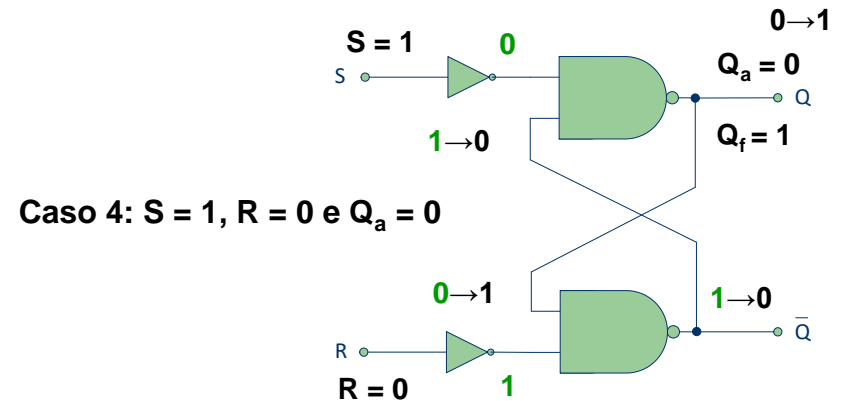
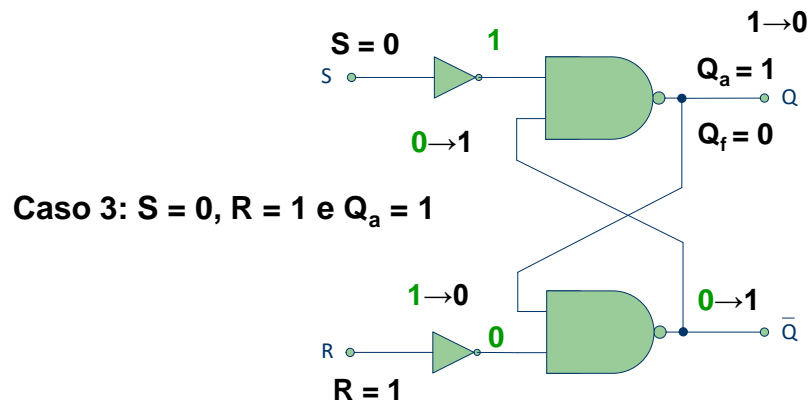
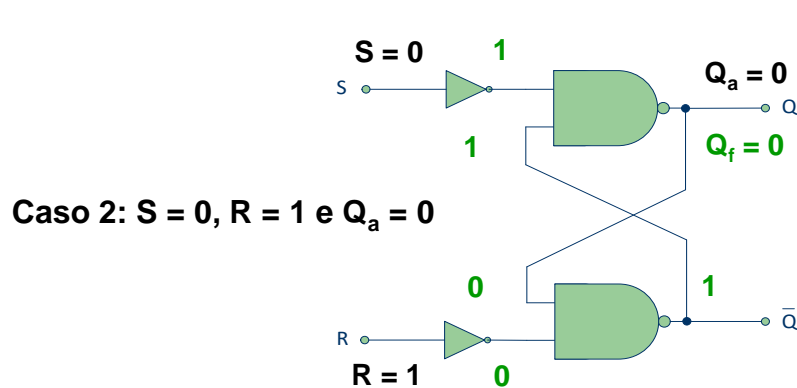
Caso 0: $S = 0, R = 0$ e $Q_a = 0$



Caso 1: $S = 0, R = 0$ e $Q_a = 1$

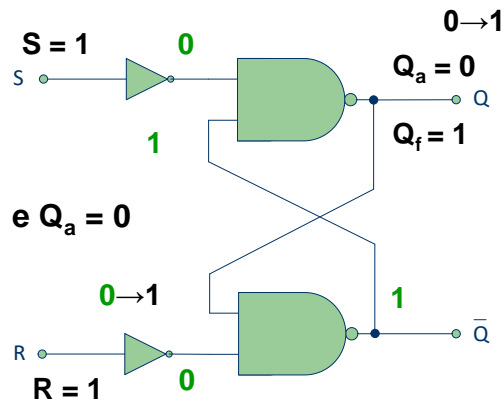


Conceito de Latch e Flip-flop



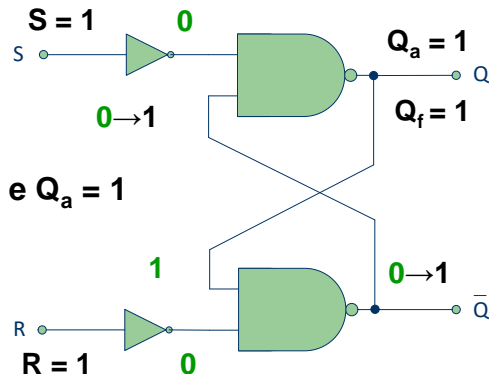
Conceito de Latch e Flip-flop

Caso 6: $S = 1$, $R = 1$ e $Q_a = 0$



Não permitido, pois $Q = \overline{Q}$

Caso 7: $S = 1$, $R = 1$ e $Q_a = 1$



Não permitido, pois $Q = \overline{Q}$

Conceito de Latch e Flip-flop

Tabela Verdade para o Flip-flop (latch) RS:

| S | R | Q_a | Q_f |
|---|---|-------|-------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Fixa $Q_f = Q_a$

Fixa Q_f em 0

Fixa Q_f em 1

Não Permitido

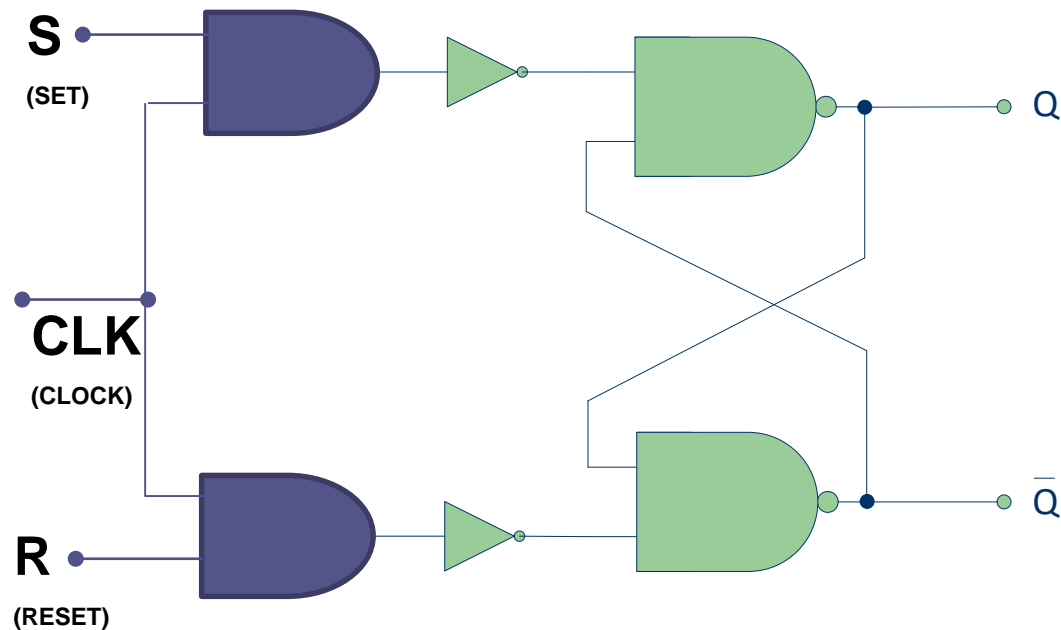
| S | R | Q_f |
|---|---|-------|
| 0 | 0 | Q_a |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | X |

Tabela Verdade

Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

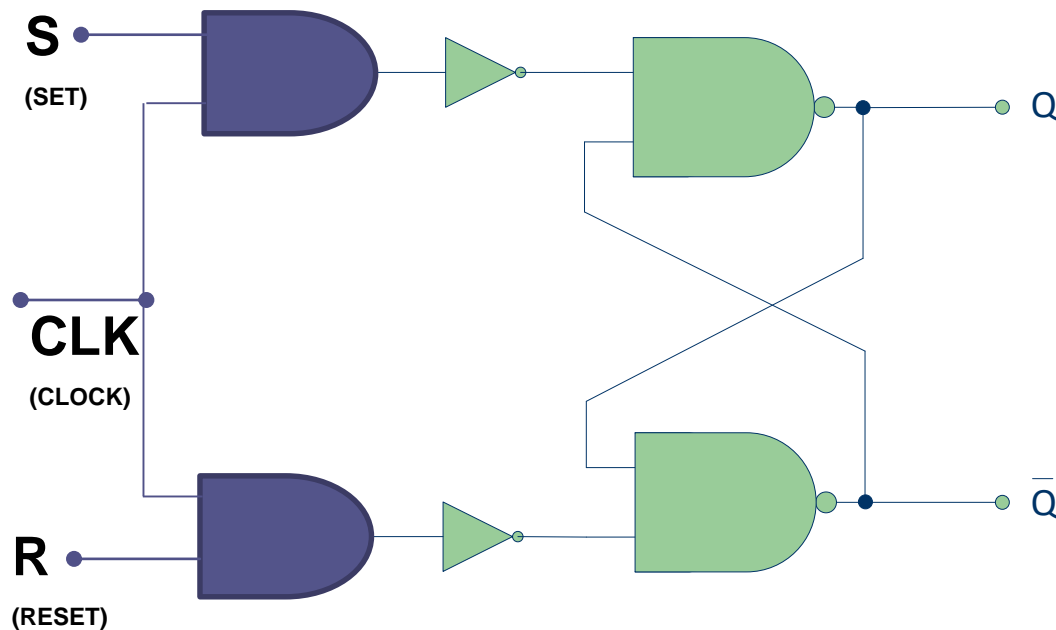
Clock (Transição de Subida):



Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

Clock (Transição de Subida):



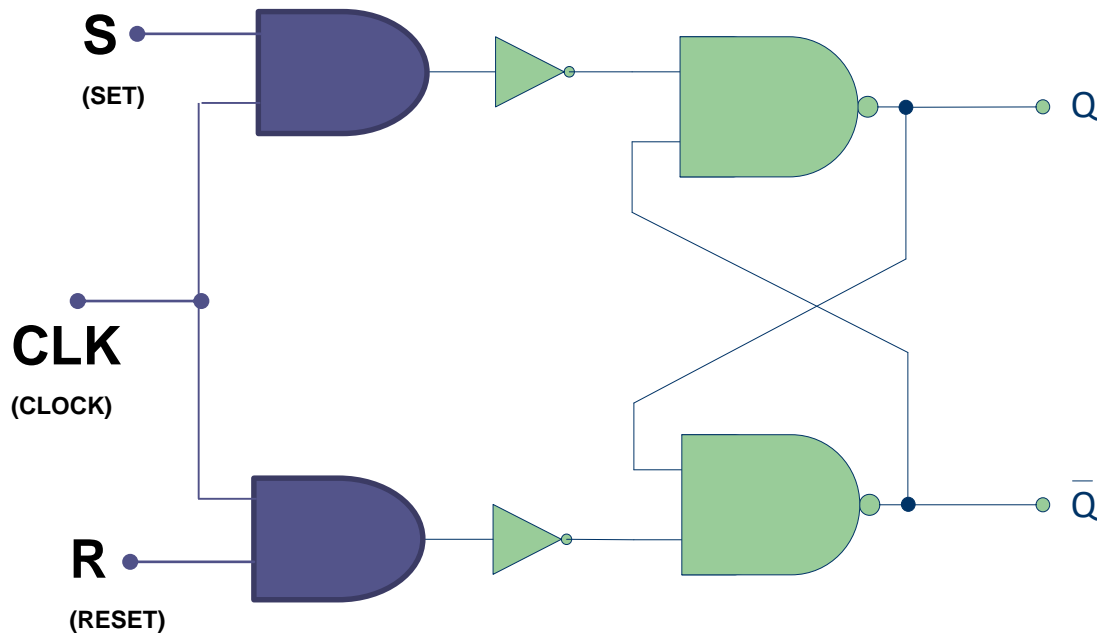
| CLK | Q_f |
|-----|-------|
| 0 | |
| 1 | |

Entrada Clock em “1”

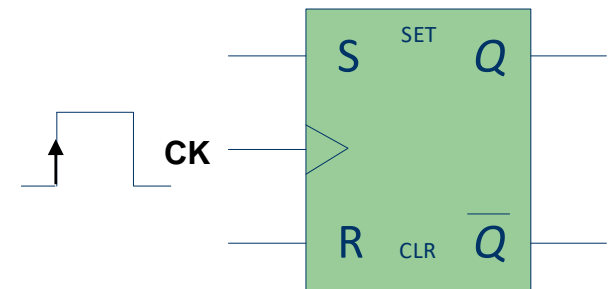
Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

Clock (Transição de Subida):



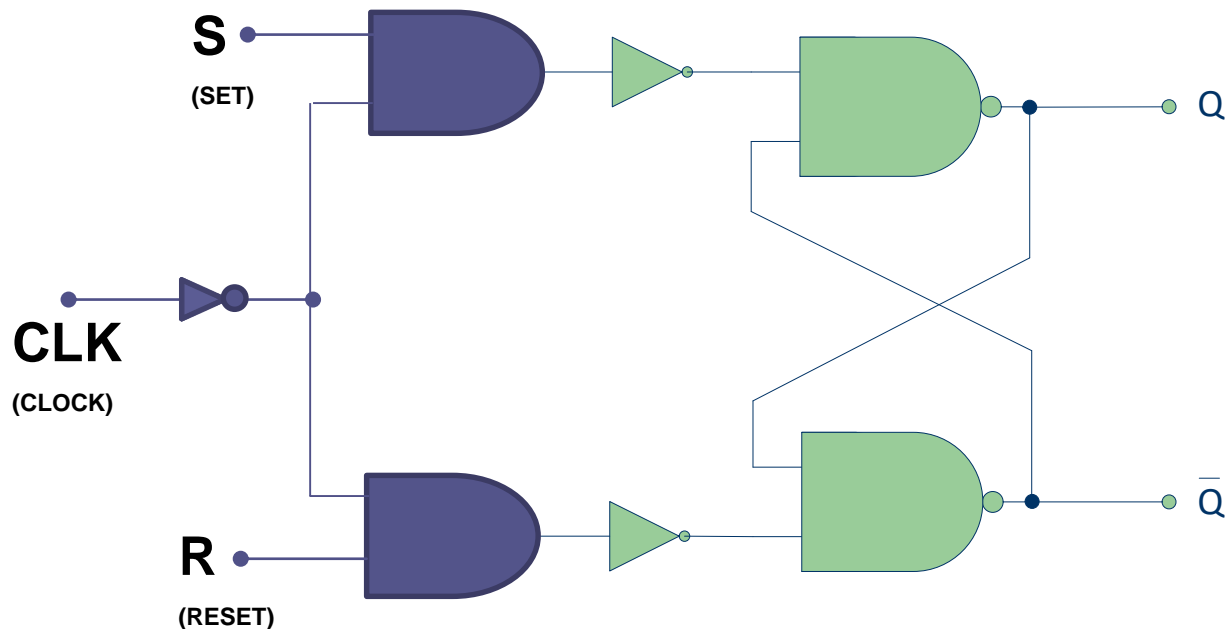
| CLK | Q_f |
|-----|-----------|
| 0 | Q_a |
| 1 | RS Básico |



Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

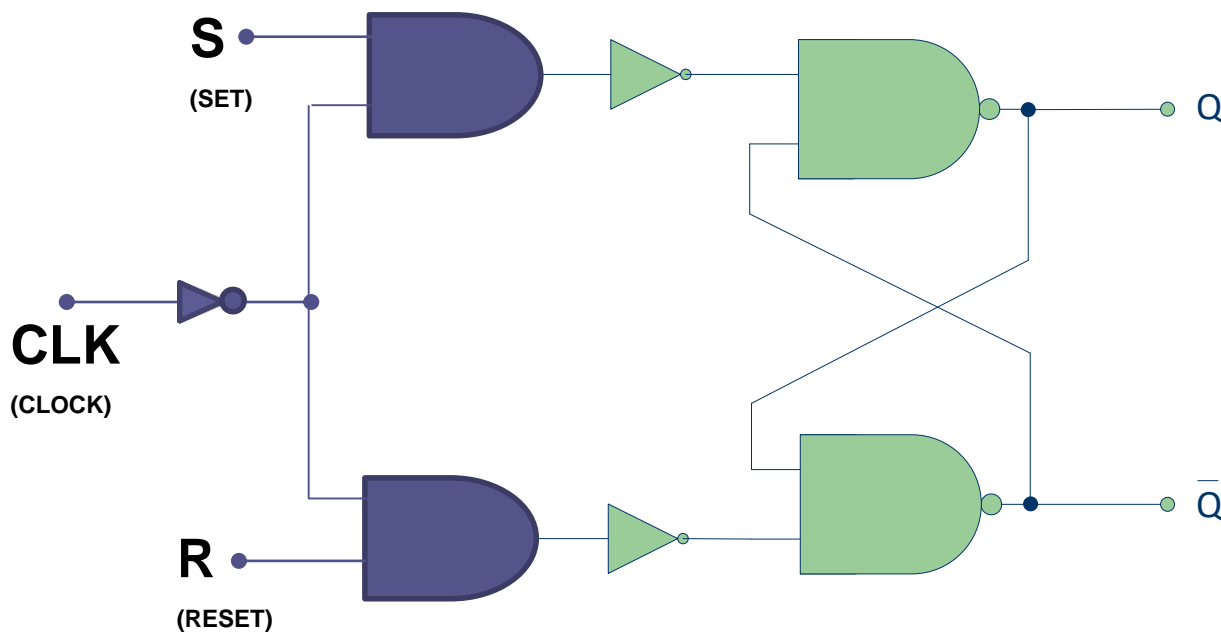
Clock (Transição de Descida):



Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

Clock (Transição de Descida):



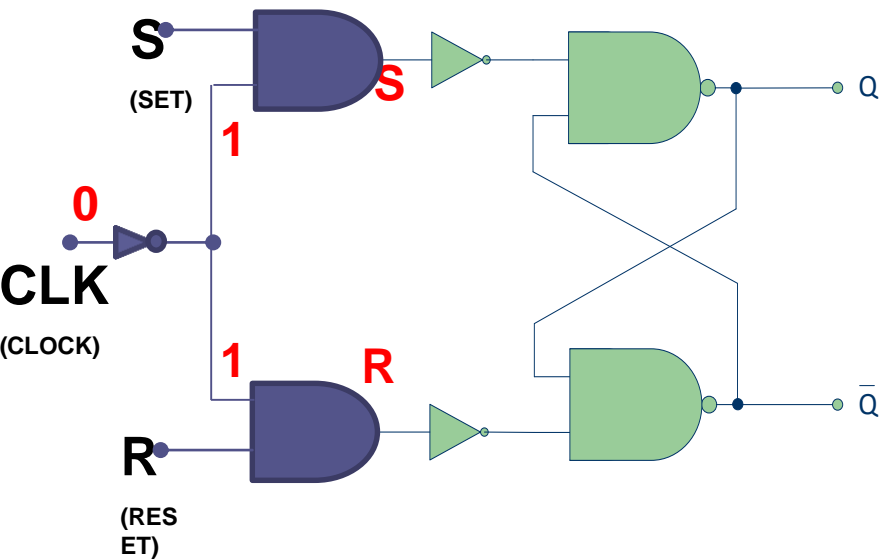
| CLK | Q_f |
|-----|-------|
| 0 | |
| 1 | |

Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

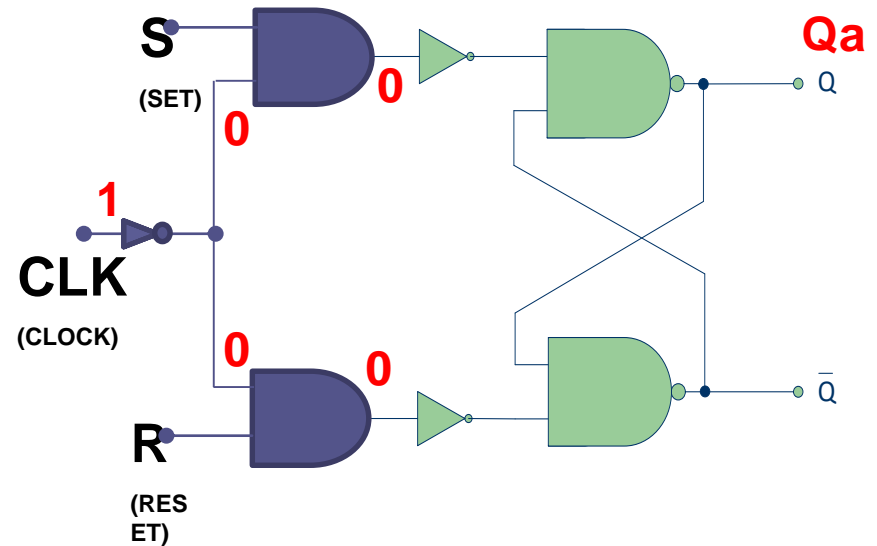
Clock (Transição de Descida)

CLK = 0: O Flip-Flop atua como um (latch RS)



Entrada Clock em "0"

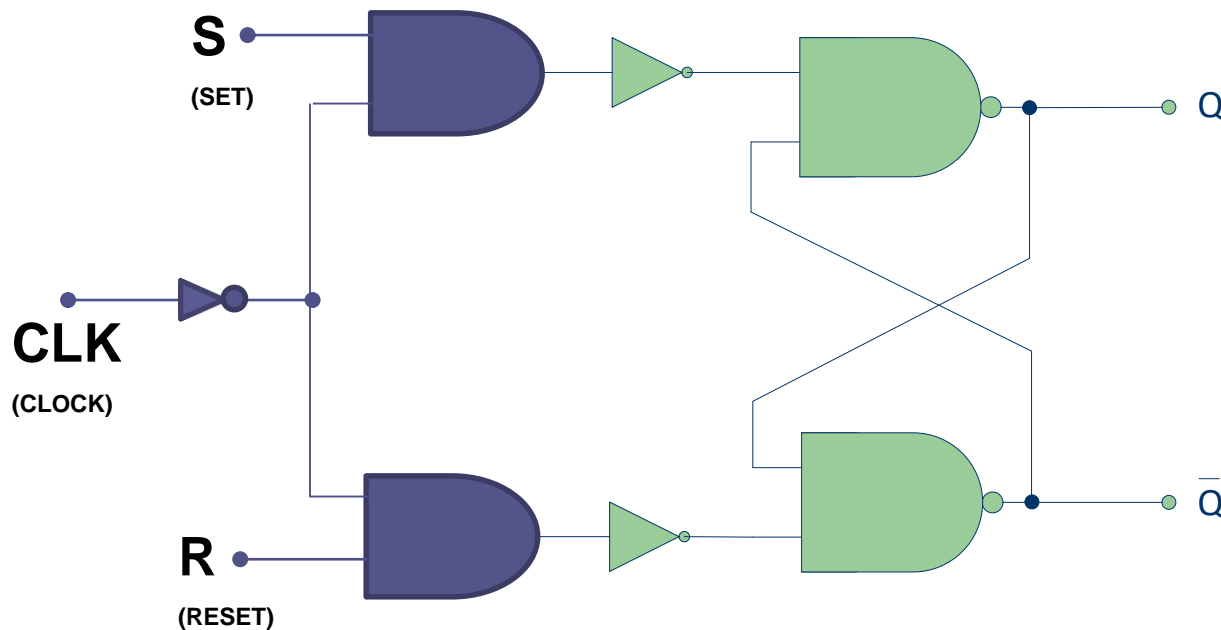
CLK = 1: O Flip-flop com entrada Clock igual a 0 as estradas do FF será Qa.



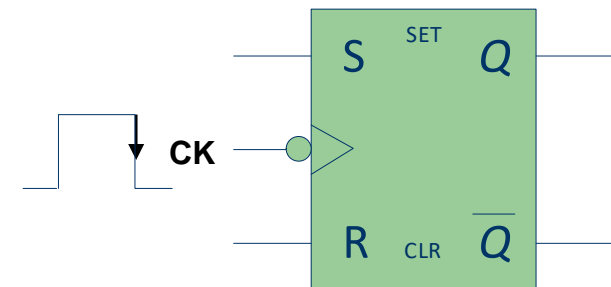
Conceito de Latch e Flip-flop

Flip-flop (Latch) RS com Entrada Clock (Enable)

Clock (Transição de Descida):

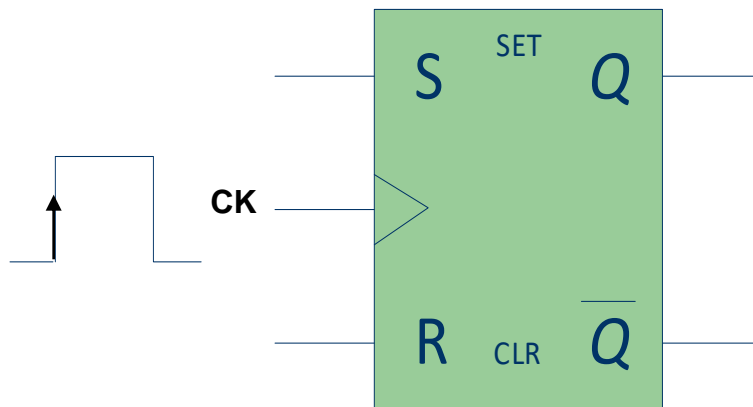


| CLK | Q_f |
|-----|-----------|
| 0 | RS Básico |
| 1 | Q_a |

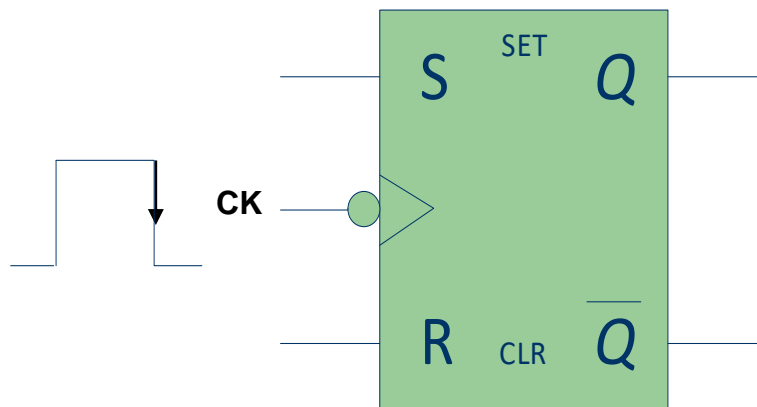


Conceito de Latch e Flip-flop

Flip-flops RS com Entrada Clock:



a

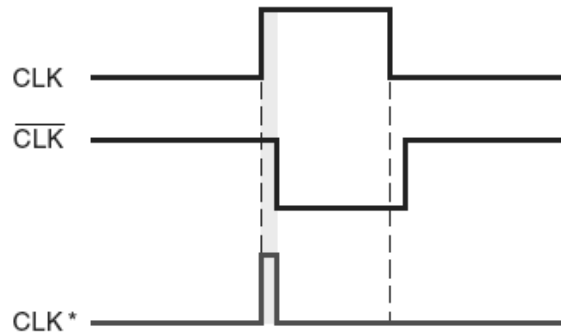
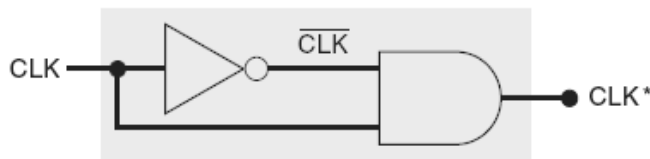


b

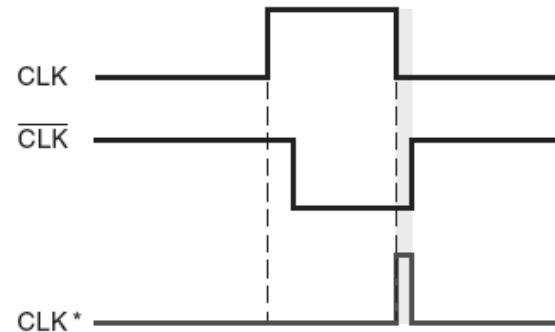
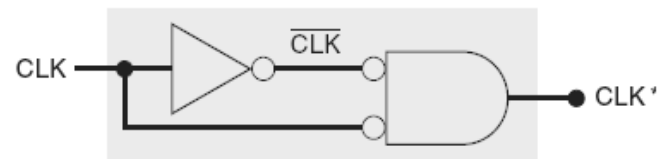
Flip-flop ativado pela borda de subida (a) ou pela borda de descida (b)

Conceito de Latch e Flip-flop

Circuito Detector de Borda:



(a)

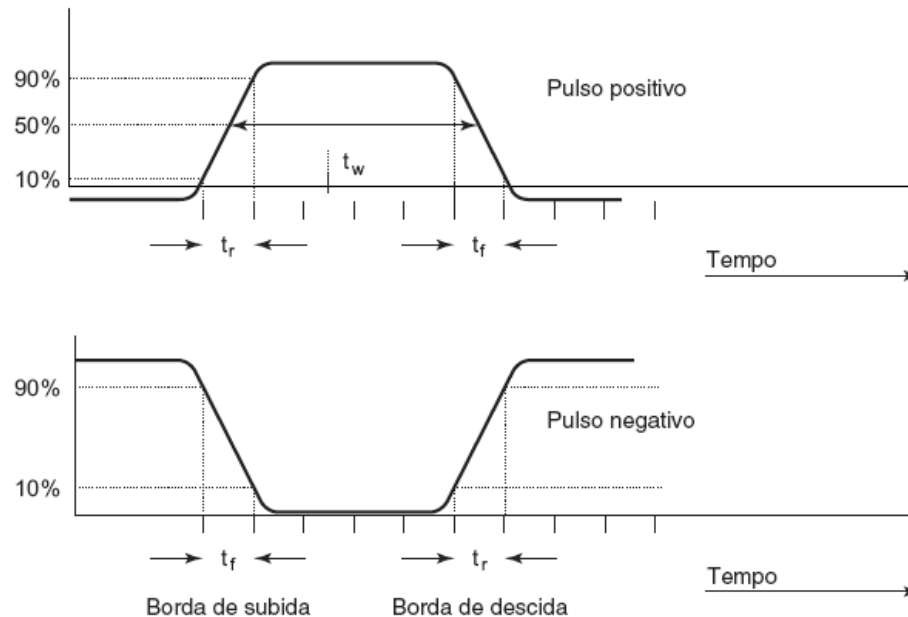


(b)

Circuito detector de borda positiva (a) e de borda negativa (b)

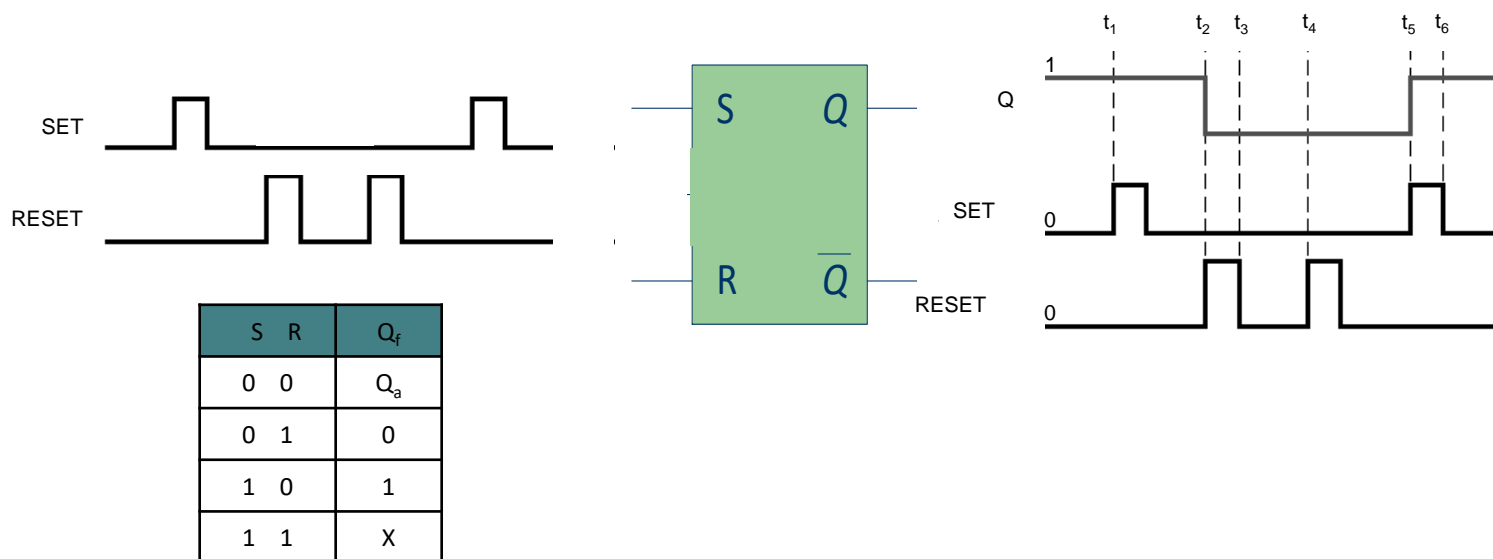
Conceito de Latch e Flip-flop

Pulsos Digitais: Os sinais que “ativam” ou “disparam” os sistemas digitais são denominados **pulsos**. Os pulsos podem ser positivo ou negativo, como ilustrado na figura abaixo.



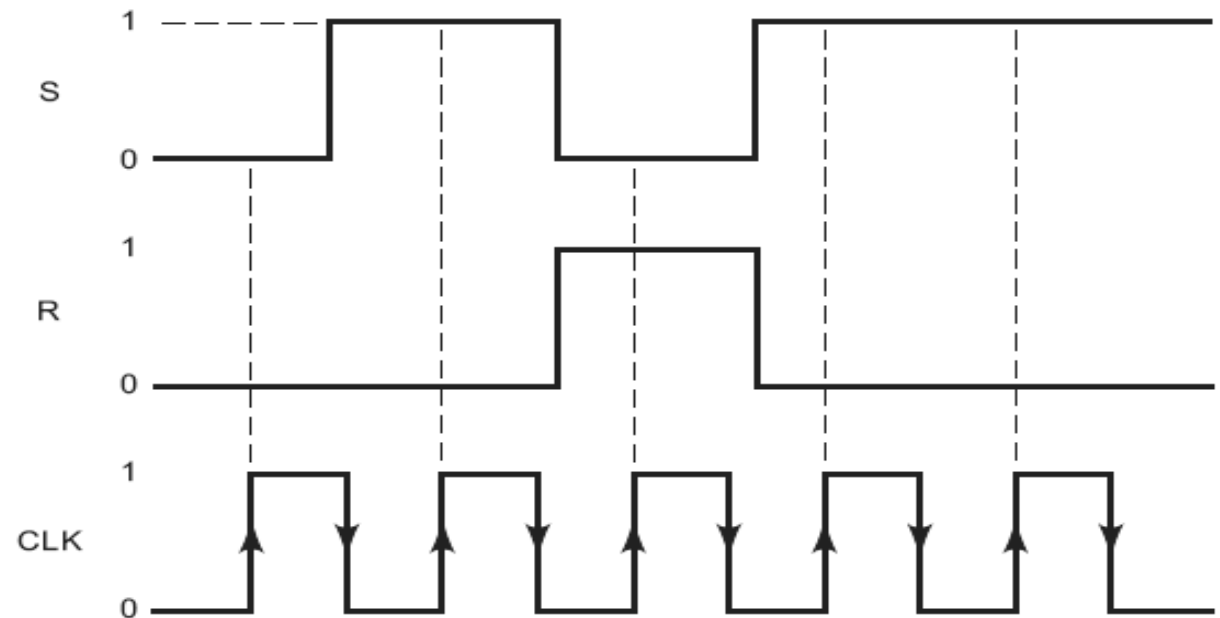
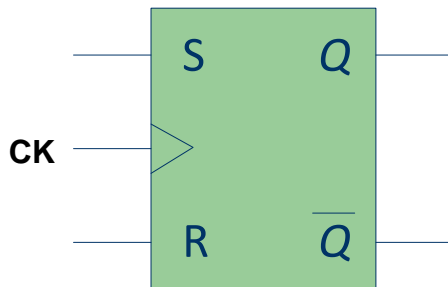
Conceito de Latch e Flip-flop

Exercício 1: As formas de onda abaixo são aplicadas nas entradas do latch. Considerando que inicialmente $Q = 1$, determine a forma de onda na saída Q .



Conceito de Latch e Flip-flop

Exercício 2: Determine a forma de onda na saída Q do FF da figura abaixo, considerando as formas de onda mostradas e que o mesmo encontra-se inicialmente no estado baixo.

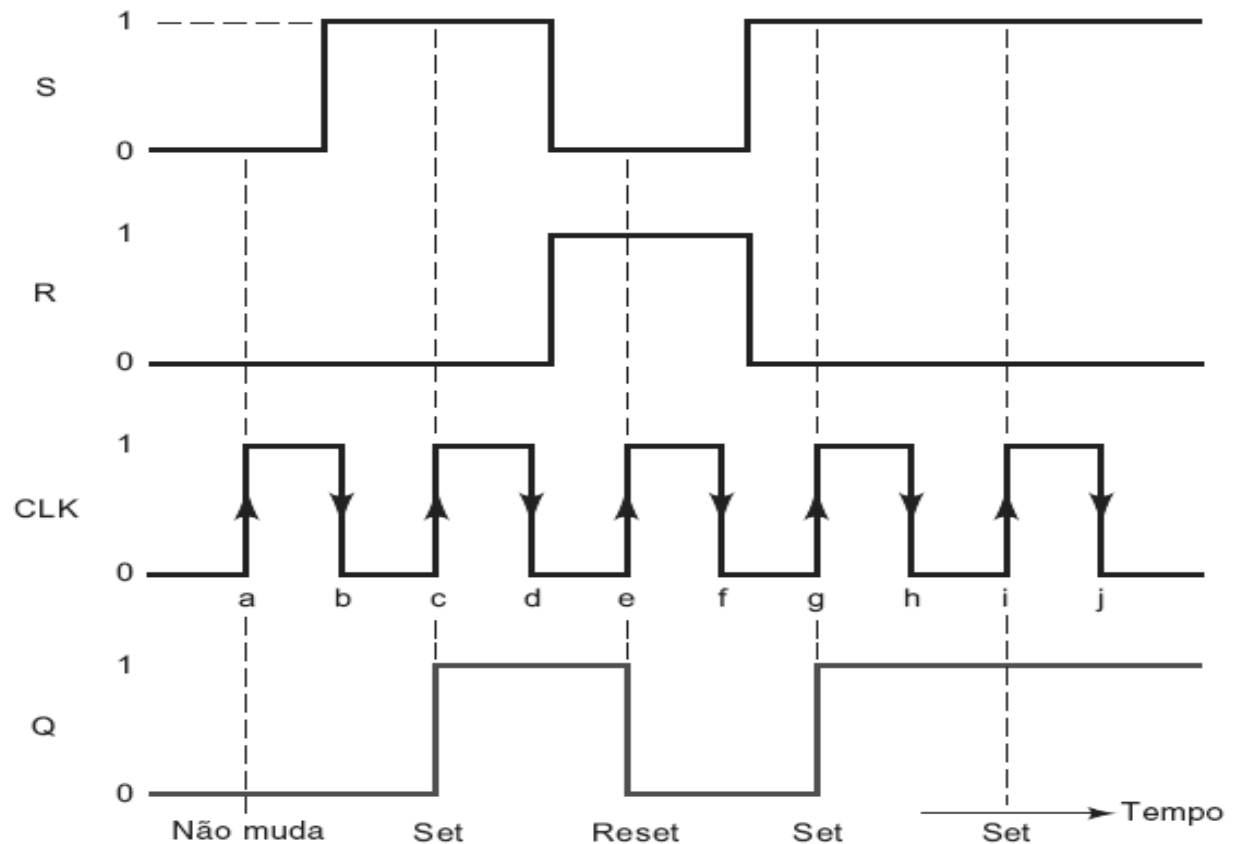


Conceito de Latch e Flip-flop

Resposta Exercício

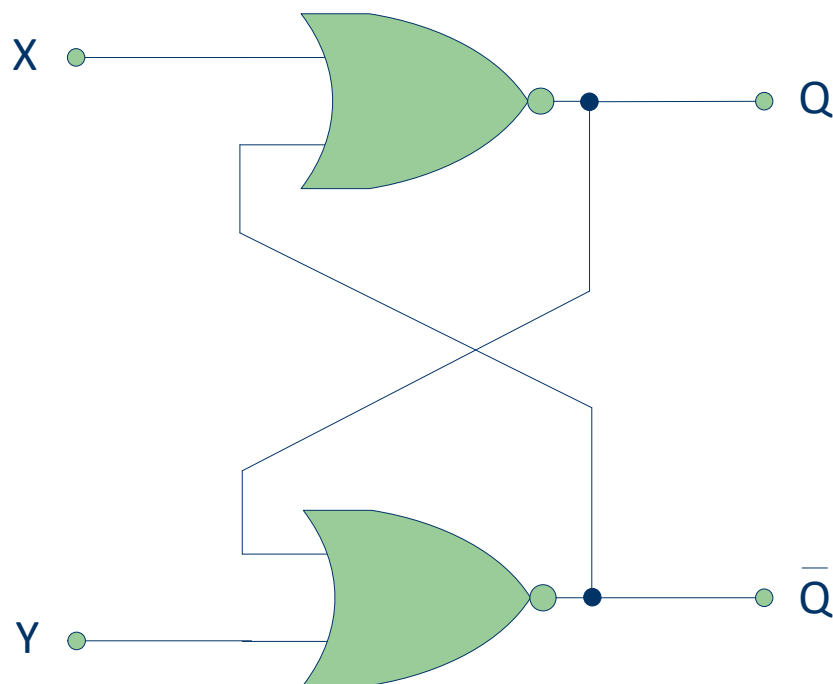
| S | R | CLK | Q_f |
|---|---|-----|-------|
| 0 | 0 | ↑ | Q_a |
| 0 | 1 | ↑ | 0 |
| 1 | 0 | ↑ | 1 |
| 1 | 1 | ↑ | X |

Tabela Verdade



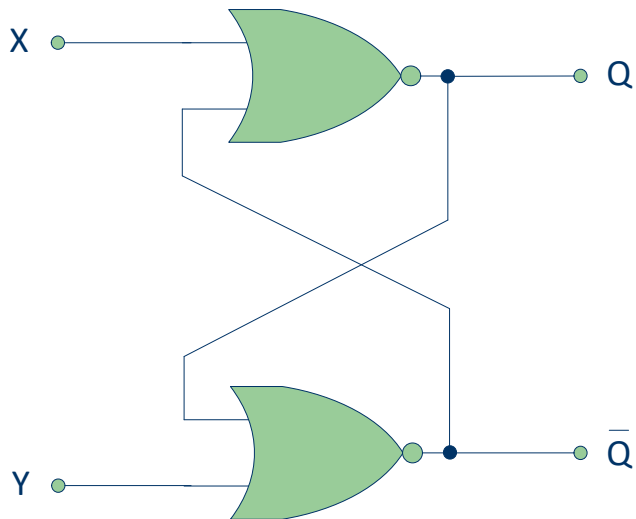
Conceito de Latch e Flip-flop

Exercício 3: Levante a tabela verdade do flip-flop da figura abaixo e identifique as entradas S e R.

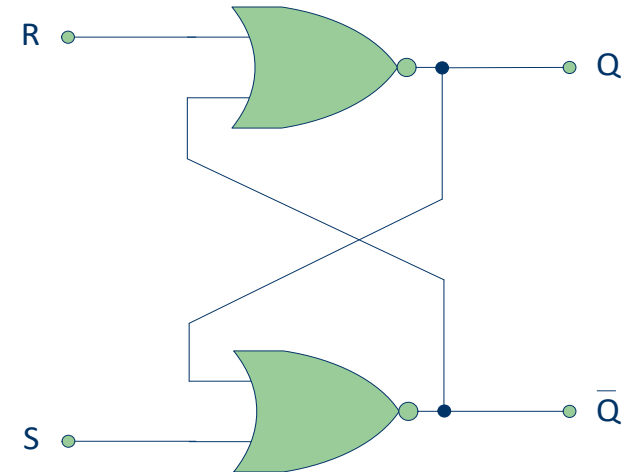


Conceito de Latch e Flip-flop

Resposta do Exercício 3



| X | Y | Q_f |
|---|---|-------|
| 0 | 0 | Q_a |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | X |





Bons Estudos

Prof. MSc. Bruno de Oliveira Monteiro
Engenheiro de Telecomunicações

Inatel