



Eletrônica Digital I

Capítulo V Somador e Subtrator

Aula N – Meio Somador, Somador Completo,
Meio Subtrator e Subtrator Completo

Prof. MSc. Bruno de Oliveira Monteiro
Engenheiro de Telecomunicações

Inatel

Meio Somador - Half Adder

Como já visto, a soma de dois números binários se dá como abaixo:

$$\begin{array}{r} 0 \\ 0 + \\ \hline 0 \end{array}$$

$$\begin{array}{r} 0 \\ 1 + \\ \hline 1 \end{array}$$

$$\begin{array}{r} 1 \\ 0 + \\ \hline 1 \end{array}$$

$$\begin{array}{r} 1 \\ 1 \\ 1 + \\ \hline 10 \end{array}$$

Transporte

$$\begin{array}{r} T_s \text{ (Transporte/ Carry)} \\ A \\ B + \\ \hline S \end{array}$$

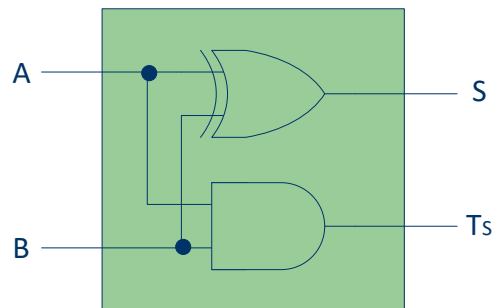
A	B	S	T _s
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tabela Verdade

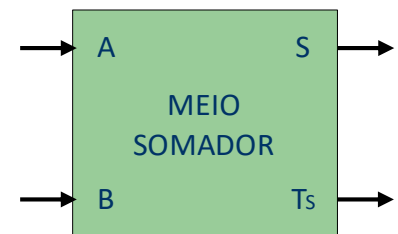
$$S = A \oplus B$$

$$T_s = AB$$

Expressões
Características



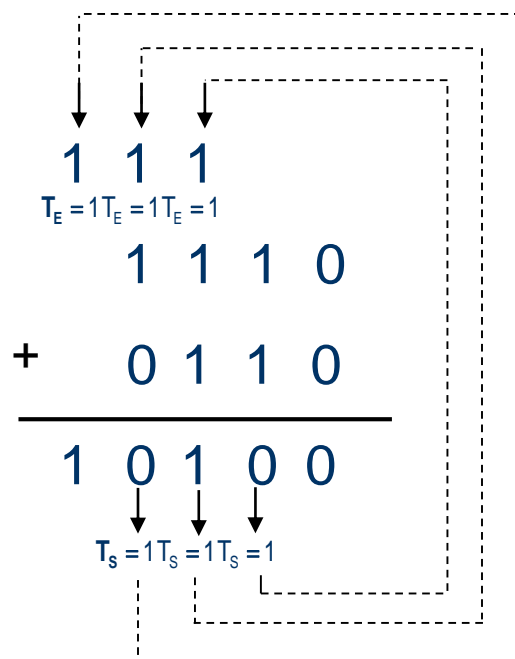
Meio Somador



Bloco Lógico

Somador Completo - Full Adder

Para o entendimento do Somador Completo, considere a soma dos números binários $1110_{(2)}$ e $110_{(2)}$ mostrada abaixo:



O Meio Somador (*Half Adder*) efetua a soma entre dois números binários com um algarismo.

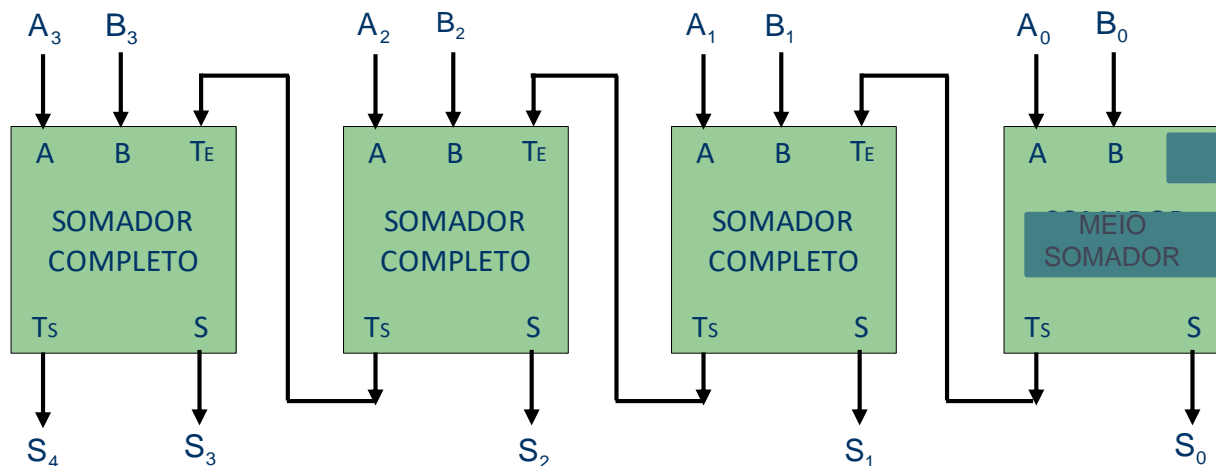
Para efetuar a soma de números binários com vários algarismos (*Full Adder*) torna-se necessário introduzir o transporte de entrada proveniente da coluna anterior.

Vemos que o Transporte de Entrada - T_E (*carry in*) nada mais é do que o Transporte de Saída - T_S (*carry out*) da coluna anterior.

Somador Completo - Full Adder

Exemplo 1: Monte um sistema em blocos que realize a soma de dois números binários de 4 bits.

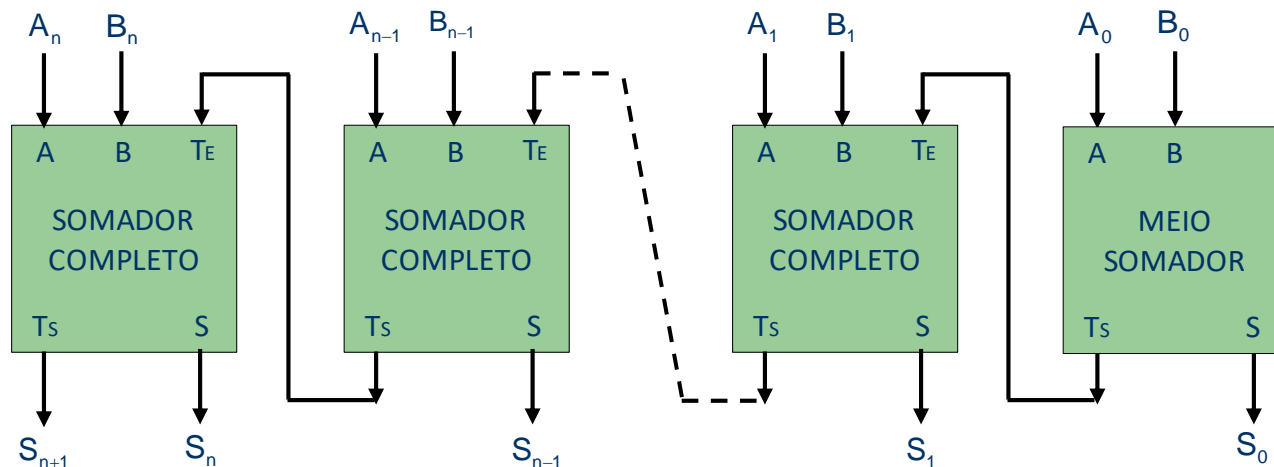
$$\begin{array}{r} A_3 \ A_2 \ A_1 \ A_0 \\ + \ B_3 \ B_2 \ B_1 \ B_0 \\ \hline S_4 \ S_3 \ S_2 \ S_1 \ S_0 \end{array}$$



Somador Completo - Full Adder

Exemplo 2: Monte um sistema em blocos que realiza a soma de dois números binários de m bits. Considere $m = n+1$, onde n corresponde a posição do MSD dos números a serem somados.

$$\begin{array}{r} A_n \ A_{n-1} \ \dots \ A_1 \ A_0 \\ + \ B_n \ B_{n-1} \ \dots \ B_1 \ B_0 \\ \hline S_{n+1} \ S_n \ S_{n-1} \ \dots \ S_1 \ S_0 \end{array}$$

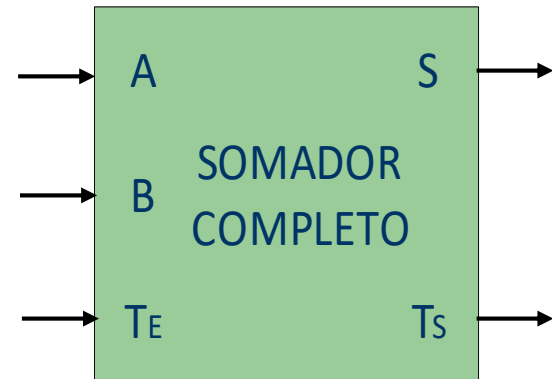


Somador Completo - Full Adder

Exercício: Monte o Circuito Somador Completo



Somador Completo



Bloco Lógico

Somador Completo - Full Adder

Circuito Somador Completo

A	B	T _E	S	T _S
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tabela Verdade

$$S = A\bar{B}\bar{T}_E + \bar{A}\bar{B}T_E + AB\bar{T}_E + \bar{A}B\bar{T}_E$$

$$T_S = A\bar{B}T_E + \bar{A}BT_E + AB\bar{T}_E + ABT_E$$

$$T_S = AB + AT_E + BT_E$$

Expressões Características

Em VHDL:

```
ENTITY AND1 IS  
PORT (  
a,b,c : IN BIT;  
ts,s : OUT BIT  
);  
END ENTITY;
```

```
ARCHITECTURE ARCH OF AND1 IS
```

```
BEGIN
```

```
s1 <= not a;  
s2 <= not b;  
s3 <= not c;  
s4 <= a and s2 and s3;  
s5 <= s1 and s2 and c;  
s6 <= a and b and c;  
s7 <= s1 and b and s3;  
s <= s4 or s5 or s6 or s7;  
ts <= (a and b) or (a and c) or (b and c);
```

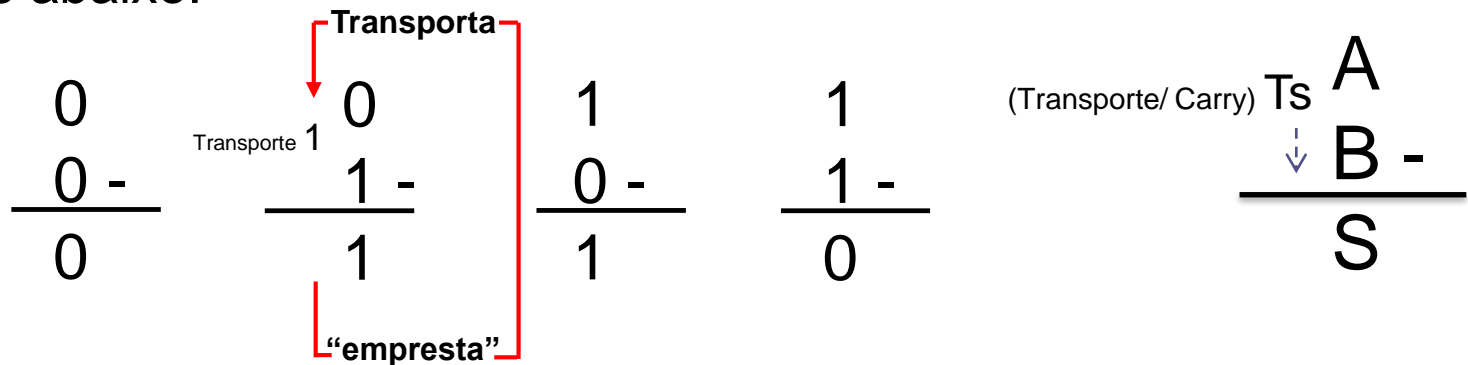
```
END ARCHITECTURE;
```

$$S = A\bar{B}\bar{T}e + \bar{A}\bar{B}Te + ABTe + \bar{A}B\bar{T}e$$

$$T_S = AB + AT_E + BT_E$$

Meio Subtrator- Half Subtractor

Como já visto, a soma de dois números binários se dá como abaixo:



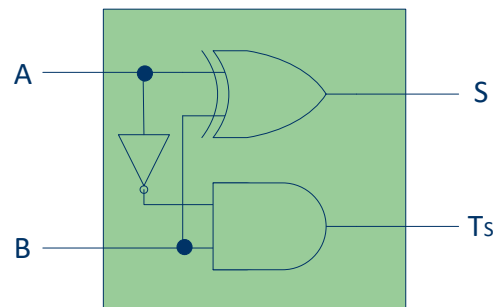
A	B	S	T_s
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Tabela Verdade

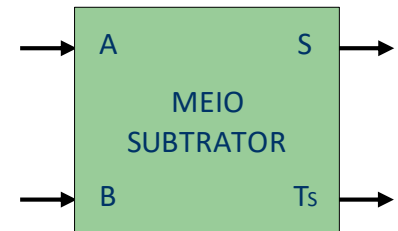
$$S = A \oplus B$$

$$T_s = \overline{A}B$$

Expressões
Características



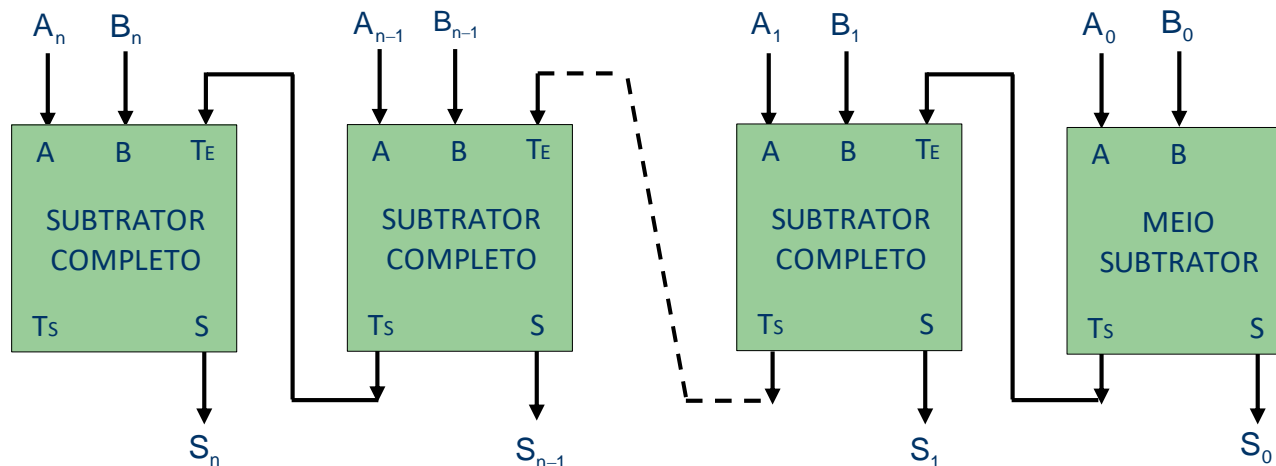
Meio Subtrator



Bloco Lógico

Subtrator Completo- Full Subtractor

O sistema em blocos de um subtrator para dois números binários de m bits ($m = n+1$) é mostrado abaixo.



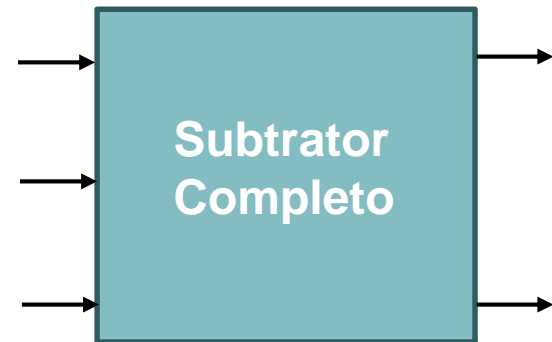
Quando na subtração o minuendo ($A_n \dots A_0$) for maior ou igual ao subtraendo ($B_n \dots B_0$), a saída de transporte (T_s) do último bloco torna-se desnecessária. Caso contrário ela sinalizará que o resultado é negativo e está na notação do complemento de 2.

Subtrator Completo - Full Subtractor

Exercício: Monte o Circuito Subtrator Completo



Subtrator Completo



Bloco Lógico

Subtrator Completo- Full Subtractor

Circuito Subtrator Completo

A	B	T _E	S	T _S
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Tabela Verdade

$$S = \overline{A}\overline{B}\overline{T_E} + \overline{A}\overline{B}T_E + A\overline{B}\overline{T_E} + \overline{A}B\overline{T_E}$$

$$T_S = \overline{A}\overline{B}T_E + \overline{A}B\overline{T_E} + \overline{A}BT_E + AB\overline{T_E}$$

$$T_S = \overline{A}B + \overline{A}T_E + BT_E$$

Expressões Características

Em VHDL:

```
ENTITY AND1 IS
PORT (
a,b,c : IN BIT;
ts,s : OUT BIT
);
END ENTITY;
```

```
ARCHITECTURE ARCH OF AND1 IS
```

```
BEGIN
```

```
s1 <= not a;
s2 <= not b;
s3 <= not c;
s4 <= a and s2 and s3;
s5 <= s1 and s2 and c;
s6 <= a and b and c;
s7 <= s1 and b and s3;
s <= s4 or s5 or s6 or s7;
ts <= (s1 and b) or (s1 and c) or (b and c);
```

```
END ARCHITECTURE;
```

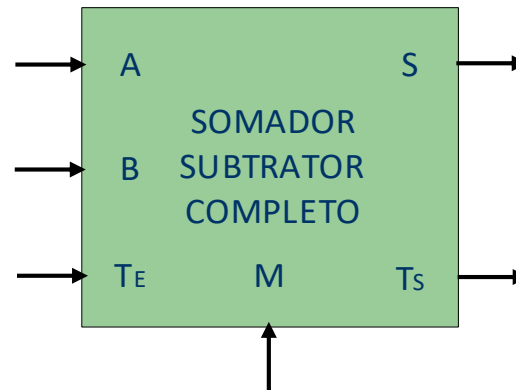
$$S = A\overline{B}\overline{T}e + \overline{A}\overline{B}Te + ABTe + \overline{A}B\overline{T}e$$

$$Ts = \overline{A}B + \overline{A}Te + BTe$$

Somador/Subtrator Completo

Exercício: Desenvolva, a partir da introdução de uma variável de controle M , um circuito que realize as operações de soma e subtração, sendo que para $M = 0$, o circuito deve realizar uma soma completa e para $M = 1$, uma subtração completa.

**Bloco
Lógico**



Somador/Subtrator Completo

Tabela Verdade

M=0
Soma
Completa

M=1
Subtração
Completa

M	A	B	T _E	S	T _S
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

Somador/Subtrator Completo

Simplificação

$$S = \overline{A}\overline{B}\overline{T_E} + \overline{A}\overline{B}T_E + A\overline{B}\overline{T_E} + A\overline{B}T_E$$

$$S = A(\overline{B}\overline{T_E} + \overline{B}T_E) + \overline{A}(\overline{B}\overline{T_E} + \overline{B}T_E)$$

$$S = A(\overline{B \oplus T_E}) + \overline{A}(B \oplus T_E)$$

$$T_S = BT_E + \overline{M}AB + \overline{M}AT_E + M\overline{A}B + M\overline{A}T_E$$

$$T_S = BT_E + B(\overline{M}A + M\overline{A}) + T_E(\overline{M}A + M\overline{A})$$

$$T_S = BT_E + B(M \oplus A) + T_E(M \oplus A)$$

Em VHDL:

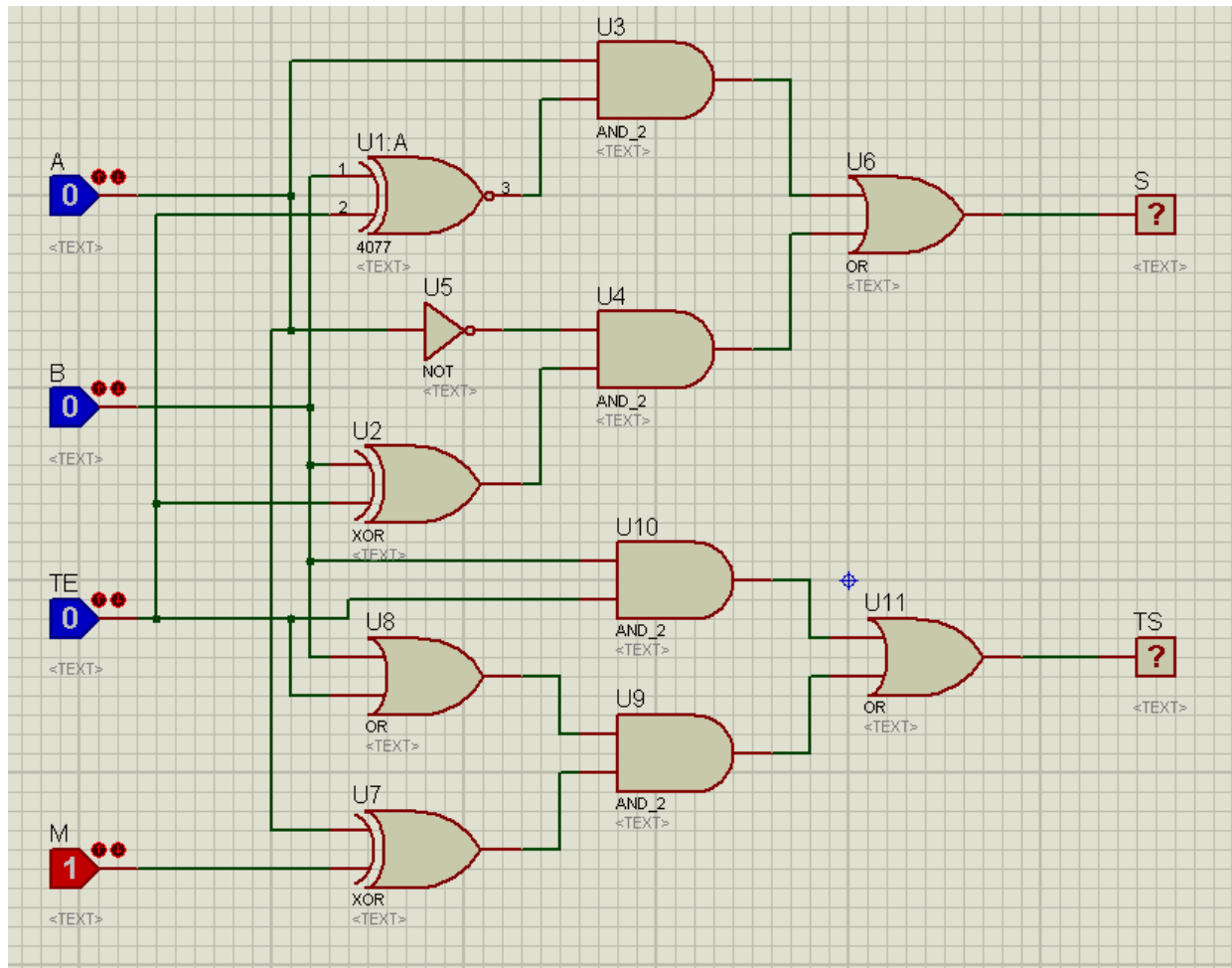
```
ENTITY PROJ1 IS  
PORT (  
A,B,TE,M : IN BIT;  
TS,S : OUT BIT  
);  
END ENTITY;
```

```
ARCHITECTURE ARCH OF PROJ1 IS  
Signal S1, S2, S3, S4 : BIT;
```

```
BEGIN  
S1<=B xnor TE;  
S2<= B xor TE;  
S<= (A and S1) or ((not A) and S2);  
S3<= M xor A;  
S4<= B or TE;  
TS<= (B and TE) or (S3 and S4);
```

```
END ARCHITECTURE;
```

Somador/Subtrator Completo





Bons Estudos

Prof. MSc. Bruno de Oliveira Monteiro
Engenheiro de Telecomunicações

Inatel