

INATEL - Instituto Nacional de Telecomunicações

E207 – Eletrônica Digital I

3º Período / 1º Semestre de 2021

Professores: Bruno de Oliveira Monteiro

bruno@inatel.br

Monitores: Felipe Pereira Silveira
Carlos Daniel Borges Vilela Marques
Gualter Machado Mesquita
Isabela Rezende Barbosa da Silva
Maíra Alves Chagas
Pedro Henrique Praxedes dos Reis
Thalita Fortes Domingos

felipecpereira@gea.inatel.br
carlos.marques@gea.inatel.br
machadomgualter@gmail.com
isabela.r@gec.inatel.br
mairaalves@gec.inatel.br
pedro.reis@gea.inatel.br
thalita.fortes@gec.inatel.br

Aluno: _____ **Matrícula:** _____ **Período:** ____ **Data:** ____ / ____ / ____

RELATÓRIO 8

MUX E DEMUX EM VHDL

EXERCÍCIOS

Questão 1. Responda às seguintes questões:

- a. Conceitue circuito multiplexador e demultiplexador.
- b. Qual a relação entre o número possível de entradas em um Mux em função do número de variáveis de controle (chaves de seleção) ? Considere “n” o número de entradas e “m” o número de variáveis de controle. Escreva a relação matemática entre n e m.
- c. Em um Demux cujas entradas seletoras são A, B, C e D quantos dados podem ser aplicados às saídas desse Demux?
- d. Em um Mux cujas entradas seletoras são A, B e C quantos dados podem ser aplicados às entradas desse Mux?
- e. Simule um MUX 4:1 no Proteus.

Questão 2. Projeto no software Xilinx ISE:

Projete um **multiplexador** (4:1), ou seja, 4 canais de entrada para 1 canal de saída e com 2 chaves de seleção de canal.

Este MUX deverá ser habilitado somente quando o pino de “enable” estiver em nível lógico baixo e quando estiver em nível lógico alto à saída deve estar zerada.

Utilize exclusivamente as seguintes variáveis e monte a tabela da verdade nessa sequência:

- Pino de habilitação (enable): variável E.
- Chaves de seleção de canal de entrada sendo A o mais significativo: A e B.
- Canais de entrada de dados: X0, X1, X2 e X3.
- Saída: Y.

Projete o circuito da maneira como foi lhe apresentado na teoria:

a. Complete a tabela da verdade:

Entradas			Saída
E	A	B	Y

b. Desenhe o esquema do circuito lógico a partir de portas lógicas E, OU e NÃO. Utilize exclusivamente portas lógicas de duas entradas.

c. Simule o circuito no ISE.

Questão 3. Projeto no software Xilinx ISE:

Projete um **demultiplexador** (1:4), ou seja, 1 canal de entrada para 4 canais de saída e com 2 chaves de seleção de canal.

Este DEMUX deverá ser habilitado somente quando o pino de “enable” estiver em nível lógico alto e quando estiver em nível lógico baixo à saída deve estar zerada.

Quando o canal de entrada W for selecionado pelas chaves de seleção de canal, a saída selecionada deve apresentar a informação presente na entrada W e as outras saídas devem apresentar o bit “0”.

Utilize exclusivamente as seguintes variáveis e monte a tabela da verdade nessa sequência:

- Pino de habilitação (enable): variável E.
- Chaves de entrada de seleção sendo A o mais significativo: A e B.
- Canal de entrada de dados: W.
- Saídas: Y0, Y1, Y2 e Y3.

Projete o circuito da maneira como foi lhe apresentado na teoria:

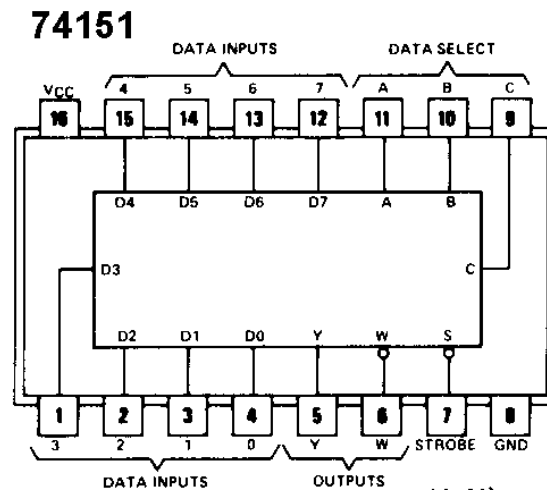
a. Complete a tabela da verdade:

Entradas			Saídas			
E	A	B	Y0	Y1	Y2	Y3

b. Desenhe o esquema do circuito lógico a partir de portas lógicas E, OU e NÃO. Utilize exclusivamente portas lógicas de duas entradas.

c. Simule o circuito no ISE.

Questão 4. O CI 74151 é um Mux de 8 canais.



- O CI é da família TTL ou CMOS? Justifique.
- Utilize o módulo de chaves com resistores pull up para simular os controles e as entradas. Use o provador lógico, implementado com LEDs, para verificar as saídas. Monte a sua tabela da verdade e escreva qual o funcionamento de cada entrada e saída. Verifique seu funcionamento no Proteus.
- Retire as expressões correspondentes às saídas Y e W

Itens que devem conter no kit:

- Um protoboard;
- Um CI 74151;
- Um CI 7408;
- Um CI 7404.