

# Inatel – Instituto Nacional de Telecomunicações

E208 – Eletrônica Digital II

4º Período / 1º Semestre de 2021

**Professores:** Bruno de Oliveira Monteiro

bruno@inatel.br

**Monitores:** Felipe Pereira Silveira  
Carlos Daniel Borges Vilela Marques  
Gualter Machado Mesquita  
Maíra Alves Chagas  
Pedro Henrique Praxedes dos Reis  
Thalita Fortes Domingos  
Maria Luiza Rosestolato Araújo  
Marcos Henrique Rodrigues Lopes  
Thiago da Rocha Miguel

felipepereira@gea.inatel.br  
carlos.marques@gea.inatel.br  
machadomgualter@gmail.com  
mairaalves@gec.inatel.br  
pedro.reis@gea.inatel.br  
thalita.fortes@gec.inatel.br  
maria.luiza@gec.inatel.br  
marcos.lopes@gea.inatel.br  
thiago.miguel@gec.inatel.br

**Aluno:** \_\_\_\_\_ **Matrícula:** \_\_\_\_\_ **Período:** \_\_\_\_\_ **Data:** \_\_\_\_/\_\_\_\_/\_\_\_\_

**Assunto da semana:** Contadores Assíncronos I

## Relatório 5

### Teoria Contadores

Contadores são circuitos digitais que variam os seus estados, sob o comando de um clock, de acordo com uma sequência predeterminada. São utilizados principalmente para contagens diversas, divisão de frequência, medição de frequência e tempo, geração de formas de onda e conversão de analógico para digital.

Basicamente, estes sistemas, são divididos em duas categorias: **Contadores Assíncronos e Síncronos.**

### Contadores Assíncronos

São caracterizados por seus flip-flops funcionarem de maneira assíncrona (sem sincronismo), não tendo entradas clock em comum. Neste tipo de circuito, a entrada clock de faz apenas no primeiro flip-flop (o que possui a saída LSB), sendo as outras derivadas das saídas dos blocos anteriores.

### Armadilha

A armadilha ou truncagem é o nome dado ao circuito cuja função é forçar a contagem crescente ou decrescente a reiniciar sua contagem. No caso, quando o clock recebe um estímulo de transição, os flip-flops vão fazendo a contagem e os números vão aparecendo na saída Q de cada flip-flop.

Durante a contagem a armadilha fica desativada, ou seja, ela não atua e o circuito não reinicia. A armadilha é apenas ativada quando atingir o próximo número da contagem. Ex: Quando a contagem for de 0 a 4 a armadilha será ativada no número 5.

Para criar armadilha em uma contagem é necessário utilizar os parâmetros: Set (Preset) para forçar a saída Q para nível lógico alto (“1”) e Reset (Clear) para forçar a saída Q para nível lógico baixo (“0”).

### Configuração do tipo da contagem

- 1) Contagem Crescente: Q ligado no  $\overline{\text{CK}}$  ou  $\overline{\text{Q}}$  ligado no CK.
- 2) Contagem Decrescente:  $\overline{\text{Q}}$  ligado no  $\overline{\text{CK}}$  ou Q ligado no CK.

### Exercício Prático:

**Questão 1.** Projete um contador assíncrono decrescente de  $5_{10}$  a  $2_{10}$  utilizando o flip-flop 7476. Simule no software **Proteus** e monte do **módulo digital**.

**Obs:** Todas as atividades que solicitarem montagem no módulo digital devem ser realizadas no TinkerCad enquanto as aulas não retornarem de forma presencial.

- a) Determine quantos flip-flop serão necessários: \_\_\_\_\_
- b) Preencha a tabela de contagens contendo as colunas: contagem decimal, contagem binária ( $Q_2$   $Q_1$   $Q_0$ ) e armadilha. Sabendo que o circuito quando inicialmente ligado, deve apresentar nas saídas o número  $5_{10}$  que corresponde a  $101_2$ . (Utilize uma chave do módulo ou logicstate para representá-lo.)

Contagem Decimal	$Q_2$	$Q_1$	$Q_0$	Armadilha

- c) Determine o circuito de armadilha através da tabela de contagens: \_\_\_\_\_

**Dica:** Para projetar um contador assíncrono, configure os flip-flops para operarem como **toggle** e marque o clock de entrada ( $CK_{IN}$ ), a saída mais significativa (MSB) e saída menos significativa (LSB).

- d) Desenhe abaixo o circuito projetado a partir dos FFs.

**Questão 2.** Realize a simulação de um contador crescente de  $0_{10}$  a  $15_{10}$  no software ISE.

- a) Complete o código, inserindo:
- Na entidade as entradas Clock e Reset;
  - Um sinal do tipo INTEGER chamado “temp”;
  - Na condição de o Reset estar em nível lógico Alto, a contagem reiniciar;
  - Em caso de Transição de subida, o seu sinal chamado “temp” ser incrementado em uma unidade, antes de a saída receber o sinal.

### Código de VHDL

```
ENTITY Contador is
  PORT (
    Clock: in BOOLEAN;
    Reset: in BOOLEAN;
    Output: out INTEGER RANGE 0 to 15);
END Contador;

ARCHITECTURE Behavioral OF Contador IS

BEGIN
  process (Clock, Reset)
  BEGIN
    IF Reset='1' THEN
      temp <= 0;
    ELSIF rising_edge(Clock) THEN
      temp <= temp + 1;
    END IF;
  END PROCESS;
END Behavioral;
```

- b) Crie o código para testar o contador de 0 a 15.

## Proposto:

7473

**Questão 3.** Projete um contador assíncrono crescente de  $1_{10}$  a  $6_{10}$  utilizando o flip-flop 7476. Simule no **software Proteus** e monte do **módulo digital**.

- a) Determine quantos flip-flop serão necessários: \_\_\_\_\_
- b) Preencha a tabela de contagens contendo as colunas: contagem decimal, contagem binária ( $Q_2$   $Q_1$   $Q_0$ ) e armadilha. Sabendo que o circuito quando inicialmente ligado, deve apresentar nas saídas o número  $1_{10}$  que corresponde a  $001_2$ . (Utilize uma chave do módulo ou logicstate para representá-lo.)

Contagem Decimal	$Q_2$	$Q_1$	$Q_0$	Armadilha

- c) Determine o circuito de armadilha através da tabela de contagens: \_\_\_\_\_

**Dica:** Para projetar um contador assíncrono, configure os flip-flops para operarem como **toggle**.

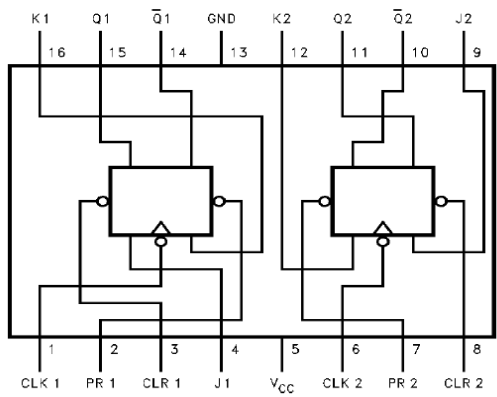
- d) Desenhe abaixo o circuito projetado a partir dos FFs. E marque o clock de entrada ( $CK_{IN}$ ), a saída mais significativa (MSB) e saída menos significativa (LSB).

**Questão 4.** Realize a simulação do contador no software ISE alterando o código da questão 2.

- a) Projete um contador que inicie a contagem em 5 e termine a em 10.
- b) Projete o mesmo contador para que opere na transição de descida

# CI 7476

## Connection Diagram



## Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	⌋	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
H	H	⌋	H	H	Toggle	

H = HIGH Logic Level

L = LOW Logic Level

X = Either LOW or HIGH Logic Level

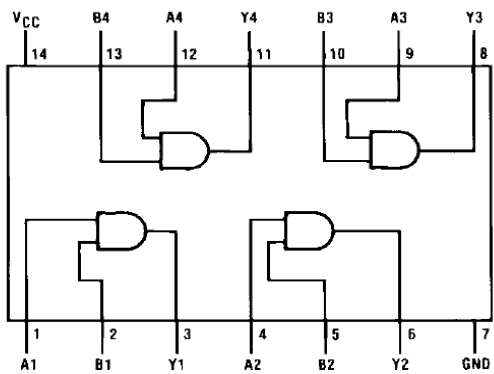
⌋ = Positive pulse data. The J and K inputs must be held constant while the clock is HIGH. Data is transferred to the outputs on the falling edge of the clock pulse.

Q<sub>0</sub> = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each complete active HIGH level clock pulse.

Note 1: This configuration is nonstable; that is, it will not persist when the preset and/or clear inputs return to their inactive (HIGH) level.

## Connection Diagram



## Function Table

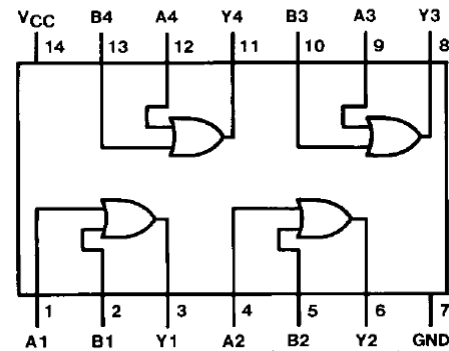
$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level

L = LOW Logic Level

## Connection Diagram



## Function Table

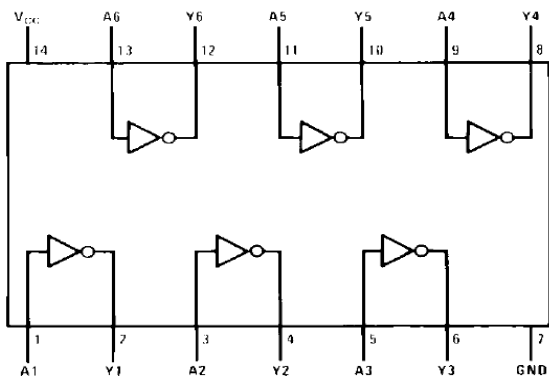
$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = HIGH Logic Level

L = LOW Logic Level

## Connection Diagram



## Function Table

$$Y = \overline{A}$$

Inputs	Output
A	Y
L	H
H	L

H = HIGH Logic Level

L = LOW Logic Level

**Itens que devem conter no quite:**

- Um protoboard;
- Um CI 7476; (FF JK)
- Um CI 7408; (Porta and ou 'e')
- Um CI 7404; (Porta inversora)
- Um CI 7432; (Porta or ou 'ou')