

INATEL - Instituto Nacional de Telecomunicações

E207 – Eletrônica Digital I

3º Período / 1º Semestre de 2021

Professores: Bruno de Oliveira Monteiro

bruno@inatel.br

Monitores: Felipe Pereira Silveira
Carlos Daniel Borges Vilela Marques
Gualter Machado Mesquita
Isabela Rezende Barbosa da Silva
Maíra Alves Chagas
Pedro Henrique Praxedes dos Reis
Thalita Fortes Domingos

felipecpereira@gea.inatel.br
carlos.marques@gea.inatel.br
machadomgualter@gmail.com
isabela.r@gec.inatel.br
mairaalves@gec.inatel.br
pedro.reis@gea.inatel.br
thalita.fortes@gec.inatel.br

Aluno: _____ **Matrícula:** _____ **Período:** _____ **Data:** ____/____/____

RELATÓRIO 8

MUX E DEMUX EM VHDL

EXERCÍCIOS

Questão 1. Responda às seguintes questões:

- a. Conceitue circuito multiplexador e demultiplexador.

Multiplexadores e Demultiplexadores são sistemas digitais que podem processar informações de diversas formas, funcionando como conversores série/paralelo. O multiplexador seleciona uma das entradas de dados para a saída em função das variáveis de controle (múltiplas entradas para uma saída), enquanto o demultiplexador endereça uma única entrada de dados para uma das saídas, também em função das variáveis de controle (uma entrada para múltiplas saídas).

- b. Qual a relação entre o número possível de entradas em um Mux em função do número de variáveis de controle (chaves de seleção) ? Considere “n” o número de entradas e “m” o número de variáveis de controle. Escreva a relação matemática entre n e m.

$$2^m = n$$

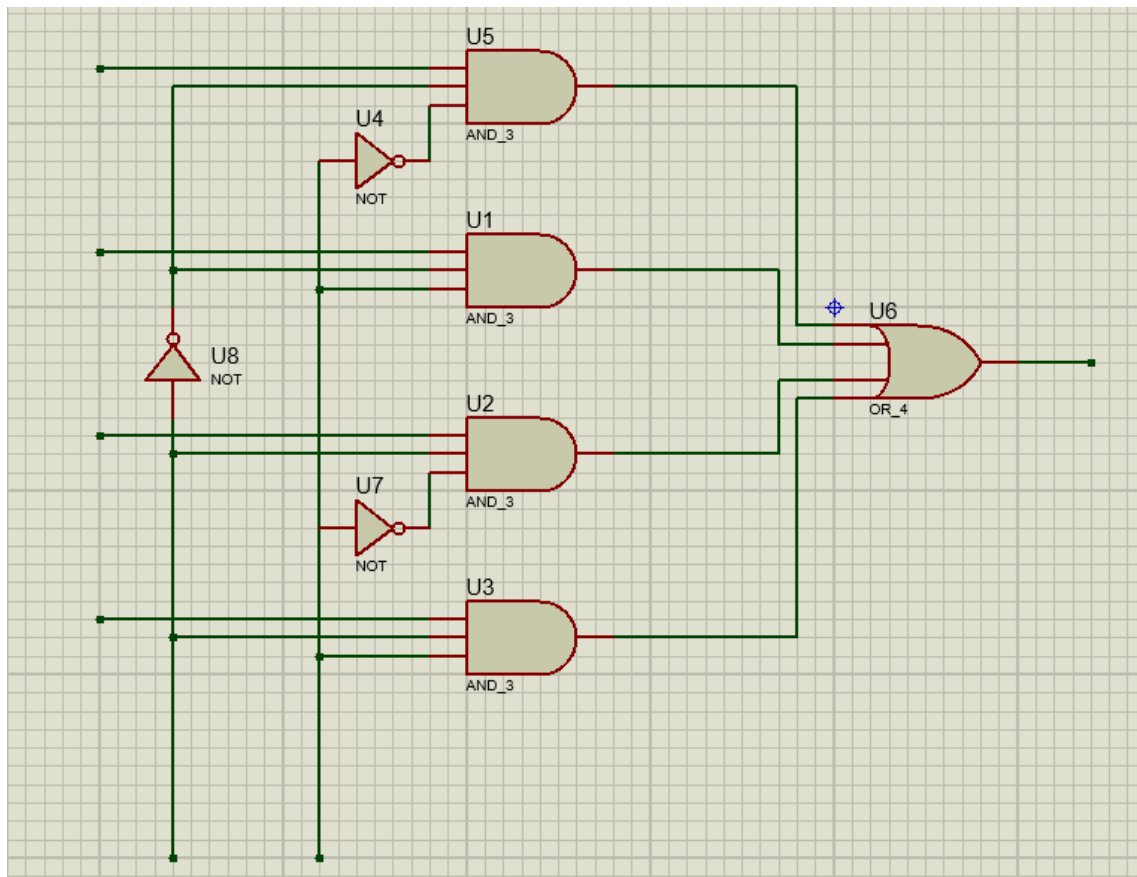
- c. Em um Demux cujas entradas seletoras são A, B, C e D quantos dados podem ser aplicados às saídas desse Demux?

$$2^4 = 16$$

- d. Em um Mux cujas entradas seletoras são A, B e C quantos dados podem ser aplicados às entradas desse Mux?

$$2^3 = 8$$

- e. Simule um MUX 4:1 no Proteus.



Questão 2. Projeto no software Xilinx ISE:

Projete um **multiplexador** (4:1), ou seja, 4 canais de entrada para 1 canal de saída e com 2 chaves de seleção de canal.

Este MUX deverá ser habilitado somente quando o pino de “enable” estiver em nível lógico baixo e quando estiver em nível lógico alto à saída deve estar zerada.

Utilize exclusivamente as seguintes variáveis e monte a tabela da verdade nessa sequência:

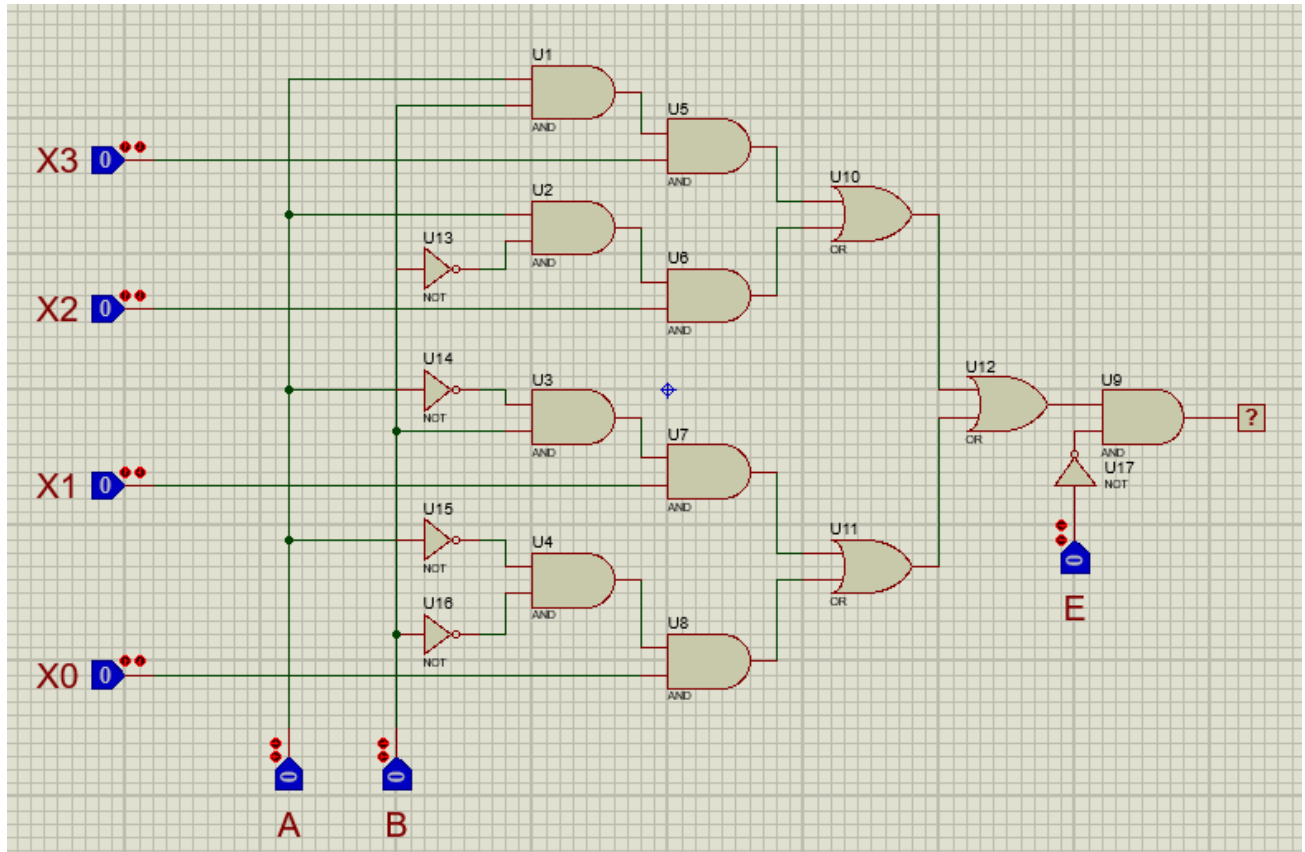
- Pino de habilitação (enable): variável E.
- Chaves de seleção de canal de entrada sendo A o mais significativo: A e B.
- Canais de entrada de dados: X0, X1, X2 e X3.
- Saída: Y.

Projete o circuito da maneira como foi lhe apresentado na teoria:

a. Complete a tabela da verdade:

Entradas			Saída
E	A	B	Y
0	0	0	X0
0	0	1	X1
0	1	0	X2
0	1	1	X3
1	-	-	-

b. Desenhe o esquema do circuito lógico a partir de portas lógicas E, OU e NÃO. Utilize exclusivamente portas lógicas de duas entradas.



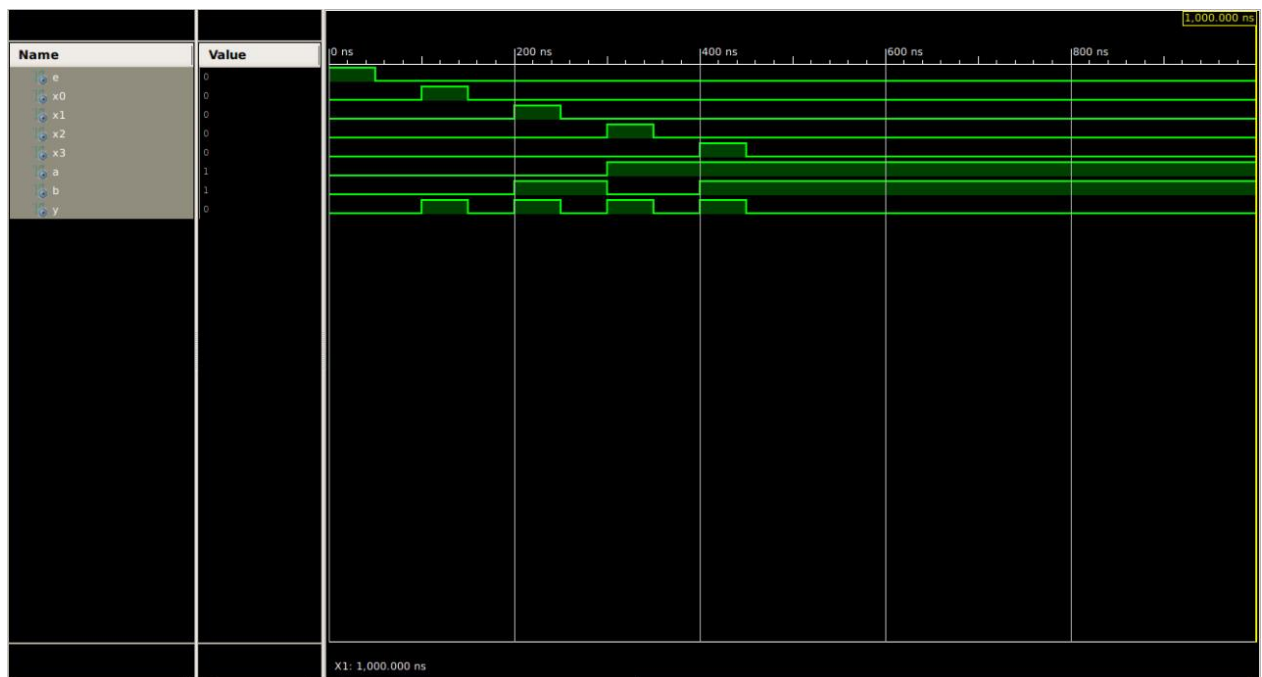
c. Simule o circuito no ISE.

```

2  library IEEE;
3  use IEEE.STD_LOGIC_1164.ALL;
4
5  entity mux_module is
6      Port ( e : in  STD_LOGIC;
7            x0 : in  STD_LOGIC;
8            x1 : in  STD_LOGIC;
9            x2 : in  STD_LOGIC;
10           x3 : in  STD_LOGIC;
11           a : in  STD_LOGIC;
12           b : in  STD_LOGIC;
13           y : out STD_LOGIC);
14 end mux_module;
15
16 architecture Behavioral of mux_module is
17
18 begin
19
20 process(e, a, b, x0, x1, x2, x3)
21 begin
22     if(e = '0') then
23         if (a = '0' and b = '0' and x0 = '1') then
24             y <= '1';
25         elsif (a = '0' and b = '1' and x1 = '1') then
26             y <= '1';
27         elsif (a = '1' and b = '0' and x2 = '1') then
28             y <= '1';
29         elsif (a = '1' and b = '1' and x3 = '1') then
30             y <= '1';
31         else
32             y <= '0';
33         end if;
34     else
35         y <= '0';
36     end if;
37 end process;

```

```
59      -- Stimulus process
60      stim_proc: process
61      begin
62          e <= '1';
63          a <= '0';
64          b <= '0';
65          x0 <= '0';
66          x1 <= '0';
67          x2 <= '0';
68          x3 <= '0';
69
70          wait for 50 ns;
71          e <= '0';
72          wait for 50 ns;
73          x0 <= '1';
74          wait for 50 ns;
75          x0 <= '0';
76          wait for 50 ns;
77          a <= '0';
78          b <= '1';
79          x1 <= '1';
80          wait for 50 ns;
81          x1 <= '0';
82          wait for 50 ns;
83          a <= '1';
84          b <= '0';
85          x2 <= '1';
86          wait for 50 ns;
87          x2 <= '0';
88          wait for 50 ns;
89          a <= '1';
90          b <= '1';
91          x3 <= '1';
92          wait for 50 ns;
93          x3 <= '0';
94          wait;
95      end process;
```



Questão 3. Projeto no software Xilinx ISE:

Projete um **demultiplexador** (1:4), ou seja, 1 canal de entrada para 4 canais de saída e com 2 chaves de seleção de canal.

Este DEMUX deverá ser habilitado somente quando o pino de “enable” estiver em nível lógico alto e quando estiver em nível lógico baixo à saída deve estar zerada.

Quando o canal de entrada W for selecionado pelas chaves de seleção de canal, a saída selecionada deve apresentar a informação presente na entrada W e as outras saídas devem apresentar o bit “0”.

Utilize exclusivamente as seguintes variáveis e monte a tabela da verdade nessa sequência:

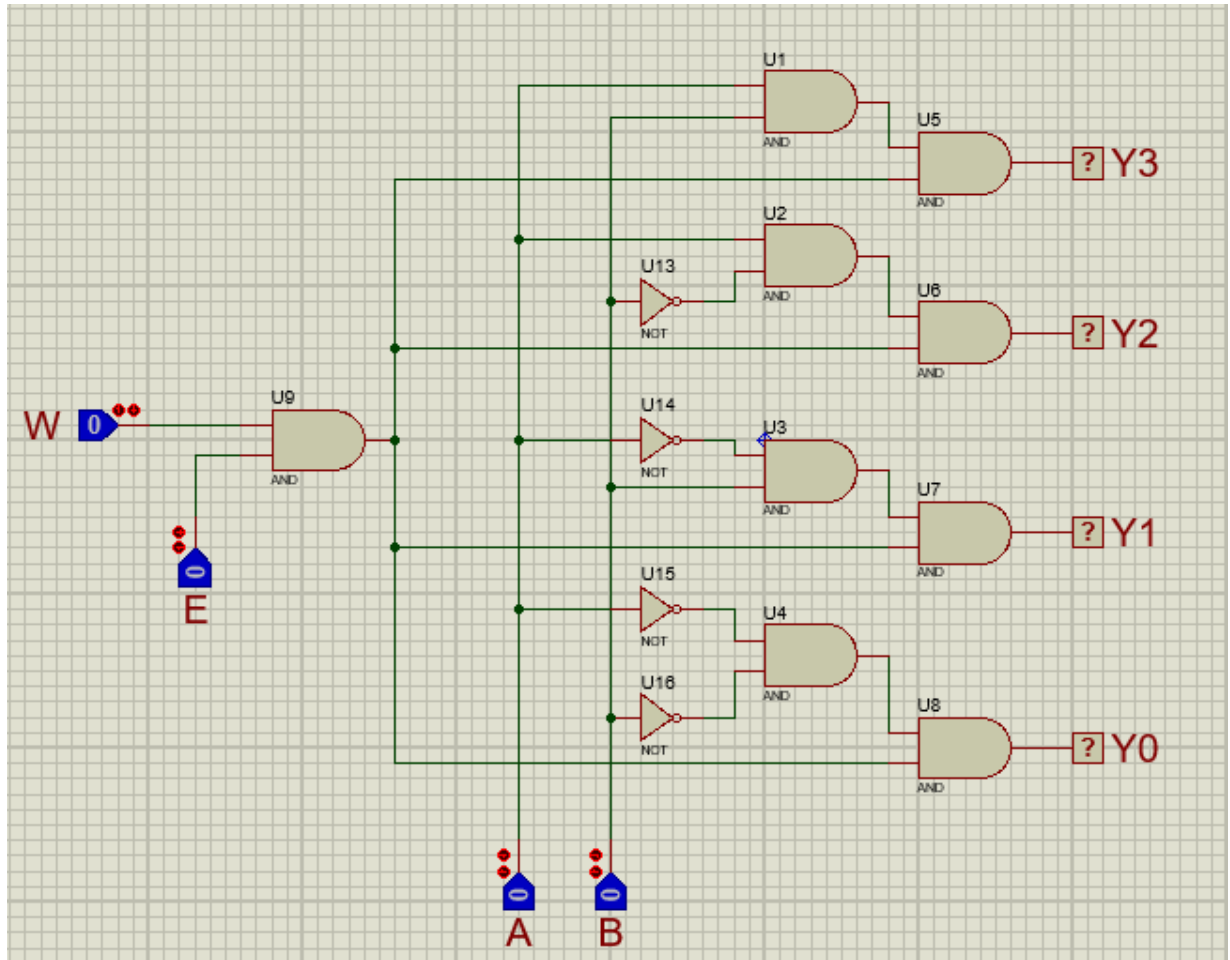
- Pino de habilitação (enable): variável E.
- Chaves de entrada de seleção sendo A o mais significativo: A e B.
- Canal de entrada de dados: W.
- Saídas: Y0, Y1, Y2 e Y3.

Projete o circuito da maneira como foi lhe apresentado na teoria:

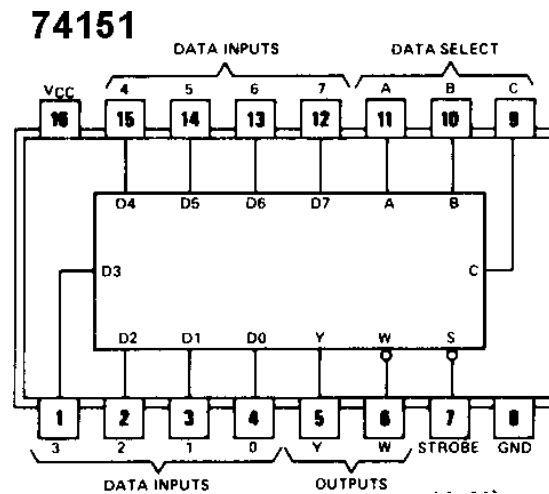
a. Complete a tabela da verdade:

Entradas			Saídas			
E	A	B	Y0	Y1	Y2	Y3
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
0	-	-	-	-	-	-

b. Desenhe o esquema do circuito lógico a partir de portas lógicas E, OU e NÃO. Utilize exclusivamente portas lógicas de duas entradas.



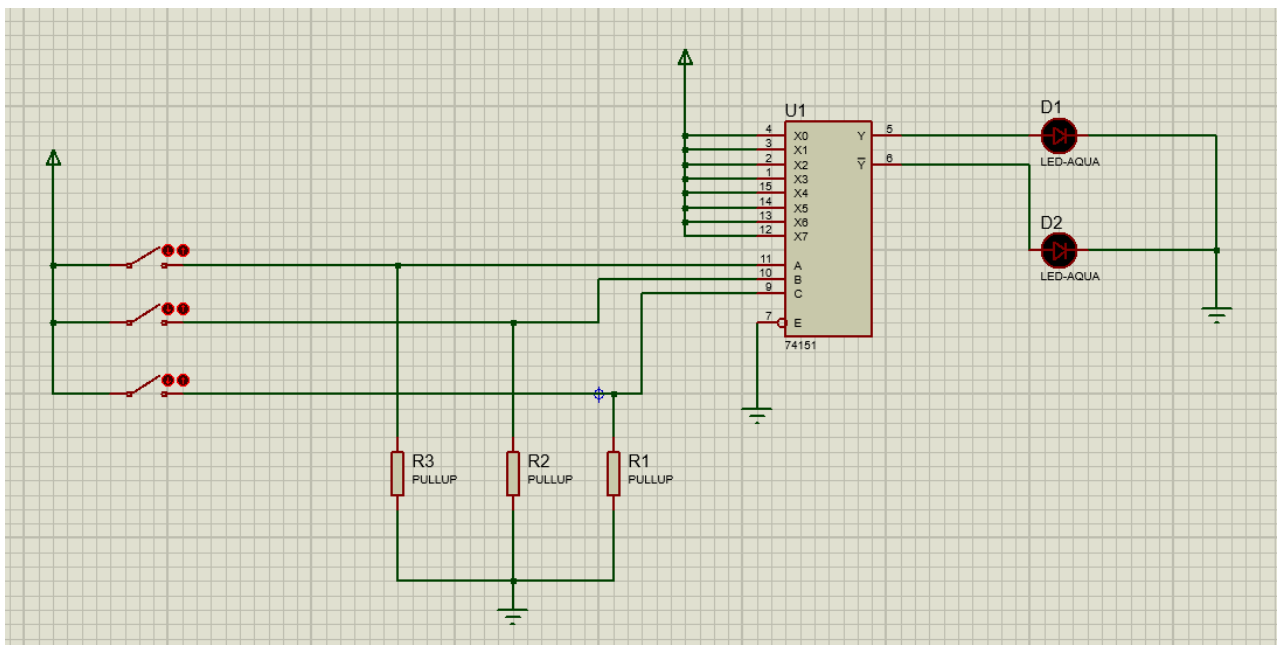
Questão 4. O CI 74151 é um Mux de 8 canais.



- a. O CI é da família TTL ou CMOS? Justifique.

Como seu identificador (part number) começa com “74”, é possível determinar que o CI pertence a família TTL.

- b. Utilize o módulo de chaves com resistores pull up para simular os controles e as entradas. Use o provador lógico, implementado com LEDs, para verificar as saídas. Monte a sua tabela da verdade e escreva qual o funcionamento de cada entrada e saída. Verifique seu funcionamento no Proteus.



E	A	B	C	Y	W
1	-	-	-	0	1
0	0	0	0	X0	0
0	0	0	1	X1	0
0	0	1	0	X2	0
0	0	1	1	X3	0
0	1	0	0	X4	0
0	1	0	1	X5	0
0	1	1	0	X6	0
0	1	1	1	X7	0

c. Retire as expressões correspondentes às saídas Y e W

$$W = E$$

$$Y = E'. ((A.B.C.X0) + (A.B.C'.X1) + (A.B'.C.X2) + (A.B'.C'.X3) + (A'.B.C.X4) + (A'.B.C'.X5) + (A'.B'.C.X6) + (A'.B'.C'.X7))$$

Itens que devem conter no kit:

- Um protoboard;
- Um CI 74151;
- Um CI 7408;
- Um CI 7404.