



减小电磁干扰的印刷电路板设计原则

内 容

摘要.....	1
1 背景.....	1
1.1 射频源.....	1
1.2 表面贴装芯片和通孔元器件.....	1
1.3 静态引脚、活动引脚和输入.....	1
1.4 基本回路.....	2
1.4.1 回路和偶极子的对称性.....	3
1.5 差模和共模.....	3
2 电路板布局.....	4
2.1 电源和地.....	4
2.1.1 感抗.....	4
2.1.2 两层板和四层板.....	4
2.1.3 单层板和二层板设计中的微处理器地.....	4
2.1.4 信号返回地.....	5
2.1.5 模拟、数字和高压.....	5
2.1.6 模拟电源引脚和模拟参考电压.....	5
2.1.7 四层板中电源平面因该怎么做和不应该怎么做.....	5
2.2 两层板中的电源分配.....	6
2.2.1 单点和多点分配.....	6
2.2.2 星型分配.....	6
2.2.3 格栅化地.....	7
2.2.4 旁路和铁氧体磁珠.....	9
2.2.5 使噪声靠近磁珠.....	10
2.3 电路板分区.....	11
2.4 信号线.....	12
2.4.1 容性和感性串扰.....	12
2.4.2 天线因素和长度规则.....	12
2.4.3 串联终端、传输线.....	13
2.4.4 输入阻抗匹配.....	13
2.5 电缆和接插件.....	13
2.5.1 差模和共模噪声.....	14
2.5.2 串扰模型.....	14
2.5.3 返回线路数目.....	14
2.5.4 对板外信号 I/O 的建议.....	14
2.5.5 隔离噪声和静电放电 (ESD).....	14
2.6 其他布局问题.....	14
2.6.1 汽车和用户应用带键盘和显示器的前端面板印刷电路板.....	15
2.6.2 易感性布局.....	15
3 屏蔽.....	16
3.1 工作原理.....	16
3.2 屏蔽接地.....	16



3.3 电缆和屏蔽旁路.....	16
4 总结.....	17
5 参考文献.....	17



插图清单

图 1 低于 50KHz 的信号不需考虑电磁干扰.....	2
图 2 回路的例子.....	3
图 3 差模和共模噪声.....	4
图 4 微处理器地.....	5
图 5 布局考虑.....	6
图 6 电源分配.....	7
图 7 两层板中格栅化电源线.....	8
图 8 地填充和地线的格栅化来组成接地敷铜.....	8
图 9 磁珠尽量靠近噪声源放置.....	10
图 10 电路分区.....	12
图 11 MOS 缓冲简化电路.....	13
图 12 前端面板格栅化形成两个地层.....	15
图 13 外部 I/O 的安装滤波电容.....	16

表格清单

表 1 终端匹配特性.....	13
-----------------	----



摘 要

印刷电路板 (PCB) 的一般布局原则在一些相对难懂的文件中得到总结。一些原则是特殊适用于微控制器的, 然而这些原则却被试图应用到所有的现代 CMOS 集成电路上。这个文件覆盖了大部分已知和已经发表的使用在低噪声无屏蔽环境的布局技术。研究是针对两层板的, 假设最大可接受的噪声水平为 30dB 或更大, 比 FCC 第 15 部分更严格, 这个噪声水平看起来是欧洲和美国汽车市场能接受的噪声上限。

这个文件并不总是解释给出技术中的为什么, 因为它的意图只是作为参考文件而不是作为辅助教育文件。要提醒读者的是, 即使在原先的设计中并没有使用一种给定的技术而电路仍然具有可以接受的性能, 并不代表这种技术没有用处。随着时间的推移, 集成电路芯片的速度和集成度也在提高, 每一种隔离和减小噪声的方法都会得到使用。

1 背 景

1. 1 射频源

要讨论的设计原则与微控制器产生的射频 (RF) 噪声相关。这个噪声产生于芯片内部并通过许多不同的可能方式耦合到外部, 在所有的输出、输入、电源和地端同时存在。潜在的, 微控制器的每个引脚都可能有问题。

最大的问题是来自集成电路 (IC) 输入和输出引脚 (I/O) 的噪声, 因为由电路板上的线路所覆盖的区域组成了一个大天线。这些引脚也同时连接到内部和外部的线缆。这些噪声产生于集成电路内部的时钟切换, 在静态输出上表现为短时脉冲波形干扰。短时脉冲波形干扰是由输出引脚和时钟驱动器的共模阻抗引起的, 即提供电源和地的所有引脚。大部分芯片的同步特性使得所有电流切换事件同时发生, 从而产生包含射频能量的大的噪声尖峰。

第二大射频源是电源供应系统, 它包括电源稳压器及其稳压器和微控制器端的旁路电容。这些电路是系统中所有射频能量的源头, 为芯片内的时序电路提供需要的切换电流。

第三个射频源是上下振荡的振荡器电路。除了基频, 因为输出缓冲是数字的, 将正弦波转化成方波时会在输出侧产生谐波。内部运行产生的任何噪声, 比如时钟缓冲, 都会在输出端显示出来。如果在晶振及其振荡回路与印刷电路板上的其他元器件和线路进行适当的隔离, 且环形面积保持较小, 这个噪声源就不会有问题。但可以看出, 如果集成电路或无源元器件, 例如 VBtt 的串联电感, 放置在晶振的附近, 晶振的谐波就会耦合并传播。

本应用报告的主要焦点放在上述的第一和第二个噪声源, 处理第三噪声源的方法也有阐明, 而且包括了电路板分区 (平面布置) 和屏蔽的重要信息。

1. 2 表面贴装芯片和通孔元器件

表面贴装芯片 (SMD) 因为感抗较小和元器件放置较近, 在处理射频能量时比引线芯片更好。后者通过减小表面贴装芯片的物理尺寸是可能的。这对最需要噪声控制元器件的两层板的设计是关键。通常, 引线电容在约 80MHz 时都会产生自振荡 (由容性变为感性)。因为高于 80MHz 的噪声要受到控制, 如果设计中仅采用通孔元器件就要考虑许多严重的问题。

1. 3 静态引脚、活动引脚和输入

如前所述, 所有线路都会在某种程度上接收来自处理器的噪声。来自引脚

的总的噪声取决于微处理器为它提供多少噪声以及它在系统中的功能。例如：输出引脚上具有来自微处理器的电源干线的噪声和从临近引脚和底层容性耦合的噪声。如果引脚的功能是系统时钟，那也是噪声。即使引脚是静态的 1 或者零电位，我们仍需处理来自芯片内的噪声。

如果 I/O 引脚处在输入模式，未使用的输出晶体管的容抗从电源干线向引脚传输噪声。噪声的量取决于连接到引脚的阻抗，阻抗越高，微处理器产生的噪声就会更多。这就是为什么没有使用的输入引脚应该连接到最低阻抗干线，可能的情况下，直接短接到地。

至于开关输出信号，只有当信号的边缘跳变大于 50KHz（见图 1）才需考虑。如果引脚改变状态的速率低于每 100 条指令一次，这是可以接受的，因为开关产生的噪声是可以忽略的。如果引脚开关，在下一条指令动作，并在 100 条指令内保持静态，这也是可以接受的，因为它包含了与前一例子相同的能量。

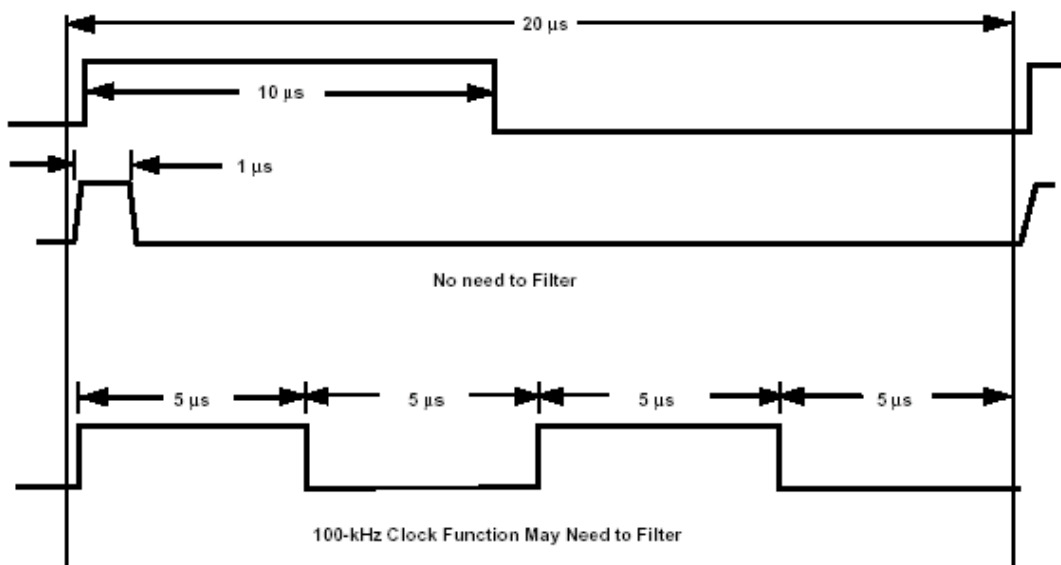


图 1 低于 50KHz 的信号不需考虑电磁干扰

1. 4 基本回路

从微处理器传送到另一芯片的每个边缘跳变都是一个电流脉冲，电流脉冲流向接受芯片，流出该芯片的接地引脚，然后通过地线返回到微处理器的接地引脚（见图 2）。电流脉冲不流出接收芯片的地引线及返回电池，而是经过一个回路返回它产生的地方，这样的回路到处存在。任何噪声电压和它的附属电流经过最低阻抗路径回到它产生的地方。这是一个很有用的概念，因为它让你通过控制返回路径的形状和阻抗来减轻噪声的传播。

一个回路可以是信号线和它的返回路径，电源和地之间的旁路和微处理器的活跃部分，晶体振荡器和微处理器内的驱动器，或者是从电源供应或者电压稳压器到旁路电容的回路。其他更困难的回路实际上是周围的场回路。例如，晶振本身发射的能量会耦合到附近的线路中，因此，该线路包含极力返回晶振回路的噪声。这可能涉及一条很长且回旋的路径，构成晶振产生的噪声的另外一条天线。

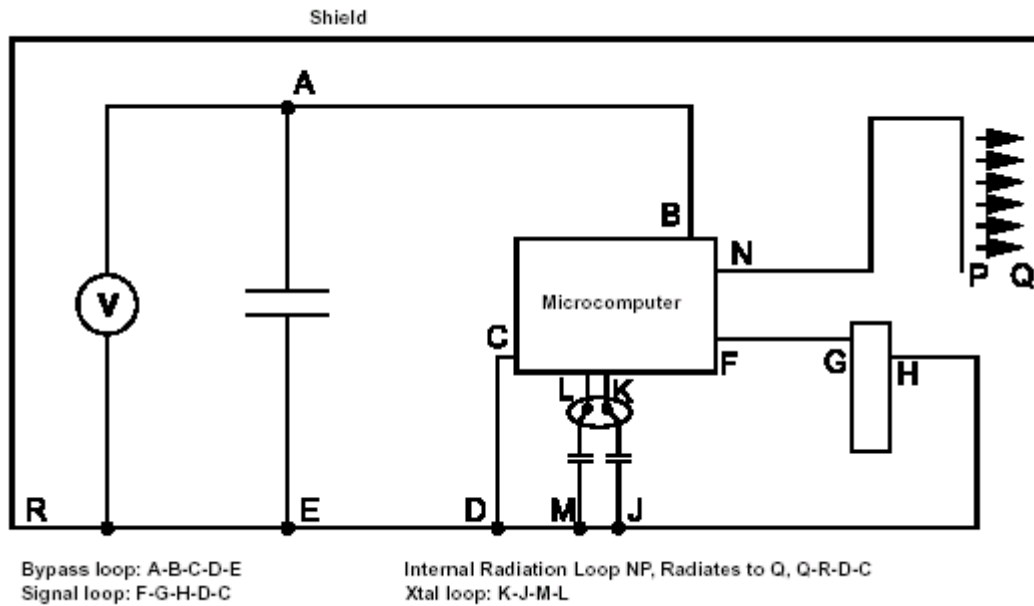


图 2 回路的例子

1. 4. 1 回路和偶极子的对称性

回路和偶极子是天线。它们的发射效率可能增大到频率的 $1/4$ 波长 (λ)。那意味着在形成回路的情况下，回路布局的几何面积越大，辐射就越强，直至回路的一条或两条边达到 $1/4$ 波长。在偶极子中，天线越长，辐射越大，直至天线的长度达到 $1/4$ 波长。在 1MHz 时， $1/4 \lambda = 75\text{m}$ ；在 300MHz 时， $1/4 \lambda = 25\text{cm}$ 或者约 10 英寸。

1. 5 差模和共模

差分模式的噪声是信号通过线路传输到接收芯片，然后沿返回线路返回时产生的噪声（见图 3）。两条线路间存在着差分电压，这是每个信号要完成功能必然要产生的噪声。确保信号根据两种频率含量（上升和下降次数）和电流值，完成它的工作不会产生更多的噪声。在共模模式，电压同时沿信号线和返回线传输，两者之间没有差分电压，电压是信号线和返回线共有的阻抗引起的。共模阻抗噪声是大多数基于微处理器而未使用外部存储器的系统最常见的噪声源。

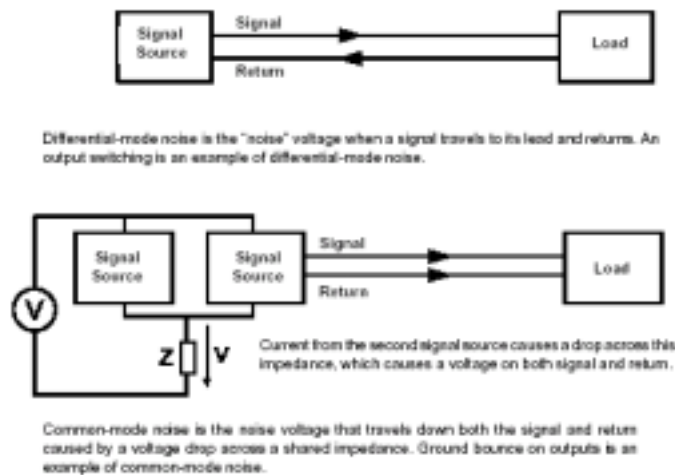


图 3 差模和共模噪声



2 电路板布局

2.1 电源和地

印刷电路板的电源走线中流过的唯一的非直流电流应为补充旁路电容所需的电流。微处理器在输入时钟边沿开关所需的高频电流应来自旁路电容而不是来自电源供应。

2.1.1 感抗

感抗随着导体长度的增大而增大，而随着导体的宽度的增大而减小（低速时）。在电源线路中，感抗因辐射和传播而使电压降低。

因为任何线路都不希望发射射频能量，任何携带射频能量的线路的感抗应尽可能低：

- 在两层板上，对电源和地，芯片和电源之间的线路的长宽比不要超过 3:1。

- 电源和地应直接走线在各自的上方，从而减小感抗和使回路面积最小。

2.1.2 两层板和四层板

两层板能够通过模仿四层板的改善措施实现四层板 95% 的有效性：

- 尽量使地线走在电源线下面。

- 格栅化电源和地，但注意不要引入不必要的共模阻抗连接或者破坏了有意的隔离，比如在高压和数字地之间的隔离。参见 2.2.3 部分：产生格栅敷铜。

- 到处理器的 I/O 的直接连接线的返回线走线在信号线之下，格栅化在空间上是很有效的。参见 2.2.3 部分：产生格栅敷铜。

- 在微处理器的下方，建立实心接地敷铜，旁路元器件和振荡器回路可以连接到上面，同时连接到接地引脚和电源旁路电容。这叫做微处理器地，在 2.1.3 部分讨论。

2.1.3 单层板和二层板设计中的微处理器地

微处理器地是在微处理器正下方的底层上的接地区域，成为微处理器所产生噪声的一个地岛。这个区域将延伸出芯片外形 1/4 英寸并连接到微处理器地。电源供应旁路电容和该引脚上的所有旁路电容都要连接到这个地。特别地，这个地区域应延伸并围绕振荡器通孔的引线，旁路电容连接时应形成从顶部看尽可能小的回路面积。参见图 4 中的例子。

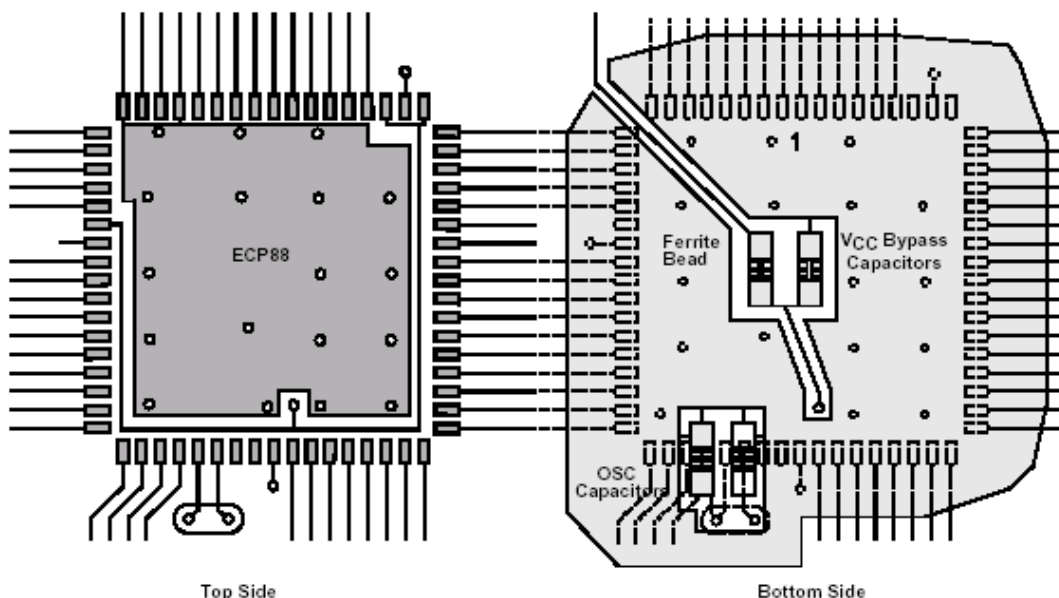


图 4 微处理器地

为了排列的原因，顶层的线路在底层图上用虚线表示。注意振荡器电容是如何放回芯片和晶振之间的线路的，这样就减小了回路面积。这对铁氧体磁珠和 Vcc 旁路电容的放置也是一样的，放置在中央而把主电源引线几乎直接走线在地引线的下方。

2. 1. 4 信号返回地

如前面 1.4 部分提到的，信号线及其从接收芯片回到信号源的返回地线组成了一个回路。信号返回路径提出了印刷电路板布局最困难的设计问题。

要将连接到微处理器信号引脚上任一线路的地返回线走线在其下方是很困难的。但是，这是四层板中的地平面实现的工作。不管线路从哪走线，都有一条地返回路径在其下方。

如 2.2.3 部分所述，在两层板中格栅化接地是地平面最接近的近似。如前所述，来自信号线的辐射是首先要考虑的问题。通过将信号返回线走线在信号线的下方从而减小回路面积，是处理这个问题最有效的方法。因此，在印刷电路板布局时建立一个接地格栅是最重要的事（仅次于平面布置）。

2. 1. 5 模拟、数字和高压

数字地和电源携带要受到抑制的射频能量，所以最好能将它与其他电源和地、模拟线路、高压线路或者其他无关线路隔离开来。如果微处理器产生的噪声或其他电路作用到一个隔离地上，可以通过小心放置一个 470—1000pF 的小射频电容返回。选择电容的位置可通过试验，最好在屏蔽室中进行。

2. 1. 6 模拟电源引脚和模拟参考电压

集成到微处理器内的 A/D 转换器的参考电压供应很小量的时钟电流，然而仅从噪声发射的观点考虑是不够的。大部分应用中模拟 Vss/Vcc 连接到数字 Vss1/Vcc1 引脚，这不能明显改变 A/D 或辐射的噪声特性，假设能量分配是按照 2.1.1 到 2.1.4 部分中的原则建立的。

2. 1. 7 四层板中电源平面应该怎么做和不应该怎么做

在 2.1.2 部分已经提过四层板减小噪声的理由，下面的原则将保持四层板中的优势。

- 把最大的注意力放在如何在平面上放置过孔和截面。他们截断平面从而

增大了回路面积（见图 5 中的 A 和 B）。

- 避免在地平面中走线。如果你必须使用，把他们放在+V 平面。
- 当在平面上放置中心距离为 100mil 的过孔时，在每个引脚之间放置一段小线路。用一排小孔打断平面比用一个长槽要好得多（见图 5 中的 C 和 D）。
- 当分裂地层比如说分成数字地和电源地，确保连接到微处理器的信号仍然完全处于数字地上。在电源地上延伸信号线有害因为电源地对减小数字噪声信号的回路面积没有用处。

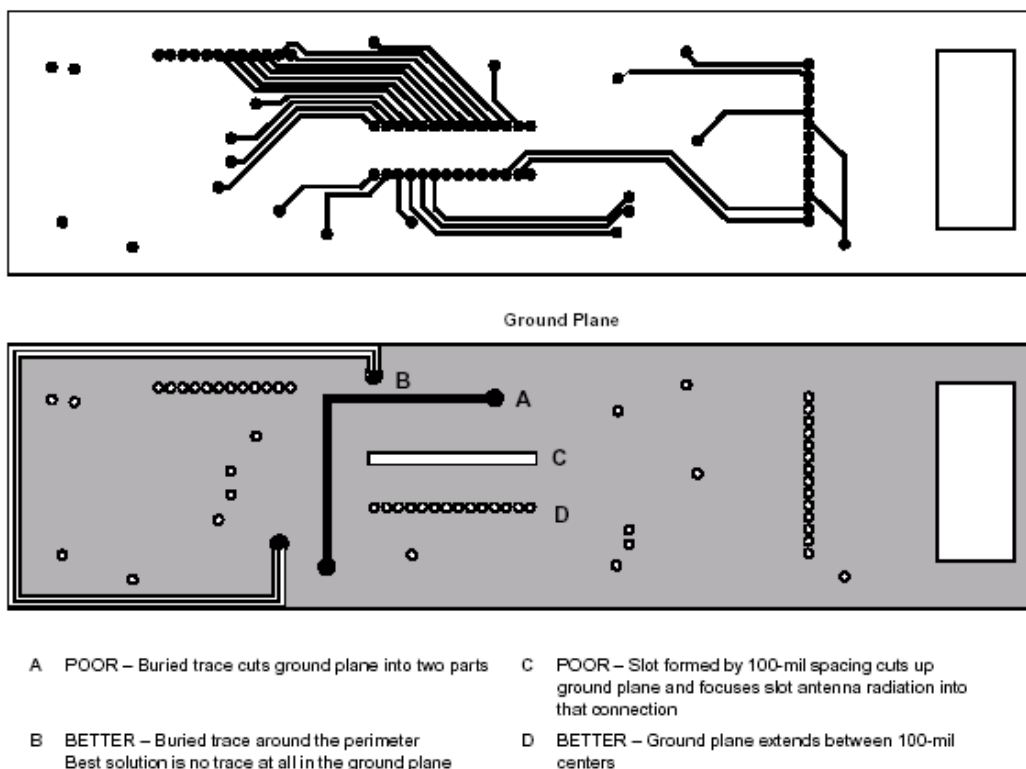


图 5 布局考虑

2. 2 两层板中的电源分配

2. 2. 1 单点和多点分配

在一个真正的单点电源分配系统中，任一工作元器件都有其独立电源和地，且这些线路在一个单独的考点汇合前保持独立。在多点系统中，这些连接线采取菊花链的形式，所以有多个 0V 参考点。明显的，多点系统可能产生共模阻抗耦合。因为实现单点系统也许是不可能的，产生射频的芯片的单点和其他多点的连接有利于减小噪声。可能的最好方案是把稳压器地、微处理器地、电池负极、底盘和防护连接成一个单点（见图 6）。

2. 2. 2 星型分配

星型分配和单点很相似，看起来象是所有点通过大致同一长度的线路参照同一个放置在中心的参考点。特别的，同一参考点可能不放置在中心，而是通过一条很宽的长线连接到它的源端。因此，它与单点的主要区别在于：

- 星型的单个参考点可能是一条长线而不是一个点。
- 各分支线的起始点靠近电路板的中心，每条线沿自己的方向，到达终点的线路长度和其他相等。

- 星型结构在类似高速电脑主板的系统时钟中最为适用。信号起源于边缘的接插件并延伸到电路板的中央，然后分支到需要的每一个地方。因为它有效地起源于电路板地中央，从电路板一个区域到另一个区域的信号延时是最小的。星型这个名字有时用来指单点，因此有必要进行澄清。

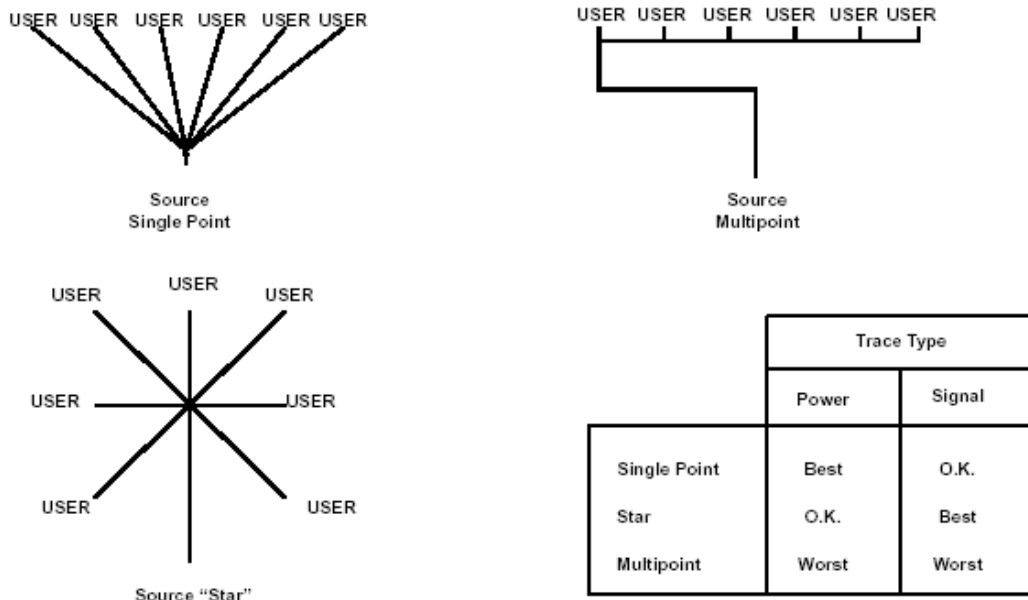


图 6 电源分配

2. 2. 3 格栅化平面

对两层板来说，格栅化是最重要的设计技术。格栅化更象一个电源利用网络，是正交连接线组成的网络。它构成一个有效的地平面，和四层板一样能够减小噪声。它有两个目的：

- 模仿四层板的地层，为每一条信号线提供处于下方的返回路径。
- 降低微处理器和电压稳压之间的阻抗。

格栅化通过在印刷电路板上延伸地线并使用地填充模式来构建连接到地的连线网络实现。例如，一个印刷电路板大部分顶层的线路垂直走线，大部分的底层线路水平走线（见图 7）。这和返回线走线在信号线下方是冲突的。首先，每条地线延伸尽可能填充印刷电路板的空。然后，所有剩余的空间都被地填充。在顶层线路和底层线路地交点处放置通孔，然后同样采取地填充模式，地填充模式对格栅有用如果他们在两端都连接到地。地填充模式仅在一端连接时只是一个地防护，但是如果在两个或更多点连接，它就成为一个导体，并因此成为格栅中的贡献者。

- 在两层板上格栅尽可能的多。寻找空间使布局中小的变化就能允许在格栅中增加另一条连接线。
- 尺寸上合适时使用尽可能多的通孔。
- 线路不一定要直角或同样的宽度。

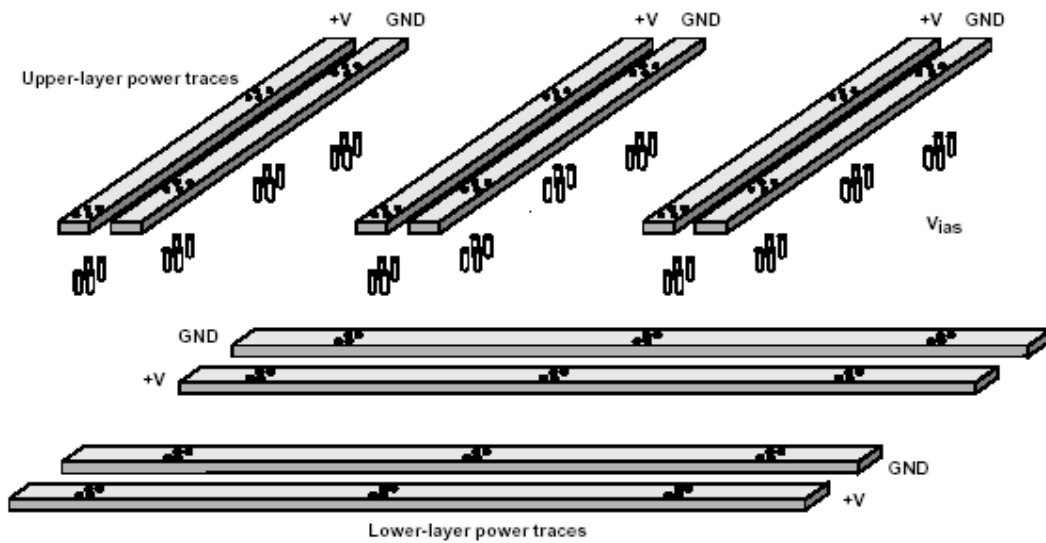


图 7 两层板中格栅化电源线

图 8 中显示的是仅为了实现地层的效应而格栅化地的例子。应当注意到为了实现这个所做的变化很小，说明微小的努力也能得到巨大的回报。

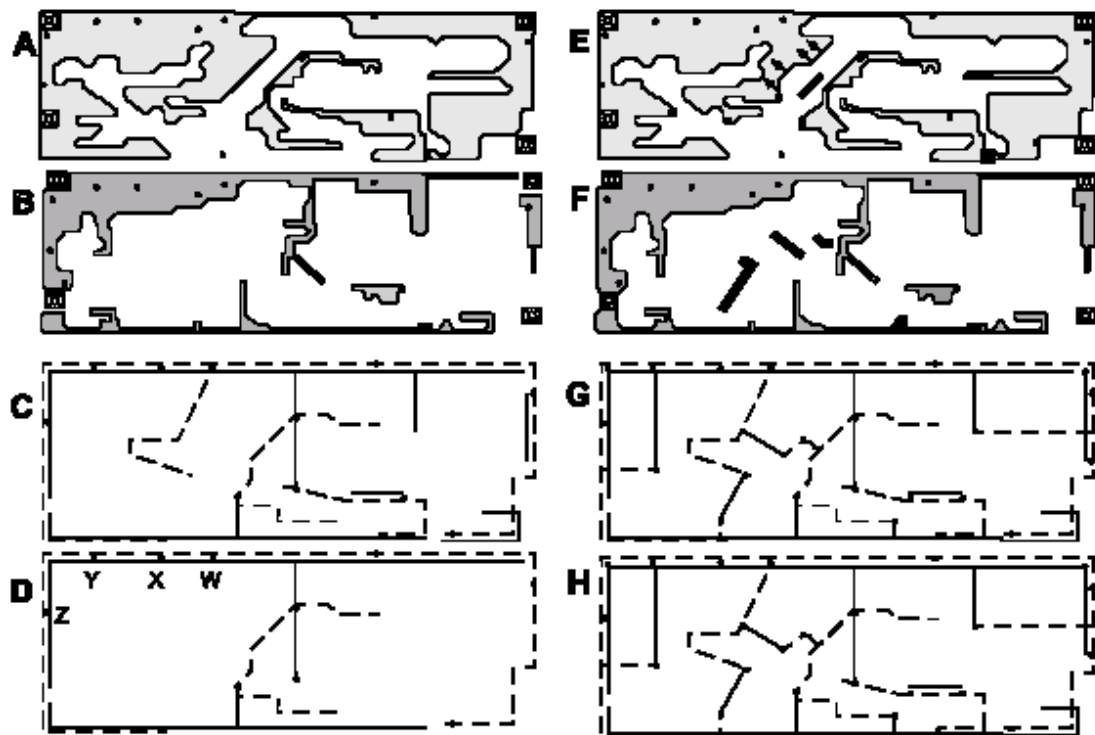


图 8 地填充和地线的格栅化来组成接地敷铜

在图 8 的例子中，A 和 B 代表一个简单两层板的顶层和底层。+V 线路和所有互联线已被删除，只保留地填充和地线以及顶层和底层之间的过孔。图 8C 是电路板走线的一个简单条形图，每一条或一段代表地导线地路径，就像每一段导体已经收缩为最小宽度的线路。顶层的线路用虚线表示，底层线路用实线表示。容易看出，在这个图中大部分线路的一头是闭塞不通的，只在一头有连接。在图 8D 中，大部分单端连接的线路被去掉，因此连线稀疏并描绘了地是怎样在整个电路板上走线的。包括图 8D 中的 W、X、Y 和 Z 在内，在走线的任意两点之间



只有一条路径。

在图 8E、8F、8G 和 8H 中，为了实现格栅化地，设计中做了微小的改动。在图 8E 和 8F 中，某些线路的附加物，在图中用实心黑色表示，如箭头所示，稍稍改变了它的形状，构成了相交的广大网络从而构成了所需的格栅。这从图 8G 的接地的条形图可以看出。闭合安装孔周围的裂口对网络也有好处，这样就没有单端连接的整条线路了，现在，他们都是双端连接，并组成了更加完整的导体。图 8H 显示了格栅的密度，和图 8D 的开放性形成对比。而且，注意在图 8H 中怎样做到没有线路因单端连接而被丢弃。只有一条线路存在这个问题，而它属于一个已经在三个位置连接的几何体的一部分。这个互联网络是地格栅化的目标，其结果几乎和实际的地平面一样有效。

2. 2. 4 旁路和铁氧体磁珠

微处理器+V 和地之间的旁路非常重要，因为它的意图是让电容为芯片的开关提供电流。如果电流在旁路回路中因为感抗太大而不存在，根据物理定律，电流将沿最低阻抗方向流动，即从连接引线到电源。电源走线上的分布电容成为高频的源头，这样，铁氧体磁珠阻断了来自电源连接线的射频电流源，隔断了微处理器和磁珠内的电流。

电源走线的目的只是为了补充旁路电容中的电量，旁路电容应提供等于或高于振荡器频率的所有电流，认识到并牢记这一点非常重要。消除电源分配线路上的射频可以采用下列措施实现（见图 9）：

- 使用铁氧体磁珠和旁路电容 ($0.1\mu\text{F}$ 或 $0.01\mu\text{F}$)，将电容放置在磁珠内。在磁珠外放置一个 1000pF 的电容，形成一个 PI 过滤器。电容的接地端应连接到为地。不过，如果在这点上大量噪声，电容可能会将噪声耦合回 +V 线上。
- 磁珠只用在 +V 线上，不用在地线上。如果使用一个通孔磁珠，应安装在连接到 +V 的裸露引线上。
- 在旁路回路上使用 3:1 长宽比原则，使这个高频路径的阻抗最小。
- 使旁路回路的长度和面积尽可能小。当连接振荡器或 +V 电源线的旁路电容时，尽量延伸微处理器的地而不是仅走一条线。尽量在回路其他段的上方（或下方）走返回线，从而减小从电路板顶部看的辐射面积。
- 在四层板上使用磁珠和同样大小的旁路电容也是可接受和有益的。四层板可能不需要 1000pF 的电容，但在初始设计时应当画上，如果在屏蔽室内的测试表明并不需要再删除。

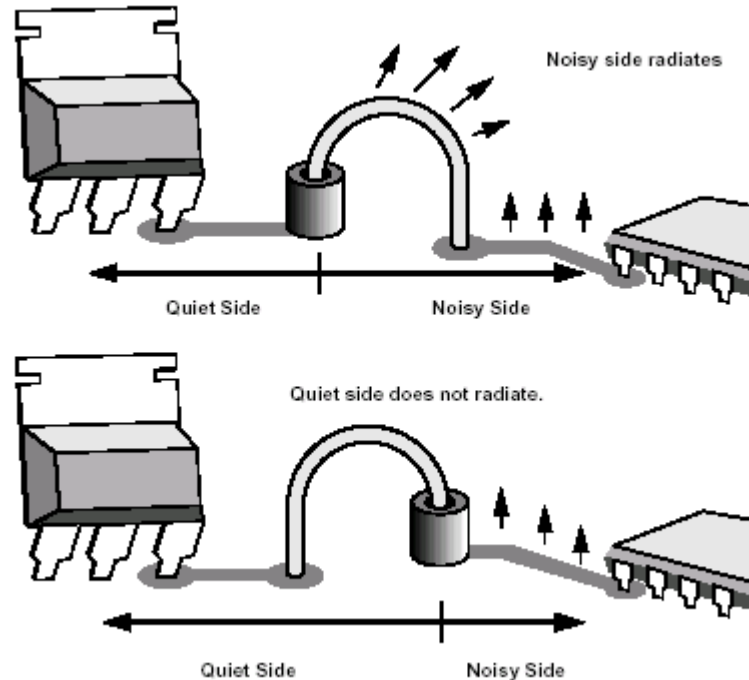


图 9 磁珠尽量靠近噪声源放置

2.2.5 使噪声靠近芯片

下列原则适用于简单数字 I/O 引脚，而不适用于用于存储器扩展的引脚。这儿的目标并不主要是减小边缘切换的噪声，而是减弱引脚处于静态时钟短时脉冲波形干扰的噪声。

引脚上的噪声通过许多途径耦合到芯片的内部，这些途径可能随着引脚功能的改变而改变。例如，用于键盘扫描的输入引脚上有来自底层和电源通过电容耦合的噪声。而且，因为阻抗很高，任何周围区域会有效耦合。当键按下后，引脚面临一系列新的噪声源因为信号线的阻抗已经变化了。这样，要有效的建立所有可能性的矩阵是很难的，因此，推荐使用下列方法：

- 在每个输出引脚上串联一个 50—100 Ω 的电阻，在每一个输入引脚上串联一个 35—50 Ω 的电阻。如果系统设计需要更大的串联电阻，使用那个值。高阻抗对输出更好，但通常不能改善输入的特性。将电阻尽量放置在靠近微处理器的位置，尽可能交迭微处理器的地。
- 在微处理器的每个引脚上连接 1000pF 的电容，如果信号线需要的边缘速率不快于 100ns。在输出和同时用于输入和输出的引脚，电容的地应该是微处理器的地，电容的另外一端应连接到接收器一侧，而不是微处理器一侧的串联电阻。将电容放置在电阻内侧，使得负载切换时从微处理器端看起来象是短路，这不是我们想要的。如果因为空间限制加电容必须换掉放置串联电阻，那么只放置电阻。
- 在仅用于输入的引脚，将电容放置在微处理器侧电阻的内侧，从而减小回路面积。因此，来自微处理器内部的引脚上的高频通过电容对地的阻抗比通过电阻对地的阻抗看起来要小。
- 复位和中断是特殊的功能，因此必须注意不要减小功能性。
- 不要将上面任意一条补救措施用于振荡器引脚。如果在振荡器元器件和其他不相关的元器件之间有适当的空间走线，就不需要对振荡信号进行调理。



- 没有使用的引脚应定义为输入并直接连接到微处理器的地。推荐采用看门狗电路来校正芯片受干扰、程序计数器错乱或执行代码在高电平时使输入变成输出发生的不可能事件。

这些规则占用空间，增加元器件，所以在生产中并不被良好接受。它的目的是在所有 I/O 引脚上实现所有规则，但这是不可能的。因此，将所有引脚按顺序排列，将最不可能引起噪声的引脚上这些规则的应用逐步取消。

从最必要的到最不必要的过滤优先级为：

- 机壳外的信号（参见 3.3 部分，电缆和旁路屏蔽）
- 机壳内离开印刷电路板到其他板子的信号
- 连接高阻抗负载在印刷电路板上的信号（例如，驱动另一 MOS 输入或开放电路）
- 设计来支持高速数据传输的并行 I/O 端口引脚，比如在微处理器和外部存储器之间的引脚，需要在剩余 I/O 引脚过滤因为它们快速的上升和下降时间。

当设计完成并建立最初的模型，屏蔽室内一个或两个小时逐一除去所有的滤波元器件，鉴定那个对于取得想要的电磁抗干扰水平是不必要的。

2.3 电路板分区

电路板分区和电路板平面布局具有一样基本的意义，平面布局是定义元器件在布线前空白印刷电路板上一般位置的过程。电路分区比平面布局更进一步，它包括在电路板同一区域放置相似功能，与将其混合在一起相反（参见图 10）。高速逻辑，包括微电路，放置在靠近电源的地方，远离低速元器件，更加远离模拟元器件。通过这种安排，高速逻辑就不太可能污染其他信号线。特别重要的是振荡器回路要远离模拟电路、低速信号和接插件。这同时适用于电路板和容纳电路板的盒子的内部空间。设计中不要在最终电缆安装时折叠在振荡器或者微处理器上，因为他们会接收噪声并到处传播。

在优先放置元器件时，印刷电路设计中最重要的事情是：

- 微处理器放置在电压稳压器的后面，电压稳压器放置在 Vbatt 进入电路板的位置后面。
- 在这三者之间构建一个格栅地或实心地（组成一个单点地），然后将屏蔽连接到该点。

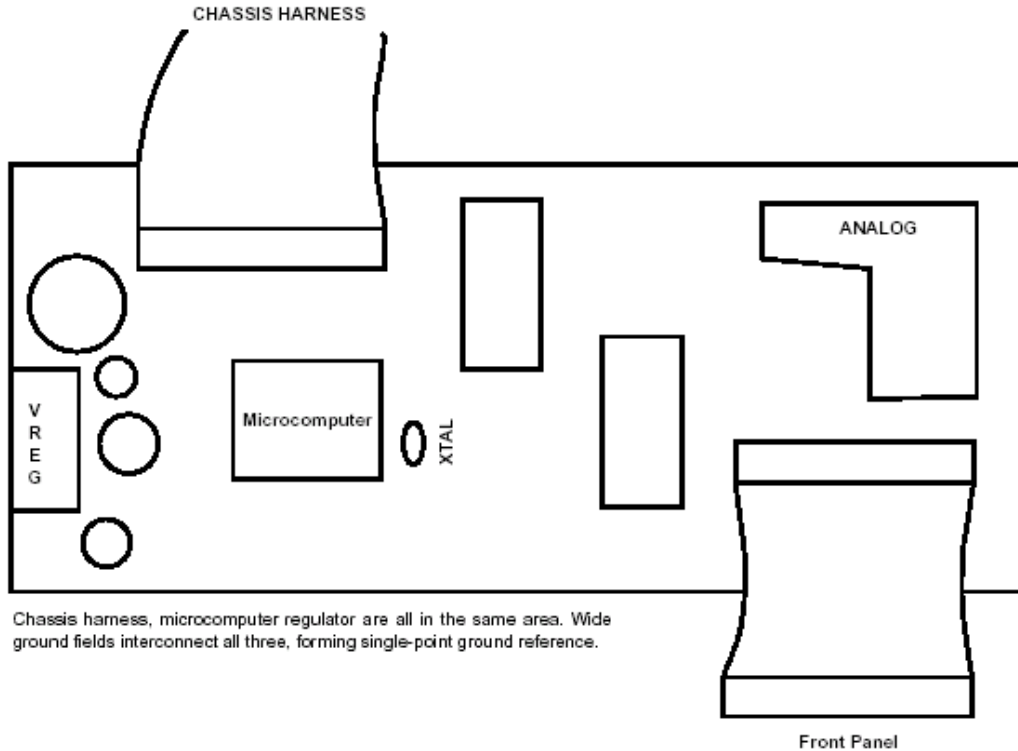


图 10 电路分区

2. 4 信号线

2. 4. 1 容性和感性串扰

即使在很短的距离内并行走线的线路之间也存在容性和感性串扰。容性耦合时，源端的上升沿会在受害者上引起一个上升沿。感性耦合时，受害者上的电压改变与源端的改变端正好相反。大部分串扰的例子是容性的。受害者上噪声的量正比与平行的距离、频率、源端电压的摆幅和受害者的阻抗，反比与离开的距离。减小串扰的措施是：

- 使连接到微处理器的携带射频噪声的线路远离其他信号，这样它们就不会接收噪声。
- 应将可能成为噪声受害者的信号的返回地走线在其下方，这样有利于减小他们的阻抗，从而减小噪声电压和辐射区域。
- 不要在电路板的外部边缘走噪声线路。
- 如果可能，将一些噪声线路走线在一起然后用地线包围。
- 使非噪声线路远离电路板上那些接收噪声的区域，比如接插件、振荡器电路、继电器和继电器驱动器。

当受害者放置得太近时，大部分电磁干扰相关的串扰问题集中在晶振上。不相关的元器件都不应放置得靠近晶振 1 英寸。

2. 4. 2 天线因素和长度规则

一般的，根据联办通信协会（FCC）的限制，线路长度大于波长的 1/10 时变得很重要。对军事标准限制，这个数字变成波长的 1/20 到 1/30。对汽车和消费者的两层板，波长的 1/50 开始变得重要，尤其是在非屏蔽的应用中。这表明长于 4 英寸的线路对 FM 波段的噪声可能就成了问题。在这些情况下，推荐采用某种形式的终端匹配来防止铃流。

2. 4. 3 串联终端、传输线

终端匹配的主要目的是为了提供关键的阻尼来实现最大可能的数据传输速率，而只有最小可能的过调量。不过，当使用于大部分微处理器系统时，焦点变为在保证系统功能时尽可能减小差模噪声总量。下表是不同方式的终端匹配和每种方式的主要特性。

表 1 终端匹配特性

	Parallel	Thevenin	Series	AC	Active
Power dissipation	high	high	low	medium	medium
Number of components	1	2	1	2	1
Adds delay	no	no	yes	no	no

注意到 CMOS 是一种欠阻尼技术，意味着你必须总是警惕铃流和过调量。如果任何下列条件存在，可使用某些形式的终端匹配：

- 一条信号线长过 1 英尺。
- 信号连接到没有屏蔽的电缆。
- 存在铃流。

串联电阻是一种便宜的解决终端和铃流问题的方案，是基于微处理器的系统考虑最小差模噪声时的首选方式。

2. 4. 4 输入阻抗匹配

CMOS 芯片的输入看起来象一个大约为 5—40nH 的串联电感，导致了 5pF 的并联电容以及 5M Ω 到底层的电阻。这是一个很高的阻抗，可能导致很多的铃流和其他噪声，如果驱动输入的芯片与这个高阻抗不匹配。这是 2.4.3 部分的情况的补充，在那注意力放在微处理器的输出因为它驱动的负载的欠阻尼特性。在这里，微处理器是欠阻尼负载，铃流和过调量是现实存在的。某些形式的终端匹配是必要的，而串联电阻是最可能的解决方法。放置在驱动器的电阻增大了从线路和输入引脚看的输出阻抗，这样就和输入端的高阻相匹配。

如果输入连接到一条开放线路，比如到开关的开放线路，推荐使用上拉或下拉电阻。虽然这增大了当输入激发时的切换电流量，这减小了任何其他时候的阻抗值。这减小了线路成为耦合噪声受害者的可能性。

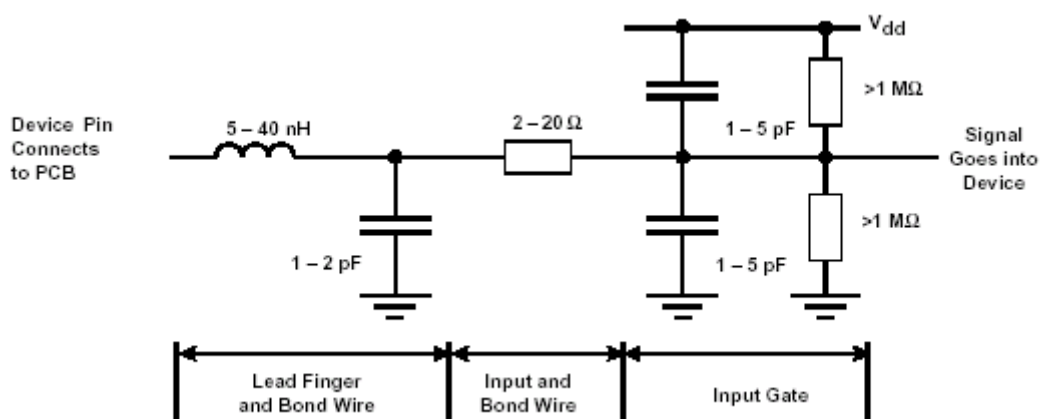


图 11 MOS 缓冲简化电路

2. 5 电缆和接插件

设计良好的两层板和大部分的四层板有最小的辐射。系统级的问题是由将印刷电路板互联到任何板外的支持功能块、其他处理器或显示和键盘印刷电路板



的电缆引起的辐射。因为通常电路板之间只有一个地，一条感应线必须通过另一条线路将携带到第二块印刷电路板的射频能量返回。如果在单条地线上有任何的阻抗，一部分射频能量就不能通过地线返回微处理器印刷电路，而是通过辐射路径。辐射到第二块电路板的能量耦合回第一块，但是，在这个过程中，辐射也会在系统其他位置引入噪声，如同在屏蔽室内测得的直接辐射。关键的正确行为是确保返回路径的射频阻抗很低。

2. 5. 1 差模和共模噪声

共模噪声是电缆的大问题，但差错不是在电缆中，而是出在电路板上的接插件上，连接到它的信号和返回组成了共模阻抗。共模噪声或者通过减小共模阻抗在源端校正，或者通过在整条电缆周围放置铁氧体磁珠来减小。

首先，差模噪声（边缘跳变的有效噪声）应减小到最大可能的上升和下降时间，并仅应在最不需要的频率存在。辐射的噪声是由信号及其返回组成的回路引起的。这个回路通过尽可能多的返回线和绞接信号和返回线减到最小。后者在一段距离上引起磁场抵消，如同电源线和地线同样的方式。

2. 5. 2 串扰模型

电缆中的串扰和印刷电路板上一样，噪声从源端耦合到安静的受害信号上。因此，时钟线和其他高速线路走线时应和他们自己的独立返回线绞接。串扰在超过 2 米长的电缆中是个问题，在 6 英寸长的电缆中也可能是个问题。

2. 5. 3 返回线路数目

在计算机工业中，电缆或导线中每九条信号线至少要有有一个地，这是很普通的经验。高速时，这个比例变到 1: 5。这些高速不单局限于数据传输率，而且不限于谐波内容。可以在设计信号线和返回线路时使用这些原则：

- 最好的经验是电缆中的每条信号线都有一条返回地线，组成双绞线对。
- 不要超过每九条信号线有一条返回地线，即使是在一个完全封闭的金属盒子到前端面板显示器的跳线电缆。
- 如果电缆超过一英尺长，应该每四条信号线有一条返回地线。
- 如果可能，应该使用一个实心金属支架作为机械支架，焊接在两块电路板直接，既作为安装支架，也作为可靠的射频返回地线。

2. 5. 4 对板外信号 I/O 的建议

印刷电路板应有一个大的地区域连接到屏蔽层，作为进入或引出屏蔽层地任一条导线的旁路电容的地。这些电容提供微处理器噪声的最终滤波，也可以屏蔽掉盒子外的电缆接收到的噪声。参见 3.3 部分，电缆及其屏蔽层旁路。

2. 5. 5 隔离噪声和静电放电（ESD）

入射在电缆上的噪声和 ESD 意图穿过印刷电路板和电缆上的旁路电容进入屏蔽层。因此，从电容到屏蔽层的地应很宽（3: 1）并可靠地连接到屏蔽层，，更好地是通过两个或更多地螺丝。旁路电容的值应小于 1000pF，因此有效串联电阻（ESR）最小在 50—500MHz 的范围。轴向芯片的引线长度是 ESR 的一个因素，所以应首选表面贴装元器件。

2. 6 其他布局问题

2. 6. 1 汽车和用户应用带键盘和显示器的前端面板印刷电路板

在多层板应用中，装载显示器和键盘的前端面板印刷电路板是屏蔽层的一部分，它也会成为发射源。这里的目标是为微处理器的噪声提供返回地线，将屏蔽层有效延伸到盒子的前端。这可以通过板一侧的线同方向走线，另一侧的线

90 度走线（见图 12）。然后，在这些信号间点缀键盘和矩阵，是组成两块独立的格栅化底层：一块作为返回地线，一块作为屏蔽层的一部分。后者应在每一个角和边缘每两英寸可靠的连接底盘。这个返回地线平面应连接到微处理器的地层，最好使用象内部焊接金属支架之类的重物。这可以防止控制器和前端面板印刷电路板之间的阻抗成为主要问题。

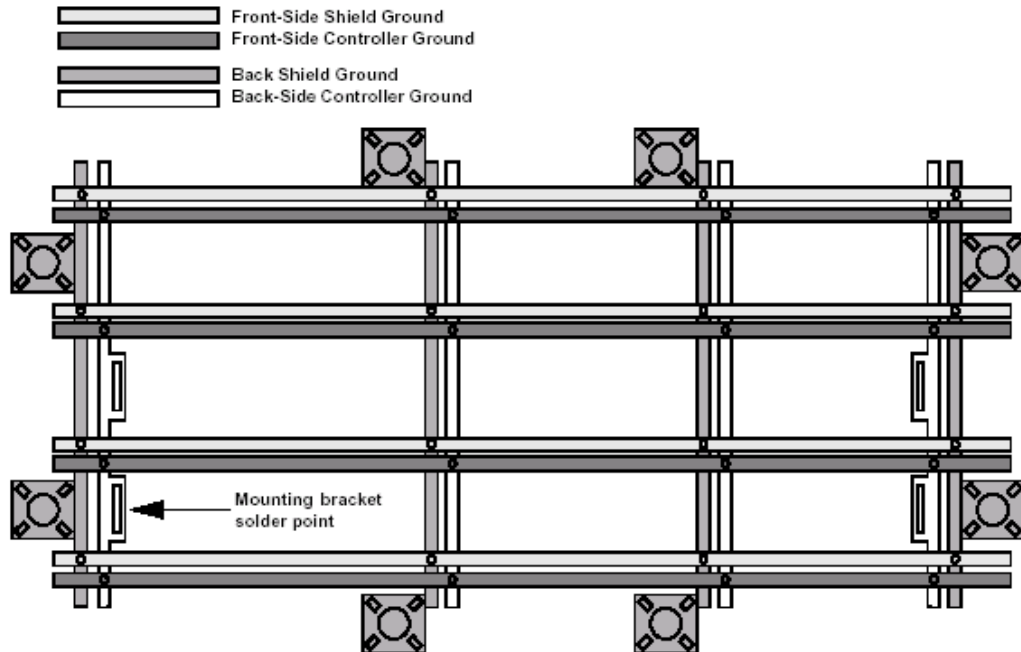


图 12 前端面板格栅化形成两个地层

2. 6. 2 易感性布局

易感性（在欧洲成为免疫性）当入射的电场或磁场耦合到信号线上时存在。因为耦合信号是交流电流，正弦波加重了已经存在于线路上的电压。在到微处理器的输入上，电压受到调整，在引脚上引起一个直流偏置电压。当这个直流电压足够大使输入偏离了开关点电压，微处理器正常的开关功能就失效了。如果输入是振荡器，芯片就会突然失去时钟。如果输入是复位，芯片将进入并保持复位状态直到干扰场消失。

易感性的原理与发射相同，只是反过来了。大的回路面积接收更多信号，正如他们会辐射更多信号一样。因此，你要使信号对辐射免疫需做的事与要防止辐射需做的是相同的。

免疫性最重要的引脚是那些会影响程序控制的引脚：振荡器、复位、中断和用于程序分支的任何输入引脚。使用减小这些引脚辐射的同样的原则。目前，大部分易感性问题是和振荡器引脚、晶振、晶振旁路电容以及旁路电容地连接和微处理器地之间的路径回路有关的。

同时，必须电路的注意地反弹（共模阻抗耦合）可能产生更重要的信号。如果地路径阻抗很高，可能引起驱动电路地参考电平移动，引起到微处理器地输入超出微处理器的开关范围。

2. 6. 3 自动布线

印刷电路板的自动布线不采取任何减小噪声的行动，因此，使用它们时应该注意。电源和地的走线，以及影响易感性的信号，应手工布线。时钟数据的信号，比如存储器扩展总线的低位地址线，应接下来布线。只有开关频率低于 50KHz

的信号线才能安全的自动布线。甚至这时，每个信号应检验电磁干扰问题，靠近晶振的走线，晶振电路本身应受到检验，最后格栅化地线。

3 屏蔽

3.1 工作原理

当入射的电场在空气中传播时撞到金属表面，金属使电场的强度减小，电场在金属靠近表面处产生传导电流。但有一小部分（指数衰减）电场穿透过去，而对于发射，这不是问题。这个金属底盘就作为屏蔽，其内部所有辐射源的电场被阻断保持在盒子内部，只有从进出盒子的电缆和导线以及盒子的孔和槽出去的噪声。

3.2 屏蔽接地

屏蔽要承担的困难工作是为直接静电放电、周围场和内部场以及进出底盘的线缆携带的噪声提供终端或导电表面。为了实现这个，屏蔽应被看作射频导电平面，平面上断点的数目和射频源及地参考点之间的阻抗应最小。地参考点应为单点，如前面所提到的，把稳压器地、微处理器地和电池负极连接到一起。

3.3 电缆和屏蔽旁路

印刷电路板应有一个很大的独立地区域连接到屏蔽层，作为 I/O 旁路电容地（见图 13）。这些电容提供系统噪声地最终过滤，同时意图过滤盒子外电缆接收的噪声。电容的值应低于 1000pF，最好约为 470pF。连接到底盘的射频路径的长宽比应为 3: 1。

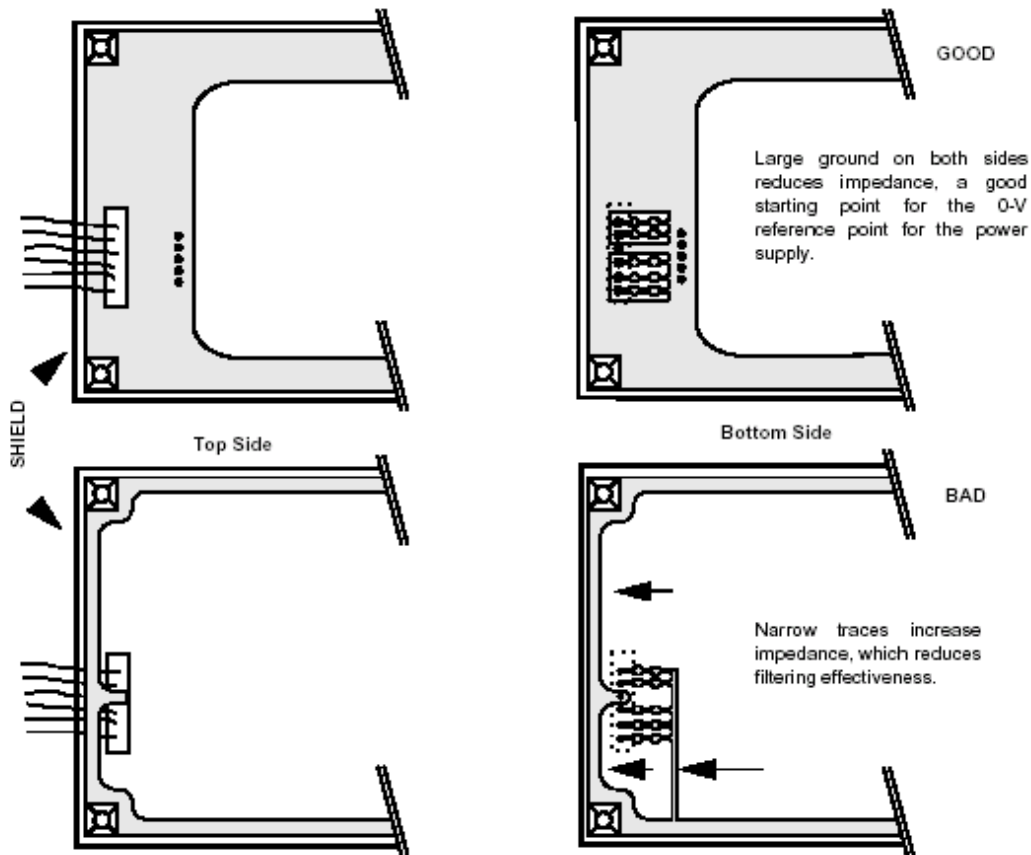


图 13 外部 I/O 的安装滤波电容

3.4 槽型天线：冷却槽和接缝



槽型天线是由屏蔽材料的狭长缝隙组成的，比如两个盒子之间的缝隙，以及前端面板的接口处。这些槽是非常有效的辐射器。采用某些确保连接的方式是很重要的，比如轻微的凹痕或者使用弹性连接保证两个表面间的连接。所有凹痕不应大于 4 英寸长。不应使用冷却槽，因为发射的原因，只能使用小圆孔如果需要通风的话。

4 总结

产生低电磁干扰的系统设计并不神奇，但需要应用众所周知的工程技巧。设计时首先要选择产生低电磁辐射的半导体器件。不过，在许多情况下，其他原则，比如半导体器件的必要性能，可能会和低干扰相矛盾。印刷电路板设计的主要任务是减小辐射电磁能量的天线。即使有时这可以实现，必须避免携带高频的信号和相应返回地线的大回路。因此，集成电路的精心放置对于实现短连接线是很重要的。

下一步，在印刷电路板放置格栅化地。这个格栅确保返回线靠近信号线，从而使有效天线区域尽可能小。多层板中的地层提供这种特性。采用这种技巧，可以通过很少的设计努力实现低电磁发射。不过，考虑到成本，一些应用只能采用两层板，在这种情况下，精心布局几乎能够实现与多层板一样的性能。

最后，关键线路的滤波，比如电源线，确保高频电流不离开印刷电路板。

通过使用这个报告中的原则，不需要进行整个系统的屏蔽。设计工程师的经验和精心工作比复杂的电脑辅助设计工具要有效得多。

5 参考文献

1. 改善电磁兼容性的印刷电路板布局，1996 年 10 月，应用报告，文献号 SDYA011.
2. 逻辑电路的电磁发射，1998 年 11 月，应用报告，文献号 SZZA007.
3. 德州仪器互联网页 [http: //www.ti.com](http://www.ti.com)