

微控制器系统 抗干扰能力与电磁兼容性

清华Motorola 单片机应用开发研究中心 邵贝贝

关于信号的传输,交叉干扰方面的理论是成熟的。在相应的电子学著作中有详尽的理论推导和经验公式。计算机辅助设计软件能进行印刷板一级的噪声模拟与分析。本文不打算涉足这方面的理论,仅从实用的角度介绍微控制器系统的设计、元件选用、印刷电路板布线要注意些什么,才能使系统抗干扰能力强且满足电磁兼容性要求。

电磁兼容性与抗电磁干扰

一个电器设备的运行不得干扰其它电器设备,各国对电器产品对环境造成的电磁干扰都有相应的规定。这就是所谓电磁兼容性。一个产品,要想进入国际市场,必须通过相应的电磁兼容性检测。对不同类产品,电磁兼容性要求的指标是不一样的。即使是同类产品,对电磁兼容性的满足程度也有不同的级别。例如FCC规范中,B级要比A级严格10db。只有每个产品都满足相应的电磁兼容性测试标准,这些产品互相离得很近时,才不会引起互相干扰。

电磁兼容性的检测是在一个屏蔽很好的实验厅内,用专门的设备接收被测试产品发出的所有频率的电磁波信号。要求在任何一个频率上都不大于规定的值。

我国有电磁兼容性方面的测试国家标准,例如GB6833<<电子测试仪器电磁兼容性试验规范>>、GB9254<<信息技术设备的无线电干扰极限值和测量方法>>。美国有关于电磁兼容性的FCC规范。

另一方面,系统本身抗电磁干扰能力要强,不易受到外界环境的电磁干扰。虽然微控制器本身有一些抗干扰方面的措施与考虑,例如,看门狗电路,在系统出错时复位。设想,一个系统,总出现看门狗电路复位动作,只能说明系统极不可靠。出错复位电路只能用于抵御外来的不可抗拒的巨大干扰。例如强雷击天气,系统瞬时掉电等。

随着微计算机技术的飞速发展,微控制器的速度越来越快,微控制器的时钟频率越来越高。印刷线路板上信号的高频成分可以通过元器件的引脚以及印刷线路板到被驱动部件的引线发射出去,如同无线电天线将高频信号以空间电波的形式发送出去,成为干扰其它电器设备的噪声源。信号在印刷线路板上通过元件间的连线传送,与该线平行且离该线很近的另一条引线上会产生感应噪声,引起对相邻线路的干扰,即一块印刷线路板上的信号间交叉干扰。

如果微控制器构成的系统中含有信号微弱的传感器或对精度要求较高的模拟电路。抗外界干扰以及抗来自系统内部的电磁干扰就尤其重要。

理想的数字电路信号高低电平稳定,上升、下降沿整齐平稳,没有过冲与不到位,即理想的方波。而当用示波器观察印刷线路板上的信号时,会发现有噪声信号迭加在所谓理想信号上。对接近理想波形的信号,俗称“干净”。如果印刷线路板上的信号“不干净”,即噪声较大。当外界来的随机电磁干扰信号迭加在原有的噪声上,就会造成系统出错。

满足电磁兼容性要求不是等到产品定型后才拿去检测,检测不过关时再寻找补救措施。而是要在整个产品开发期间注意到电磁干扰问题。特别是在印刷线路板设计、元器件焊接工艺等方面予以足够的重视。

有以下三个因素之一的要特别注意抗电磁干扰问题:

- 1、微控制器时钟频率特别高的,总线周期特别快的系统。
- 2、系统中含有大功率,大电流驱动电路的,如产生火花的继电器,大电流开关

等。

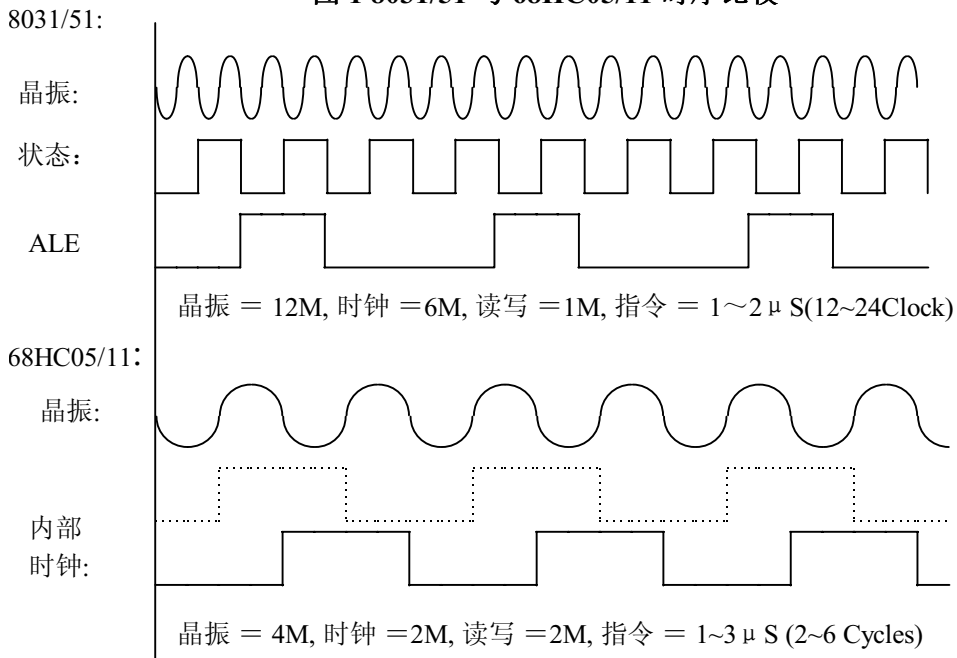
3、含有微弱模拟信号电路以及高精度 A/D 变换电路的系统。

对于速度不高，模拟与数字电路共存问题不严重，功率器件有限的产品是不是就没有抗干扰或电磁兼容性方面的问题了呢？这个问题要辩证地看，不注意抗电磁干扰问题，印刷电路板设计制造工艺太差，系统可靠性差显然是不行的。电磁兼容性问题，在采取了一些措施以后总是可以解决的。例如，四层印刷电路板比双面板的噪声要低10 倍，或者说低20db。四层板的成本则比双面板至少高两倍。而微控制器构成的一般系统，双面板的设计与制造中，只要充分考虑了抗电磁干扰与电磁兼容性问题，完全可以满足应用方面的要求。而一个产品，特别是家电类产品，为降低成本，印刷电路板以单面板为主。在满足电磁兼容性要求的前提下，要节省每一个电容、电阻以降低成本。一个微控制器应用系统设计工程师面临的挑战清楚了：既要系统快、精度高、又要可靠、不干扰别的电器设备，还要成本最低。

选用时钟频率低的微控制器

在指令执行速度差不多的微控制器中，选用时钟频率低的微控制器可以有效地降低噪声和提高系统的抗干扰能力。图1中对8031/51和MC68HC05 这两种微控制器的时钟与时序做了对比，8031/51 使用6个时钟周期完成一次读或写。68HC05/11 则在内部产生另一个相位相差90度的时钟共同完成读或写。在指令执行速度差不多的情况下，68HC05/11 时钟频率只有8031/51 的三分之一。新一代的微控制器外时钟采用32kHz，靠内部倍频到十几兆乃至几十兆，降低了外部信号的噪声。

图 1 8031/51 与 68HC05/11 时序比较



我们说，时钟频率越高的微控制器，噪声问题越严重，这个说法并不确切。考虑同样频率的方波与正弦波，方波中的高频成分比正弦波中多得多。对方波作付立叶变换可以看出，方波是由与该方波频率相同的正弦基波和其整数倍频率的正弦波迭加组成。虽然高频成分波的幅度比基波小。但频率越高，越容易发射出去成为噪声源。微控制器产生的最有影响的高频噪声的频率大约是其时钟频率的3 倍。严格地讲，噪声的产生，主要与时钟信号的上升时间和下降时间有关。即门电路的沿的跳变时间 T_r

减小信号传输中的畸变

一个信号通过一段长导线。如果导线另一端悬空，由于信号到达另一端后能量无处释放，信号被发射回来，反射系数等于1。如果远端接地，反射系数等于-1。如远端接与导线阻抗相匹配的负载电阻，则无反射信号，信号无畸变地传到目的地。反射回来的信号就是传输过程中形成的噪声。这是一个传输线问题。

一个上升时间为 T_r 的信号，通过一段导线。导线引起的信号延迟为 T_{pd} 。当 $T_r > T_{pd}$ 时，反射回来的信号淹没在信号的上升过程中，可以看作被输出端提供的功率吸收掉了。引起的信号畸变很有限。

当代微控制器主要采用高速CMOS技术制造。信号输入端静态输入电流在 $1\mu A$ 左右，输入电容在 $10pF$ 左右，输入阻抗相当高。高速CMOS电路的输出端都有相当的带负载能力，即相当大的扇出值。将一个门的输出端通过一段很长线引到输入阻抗相当高的输入端，反射问题就很严重。会引起信号的畸变，增加系统的噪声。当 $T_{pd} > T_r$ 时，就成了一个传输线问题。就要考虑信号反射问题、阻抗匹配问题等。

信号在印刷线路板上的延迟时间与引线的特性阻抗有关，即与印刷线路板材料的介电常数有关。可以粗略地认为，信号在印刷板引线上传播速度约为光速的 $1/3$ 到 $1/2$ 之间。微控制器构成的系统中，常用逻辑电路元件的 T_r 在 $3-18ns$ 之间。例如，74LS、74HCT系列标称上升时间 $8ns$ ；74F、74AS系列 $3ns$ ，74AC的 $4ns$ ，74ALS的 $6ns$ ，74HC的 $18ns$ 。

在印刷线路板上，信号通过一个 7Ω 的电阻和一段 $25cm$ 长的引线，线上的延迟时间 T_{pd} 大致就在 $4-20ns$ 之间。也就是说，信号在印刷线路板上的引线长度越短越好，最长也不宜超过 $25cm$ 。而且过孔的数目应尽量少，最好不多于2个。

当信号的上升时间快于信号的延迟时间，就要按照快电子学处理。对快速信号的传输，要考虑传输线的阻抗匹配问题。对于一块印刷线路板上的集成块之间的信号传输，避免出现 $T_d > T_{rd}$ 的情况。印刷线路板越大，系统的速度就不能太快。

我们用以下结论来归纳印刷线路板设计的一个规则：信号在印刷板上传输，线的延迟时间不应大于所用器件的标称延迟时间。

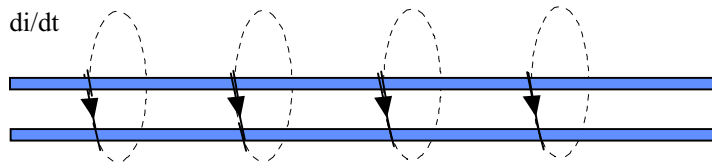


图2 信号线间交叉干扰的示意图

减小信号线间交叉干扰

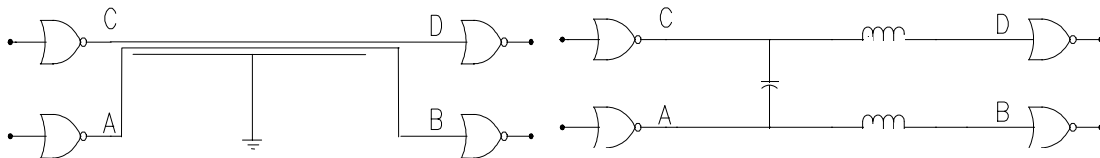


图3 信号线间交叉干扰

图4 信号线间交叉干扰等效电路

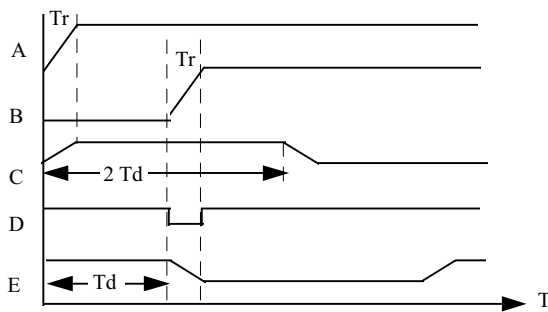


图5 $T_d \gg T_r$ 时信号线间交叉干扰

图中AB和CD是两段平行的相距很近的两根信号线。A点有一个上升时间为 T_r 的阶跃信号通过引线AB传向B端。信号在AB线上的延迟时间是 T_d 。在D点，由于A点信号的向前传输、到达B点后的信号反射和AB线的延迟， T_d 时间以后会感应出一个宽度为 T_r 的负脉冲信号，在C点，由于AB上信号的传输与反射，会感应出一个宽度为信号在AB线上延迟时间两倍即 $2T_d$ 的正脉冲信号。这就是信号间的交叉干扰。干扰信号的强度与C点信号的 di/dt 有关，与线间距离有关。当两信号线不是很长时，AB上看到的实际是两个脉冲的迭加。

CMOS工艺制造的微控制器输入阻抗高，噪声高，噪声容限也高，数字电路上迭加100—200mv噪声并不影响其工作。若图中AB线是一模拟信号。这个干扰就变得不能容忍。

当印刷电路板是四层板，其中有一层是大面积的地，或双面板，信号线的反面是大面积的地时，这种信号间交叉干扰就会变小。原因是，大面积的地减小了信号线的特性阻抗。信号在D端的反射大大减小。特性阻抗与信号线到地间的介质的介电常数的平方构成反比，与介质厚度的自然对数成正比。

若AB线为一模拟信号。要避免数字电路信号线CD对AB的干扰，AB线下方要有大面积的地，AB线到CD线的距离要大于AB线与地距离的2—3倍。可用局部加屏蔽地的办法予以保护。办法是在引线的反面加屏蔽地。在有引线的一面引线左右两侧布以地线。

减小来自电源的噪声

电源是向系统提供能量的。电源在提供能源的同时，直接由供电端将噪声加在微控制器上。微控制器的复位线、中断线、和其它一些控制线最容易受到外界噪声的干扰。电网上的强干扰通过电源进入集成电路块，即使电池供电的系统，电池本身也有高频噪声。模拟电路中的模拟信号放大器则更经不起来自电源的干扰。

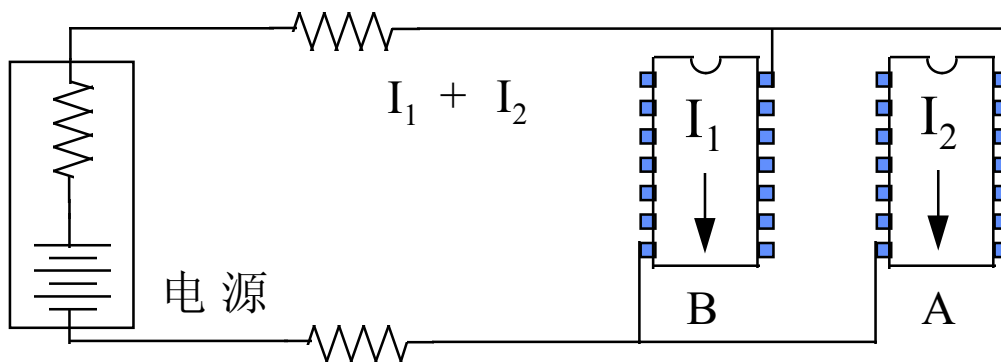


图6 噪声通过电源与地引入集成电路的示意图

集成电路块A与B的电源线与地线有两段公共部分。设A是一片常用的8路门，若每个门在打开、关闭时的电流变化有4mA，则8个门同时打开、关闭时的电流变化就有32mA。若信号上升时间是5nS，接地线的等效电感是50nH。则噪声V可用以下公式计算：

$$V = L \frac{di}{dt} = 50\text{nH} \cdot \frac{32\text{mA}}{5\text{nS}} = 0.32\text{V}$$

也就是说，由于A与B有一段公共地线，A在开关过程中产生的5nS宽，峰值0.32V的噪声直接进到B中，对集成电路B产生干扰。

以上分析也适用电源线上的一段公共阻抗部分。减小噪声通过电源线、地线的交叉干扰可在印刷线路板布线时，尽量减小公共部分的阻抗。然而电源的内阻是去不掉的，交叉干扰会通过电源引起。

分析图6工作中集成电路A与电源形成一个电流的回路。这个电源回路就会产生磁场。电流又在不断高速变化着。回路以内就产生了复杂变化的电场、磁场。B集成电路恰恰在这个环中。如果把集成电路B，摆放到电源与A形成的电流环以外来。A对B的干扰程度就会大大降低。

注意印刷线路板与元器件的高频特性

在高频情况下，印刷线路板上的引线、过孔、电阻、电容、接插件的分布电感与电容变得不可忽视。电容的分布电感不可忽视，电感的分布电容不可忽视。电阻产生对高频信号的反射，引线的分布电感会起作用，当长度大于噪声频率相应波长的1/20时，就产生天线效应，即噪声通过引线向外发射。

印刷线路板上的一个过孔大约引起0.6pF的电容。

一个集成电路本身的封装材料引入2—10pF的分布电容；

一个线路板上的接插件，有5—20nH的分布电感。

一个双列直插的24引脚集成电路插座，引入4—18nH的分布电感；

这些小的分布参数对于运行在较低频率下的微控制器系统中是可以忽略不计的，而对于高速系统，必须给予特别的注意。

元件布置要合理分区

元件在印刷线路板上排列的位置，要充分考虑抗电磁干扰问题。原则之一是各部件之间的引线要尽量短。在布局上，要把模拟信号部分、高速数字电路部分、噪声源部分（继电器、大电流开关等）这三部分合理地分开。使互相间的信号耦合减到最小。如图7所示。

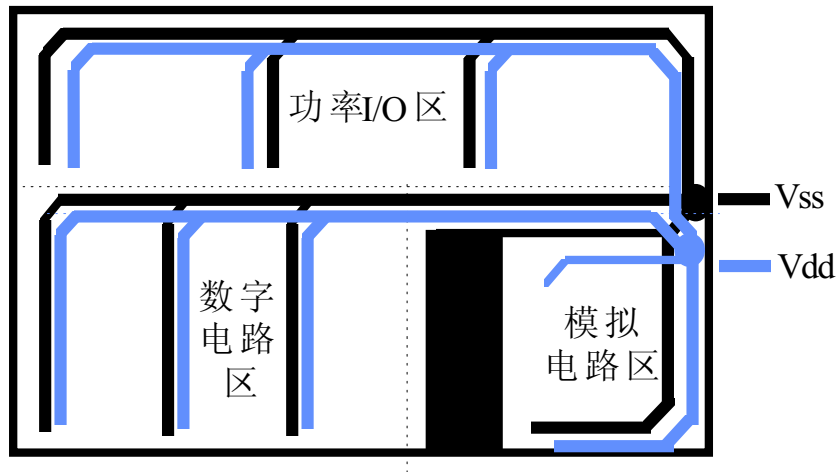


图7 印刷线路板上将三个区域分开

处理好接地线

印刷线路板上的线，以电源线和地线最重要。克服电磁干扰问题，最主要的手段就是接地。

微控制器构成的系统要有良好的抗干扰能力和满足电磁兼容的要求，最好使用多层板，特别是对时钟信号在10M 以上的微控制器。四层板效果要好得多。四层板在双面板的元件面走线层和焊接面走线层之间增加了电源层和地层。使双面板上原来只能用粗线布线的电源与地线变成一个大面积的地层和电源层。

举例来说，原来双面板上有一条地线，它的长、宽、厚分别为10cm、1mm、0.03mm，当频率为7MHz 时，这段线路的阻抗大约是300mΩ，而大平面的地线阻抗只有1mΩ，对于300mV 的噪声，在大平面地的情况下就减到1mV。

并不是说使用了多层板以后，抗电磁干扰问题上就没有什么要注意的了。在多层板情况下，对于吞吐电流特别大的器件，它的电源端和地端往往不直接接电源层和地层。而是在该元件的附件放一个充放电电容。电容的引脚接电源层和地层，而该元件的电源、地则用粗线与电容相连。

对于双面板，地线要布置得特别考究，以抑制电磁干扰。在印刷板布线时通常采用单点接地法。电源和地是从电源的两端接到印刷线路板上来的。电源一个接点，地一个接点。在印刷线路板布线上，要有多个返回地线，这些线都会聚到回电源的那个接点上，就是所谓单点接地。所谓模拟地、数字地、大功率器件地分开，指布线时分开，而最后都汇集到这个接地点上。

为扼制大功率器件对微控制器部分数字电路的干扰以及数字电路对模拟电路的干扰，数字地、模拟地在接向公共接地点时要用高频扼流环。这是一种圆柱形铁氧体磁性材料，轴向上有几个孔，用较粗的铜线从孔中穿过，绕上一、两圈。这种器件对低频信号可以看成阻抗为零，对高频信号干扰信号可以看成是一个电感。

注意，不能使用电感来作接地用的高频扼流器件。因为电感器件通常有较大的直流电阻。

我们用 SPICE 程序模拟过门电路开关时在印刷线路板上的地线上引起的噪声。考虑一个64 位的数据总线，在64 个门同时开关时，远离接地点的那片集成电路的地线上引起的噪声高达1.5V。如果这64 个门共用一条返回地线的话，远端的片子将无

法工作。解决办法是采用多条接地线，返回到一个点上。

与印刷线路板以外的信号线相连时，通常采用屏蔽电缆。对于高频信号和数字信号，屏蔽电缆的两端都接地。低频模拟信号用的屏蔽电缆，一端接地为好。

若微控制器构成的系统最终要驱动大电流的设备或信号高频成分含量很高，例如驱动CRT显示器，从印刷线路板上到阴极射线管要有一条电缆，这条电缆会象天线一样将高频干扰发射出去。这条电缆必须屏蔽得很好，不能有露出来的地方，屏蔽要接到地线上。

对噪声和干扰非常敏感的电路或高频噪声特别严重的电路，应该用金属罩屏蔽起来。铁磁屏蔽对500KHZ的高频噪声效果并不明显，薄铜皮屏蔽效果要好一些。使用螺丝钉固定屏蔽罩时，要注意不同材料接触时引起的电位差造成的腐蚀。

用好去耦电容

由于微控制器时钟电路采用方波而不是正弦波。方波比正弦波含有更高的高频成分。对电磁干扰贡献最大的噪声频率是相当于时钟频率3倍的高频噪声。噪声中也还有频率更高的成分。在高频时，对电容来说，它的寄生电感不能忽视，对电感来说，它的分布电容会起作用，对电阻来说，它存在着对高频信号的反射。对印刷板上的引线来说，它的分布电感不容忽视，而且长的引线还表现出天线的特征，将高频噪声信号发射出去。焊接印刷线路板上的元件时，如果电阻、电容、三极管的引脚留得很长，这些长的引脚好是高频信号的天线。特别是印刷线路板上的信号引出线，如果线的长度达到高频噪声信号波长的1/20，噪声信号就能被发射出去。例如，对于100MHZ的噪声信号，波长是3m，15cm的引线就是它的发射天线。门电路中，各门频繁地导通、截至，引起集成电路电源、地线上电流变化率 di/dt 相当大，也会产生相当大的高频电磁干扰。去除这些高频噪声和干扰的办法是加去耦电容或高频旁路电容。

好的高频去耦电容可以去除高至1GHz的高频成分。陶瓷片电容或多层陶瓷电容高频特性比较好，如常用的25U系列。设计印刷线路板时，每个集成电路的电源、地之间都要加一个去耦电容。

这个去耦电容有两个作用，一方面是本集成电路的蓄能电容，提供和吸收该集成电路开门关门瞬间的充放电能量。另一方面旁路掉该器件的高频噪声。数字电路中典型的去耦电容值是0.1 μ F。而这种电容由于本身结构的特点以及有一段引脚，免不了有分布电感。这个分布电感的典型值是5nH。即使是表面封装的去耦电容也免不了有分布电感。0.1 μ F的去耦电容有5nH分布电感，它的并行共振频率大约在7MHz左右。也就是说，对于10MHz以下的噪声有较好的去耦作用。对40MHz以上的噪声几乎不起作用。

1nf、10nf的电容，并行共振频率在20MHz以上，去除高频噪声的效果要好一些。在电源一进入印制板的地方加一个1nf或10nf的去耦电容往往是有利的。即使是用电池供电的系统，也需要这种电容。

每10片左右集成电路要加一片充放电电容，或称蓄能电容，电容可选10 μ F左右。最好不要用电解电容，电解电容是两层薄膜卷起来的，这种卷起来的结构在高频时表现为电感。要使用钽电容或聚碳酸酯电容。

去耦电容值的选用并不严格，可按 $C=1/F$ 选用，即10MHz取0.1 μ F，100MHz取0.01 μ F，对微控制器构成的系统，取0.1—0.01 μ F之间都可以。

特别注意的是，在焊接时去耦电容的引脚要尽量短。长的引脚会使去耦电容本身发生自共振。例如，1000pF的瓷片电容引脚长度1/4英寸时自共振频率约35MHz，脚长度1/2英寸时自共振频率降为32MHz。

降低噪声与电磁干扰的经验

- 能用低速芯片就不用高速的，高速芯片只用在关键地方。
- 一片74HC04中有6个非门，如果时钟电路用掉了其中的两个，另外四个尽量用在不重要的地方，尤其不要用在I/O驱动上。
- 可用串一个电阻的办法，降低控制电路沿上下跳变速率。
- 尽量为继电器等提供某种形式的阻尼。
- 使用满足系统要求的最低频率的时钟。
- 时钟产生器尽量靠近用到该时钟的器件。石英晶体振荡器外壳要接地。
- 尽量让时钟信号回路周围电场趋近于零。用地线将时钟区圈起来，时钟线要尽量短。
- I/O驱动电路尽量靠近印制板边，让它尽快离开印制板。对进入印制板的信号要加滤波。从高噪声区来的信号也要加滤波。同时用串终端电阻的办法减小信号传输反射。
- MCU无用端要接高、接地、或定义成输出端。集成电路上该接电源、地的端都要接，不要悬空。
- 闲置不用的门电路输入端不要悬空，闲置不用的运算放大器正输入端要接地，负输入端接输出端。
- 使用45度折线而不要用90度折线布线以减小高频信号对外的发射与耦合。
- 在印刷线路板上按频率和电流开关特性分区，噪声元件与非噪声元件要离得远一些。
- 对特殊高速逻辑电路部分用地线圈起来。
- 单面板或双面板用单点接电源和单点接地。电源线、地线尽量粗。经济上能承受的话用多层板以减小电源、地的寄生电感。
- 时钟、总线、片选信号要远离I/O线和接插件。
- 模拟电压输入线、参考电压端要尽量远离数字电路信号线，特别是时钟线。
- 对A/D类器件，数字部分与模拟部分宁可绕一下也不要交叉。
- 时钟线垂直于I/O线比平行于I/O线干扰小，时钟元件引脚远离I/O电缆。
- 元件引脚要尽量短，去耦电容引脚要尽量短。
- 关键的线要尽量粗，并在两边加上保护地。高速线要短要直。
- 对噪声敏感线不要与大电流、高速开关线平行。
- 石英晶振下面和对噪声特别敏感的器件下面不要走线。
- 将敏感信号与噪声携带信号要通过一个接插件引出的话，例如用扁带电缆引出，要使用地线—信号线—地线的引出法。
- 弱信号电路、低频电路周围地线不要形成电流环路。
- 携带高噪声的引出线要绞起来。最好屏蔽起来。
- 任何信号都不要形成环路，如不可避免，让环路区尽量小。
- 使用高频、低寄生电感的瓷片电容或多层陶瓷电容作去耦电容。
- 每个集成电路一个去耦电容。每个电解电容边上都要加一个小的低频旁路电容。
- 用大容量的钽电容或聚酯电容而不用电解电容作电路充放电储能电容。使用管状电容时，外壳要接地。
- 需要时，线路中加铁氧体高频扼流环分离信号、噪声、电源、地。
- 可能的话，加频率可选的带通滤波器。
- 尽量不用IC插座，将集成电路直接焊在印刷线路板上特别是高性能的模拟电路器件和数字、模拟混合的集成电路。