

32 位微控制器

HC32L130 / HC32L136 / HC32F030 系列 硬件开发指南

适用对象

系列	产品型号
HC32L130	HC32L130E8PA
	HC32L130F8UA
	HC32L130J8TA
HC32L136	HC32L136J8TA
	HC32L136K8TA
HC32F030	HC32F030E8PA
	HC32F030F8UA
	HC32F030F8TA
	HC32F030H8TA
	HC32F030J8TA
	HC32F030K8TA

目 录

1	摘要	4
2	电源	5
3	复位电路	6
4	MODE (模式)PIN	7
5	GPIO	8
6	晶振电路设计	9
6.1	电路设计	9
6.2	电路 layout.....	10
7	常用接口设计	12
7.1	UART 接口设计	12
7.2	SWD 接口设计.....	13
7.3	I2C 接口设计	14
7.4	LCD 接口电路设计	15
8	芯片封装 PCB Layout.....	17
9	应用电路（最小系统，仅供参考）	18
10	华大 HC32F030 系列与友商产品 X030 系列引脚配置比较.....	19
10.1	LQFP64 引脚配置差异	19
10.2	LQFP48 引脚配置差异	21
10.3	LQFP32 引脚配置差异	23
11	其他信息	25
12	版本信息 & 联系方式	26

表目录

表 1 LCD bias 电压三种方式比较表.....	16
表 2 华大芯片与友商芯片 LQFP64 引脚配置差异列表.....	20
表 3 华大芯片与友商芯片 LQFP48 引脚配置差异列表.....	22
表 4 华大芯片与友商芯片 LQFP32 引脚配置差异列表.....	24

图目录

图 1 去耦电容	5
图 2 NRST 电路	6
图 3 PD03/MD 电路.....	7
图 4 外部高速晶振示意图	9
图 5 外部低速晶振示意图	9
图 6 晶振电路地线隔离环	10
图 7 晶振电路整体布局、滤波、包地隔离设计示意图	11
图 8 UART 接口设计示意图	12
图 9 SWD 接口设计示意图	13
图 10 I2C 接口设计示意图	14
图 11 LCD 外部电阻模式引脚搭建电路	15
图 12 LCD 外部电容模式引脚搭建电路	16
图 13 芯片最小系统设计参考图	18
图 14 HC32F030K8TA 与 X030R4/6/8 引脚配置比较图	19
图 15 HC32F030J8TA 与 X030C4/6/8 引脚配置比较图	21
图 16 HC32F030F8TA 与 X030K4/6/8 引脚配置比较图	23

1 摘要

本篇应用笔记主要介绍基于 HC32L130 / HC32L136 / HC32F030 系列芯片的外围硬件设计，包含电源、GPIO、晶振、UART、SWD、I2C、器件封装、LCD 外接电路、最小系统参考硬件设计等内容。

注意：

- 本应用笔记为 HC32L130 / HC32L136 / HC32F030 系列的应用补充材料，不能代替用户手册，具体功能及寄存器的操作等相关事项请以用户手册为准。

2 电源

每组电源（DVCC/AVCC）都需要一个去耦电容 4.7uF 和一个旁路电容 0.1uF，PCB 布局时，电容尽量靠近相应电源引脚。

芯片的 VCAP 引脚：LDO 内核供电输出 Pin（仅限内部电路使用，需外接 4.7uF + 10nF 的去耦电容）；不能在外部连接任何负载。

所有的电源(DVCC/AVCC)和地(DVSS/AVSS)引脚必须始终连接在 MCU 工作电压范围内的供电系统上。

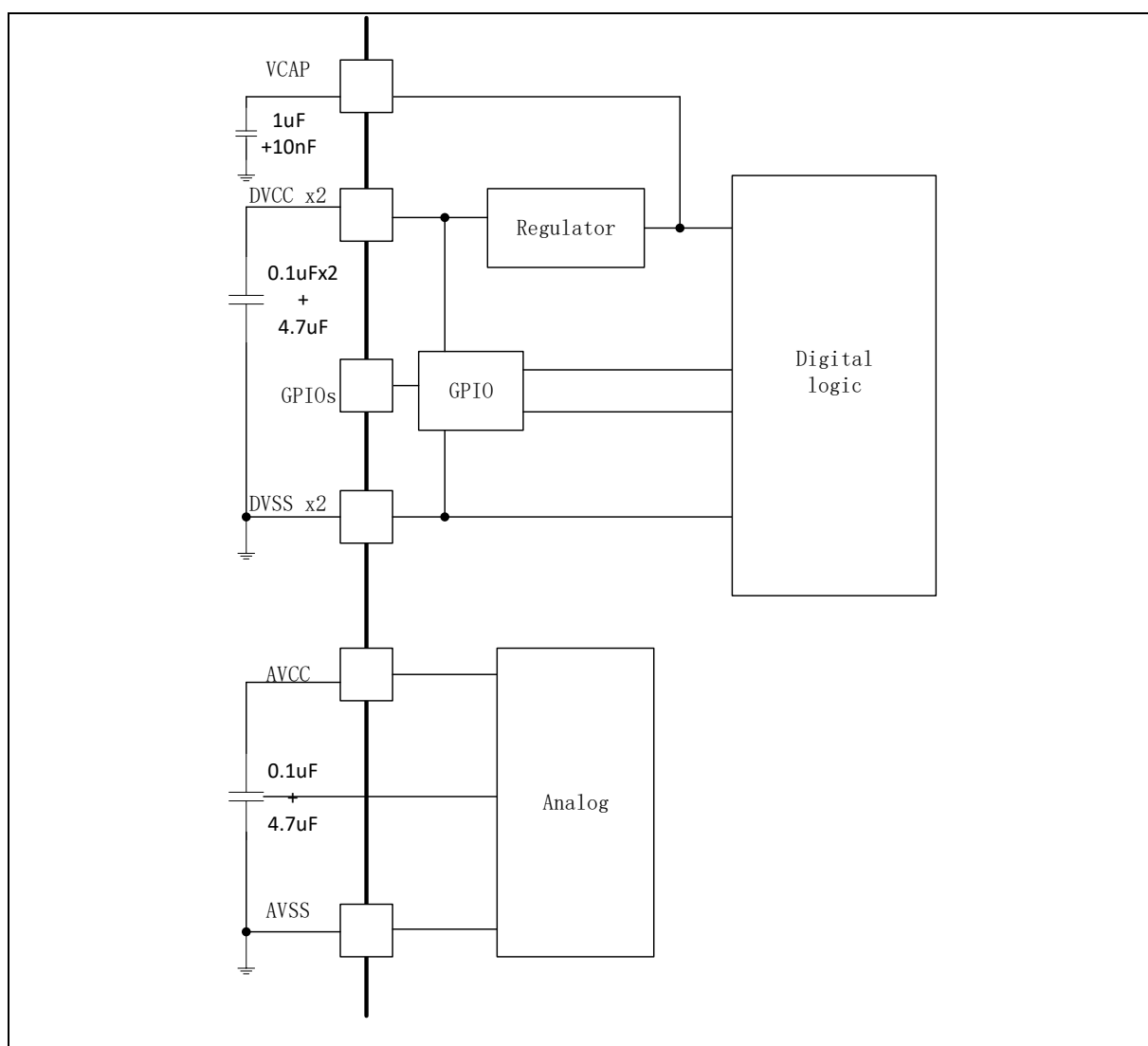


图 1 去耦电容

MCU 工作电压范围： $1.8V \leq DVCC/AVCC \leq 5.5V$ 。

建议使用相同的电源为 DVCC 和 AVCC 供电，在上电和正常操作期间，DVCC 和 AVCC 之间最多允许有 300mV 的差别。

3 复位电路

设计时，请在 RESETB 引脚和地（DVSS）之间接电容，与上拉电阻形成 RC 迟延电路；应用中如果不使用 RESETB，必须将 RESETB 通过电阻（推荐 4.7K）上拉到 DVCC。

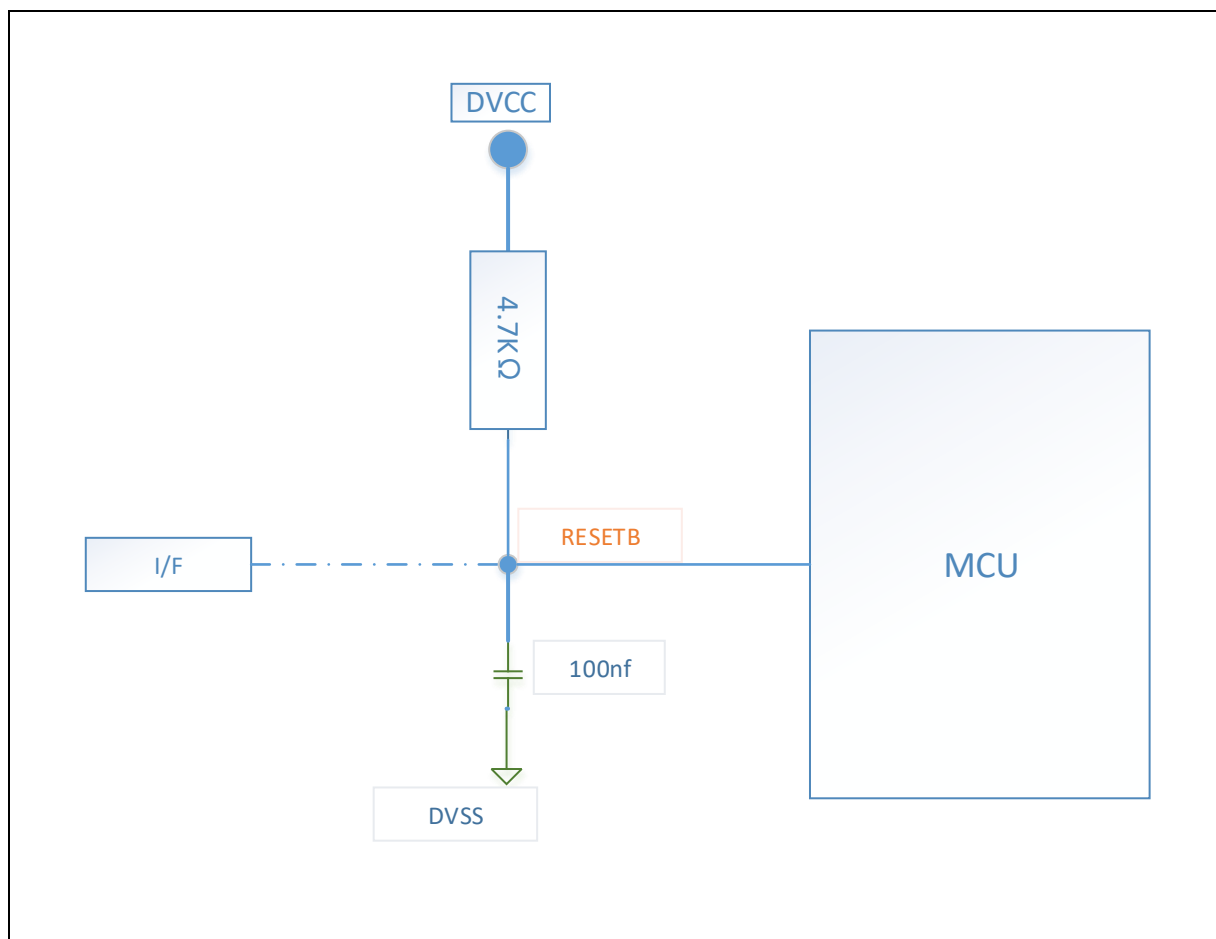


图 2 NRST 电路

4 MODE (模式)PIN

在正常情况下，必须通过电阻（推荐 $10\text{K}\Omega$ ）将 MODE Pin (PD03/MD)下拉到 GND。

在芯片 Power Reset 或硬件 Reset 的状态下，MODE (PD03)为高电平时，芯片进入在线编程模式（如加上跳帽使 MODE Pin 置位于高电平），通过上位机可以进行在线编程；MODE (PD03)为低电平时，芯片进入用户模式。

PD03/MD 用户可用作输入端口，但是在 NRST 有效期间（即 RESETB 为低电平期间）必须保持低电平，否则 NRST 解除后（即 RESETB 变为高电平），芯片会误进入在线编程模式（Boot Mode）。

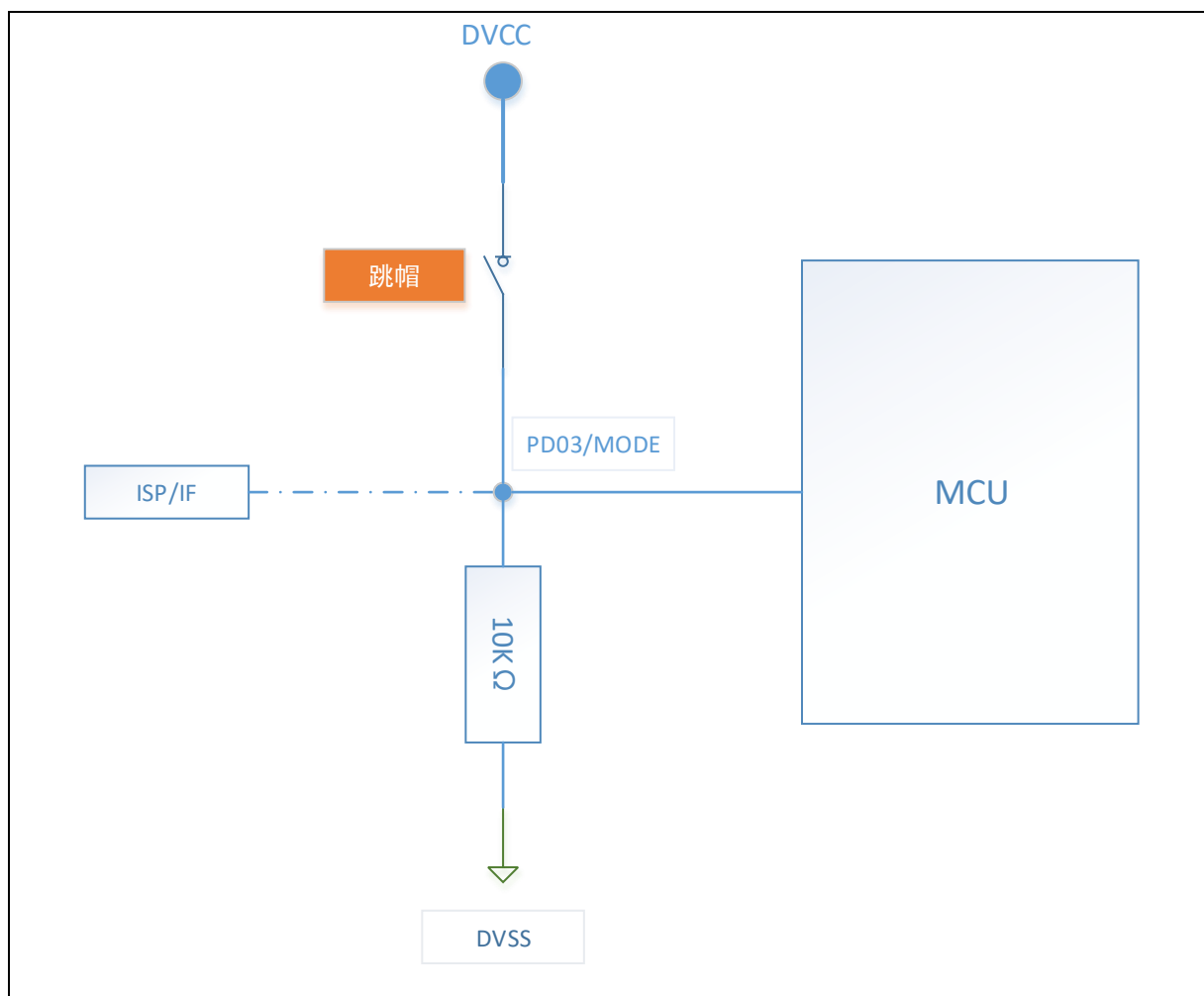


图 3 PD03/MD 电路

5 GPIO

MCU 的 GPIO 是通过 CMOS 的 PMOS 输出高电平，NMOS 输出低电平。内部上拉电阻也是一个 PMOS，引脚输出时，PMOS 或 NMOS 工作在线性区域，其等效导通电阻随着 MCU 的 VCC 变化而变化。到 MCU 工作下限电压附近时，其导通电阻会急剧变化，表象上看就是驱动能力急剧下降，上拉电阻也变大。

- HC32L130 / HC32L136 系列有 56 个数字通用输入输出端口 PA[15:0], PB[15:0], PC[15:0], PD[7:0]。模拟模块 ADC/VC/LVD/LCD 的输入输出信号、各功能模块（如 SPI, UART, I2C, Timer 等）的输入输出信号以及测试调试功能的输入输出信号都可以和数字通用输入输出端口复用。
- GPIO 每个端口都可以配置成内部拉高(pull up)/拉低(pull down)的输入、高阻输入（floating input）、推挽输出(CMOS output)、开漏输出(open drain output)、增强驱动能力输出。芯片复位后端口为高阻输入，目的是防止芯片被异常复位时，对外部器件产生异常动作。但为了避免高阻输入而产生的漏电，用户要在芯片启动之后对端口进行相应的配置（配置成内部拉高/拉低输入或者输出）。
- 数字端口被配置成模拟端口后，数字功能被隔离，不能输出数字“1”和“0”，CPU 读取端口输入值寄存器的结果为“0”。
- 每个数字端口被配置为输入时，都可以提供外部中断，中断类型可以配置成高电平触发、低电平触发、上升沿触发、下降沿触发 4 种。

6 晶振电路设计

6.1 电路设计

高速外部时钟(XTH)可以使用一个 4~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。两个引脚都有负载电容，在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

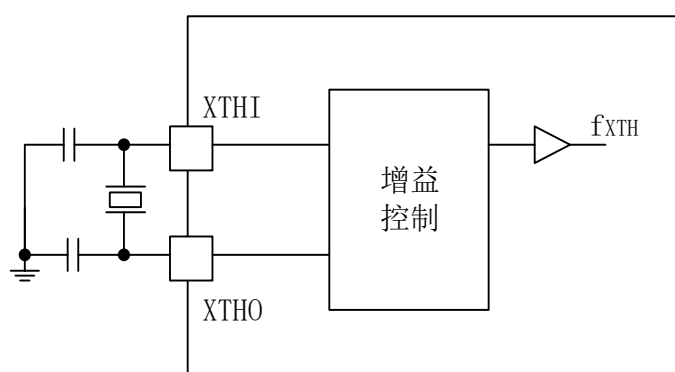


图 4 外部高速晶振示意图

低速外部时钟(XTL)可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。两个引脚都有负载电容。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

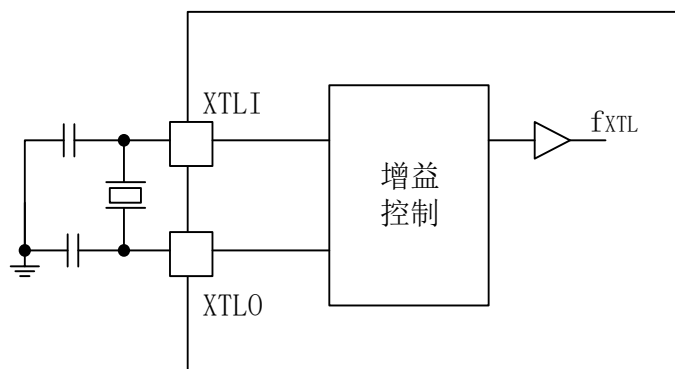


图 5 外部低速晶振示意图

注意：

- 在阅读晶振厂商的提供的 datasheet 时，参数负载电容 CL（Load capacitance），是指电路中跨接晶体两端的总的有效电容，不是晶振外接的匹配电容；另外，在计算晶振电路的匹配电容值时，需要把晶振电路 PCB 的 layout 走线到地的寄生电容考虑进去。

6.2 电路 layout

- 外部晶振单元和负载电容应尽可能靠近芯片端。
- 外部晶振信号线走线应尽量短。走线宽度不要太细，最细也不要低于芯片 pin 的宽度。
- 在晶振局部电路相邻层 layer，应该有一个完整的覆地。
- 应该在外部晶振周边用地线做保护隔离环（guard ring），地环线需要充分接地（多过地孔），减少外部晶振信号与其他信号之间的相互窜扰。（参考图 6）
- 晶振电路要注意局部信号干净，力避外部干扰。在晶振电路附近或相邻 layer 层尽量不要走线，尤其不允许走高速线、电源线、时钟线等。

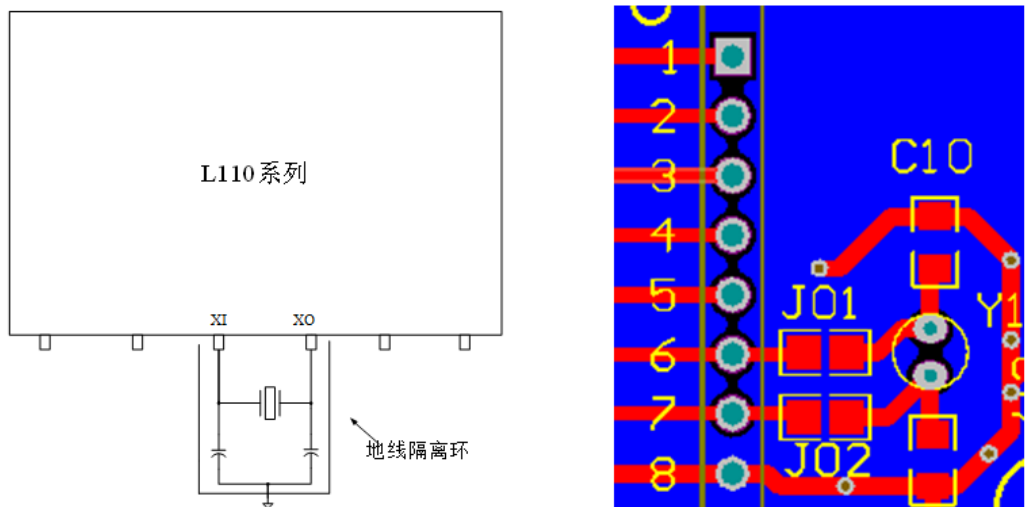


图 6 晶振电路地线隔离环

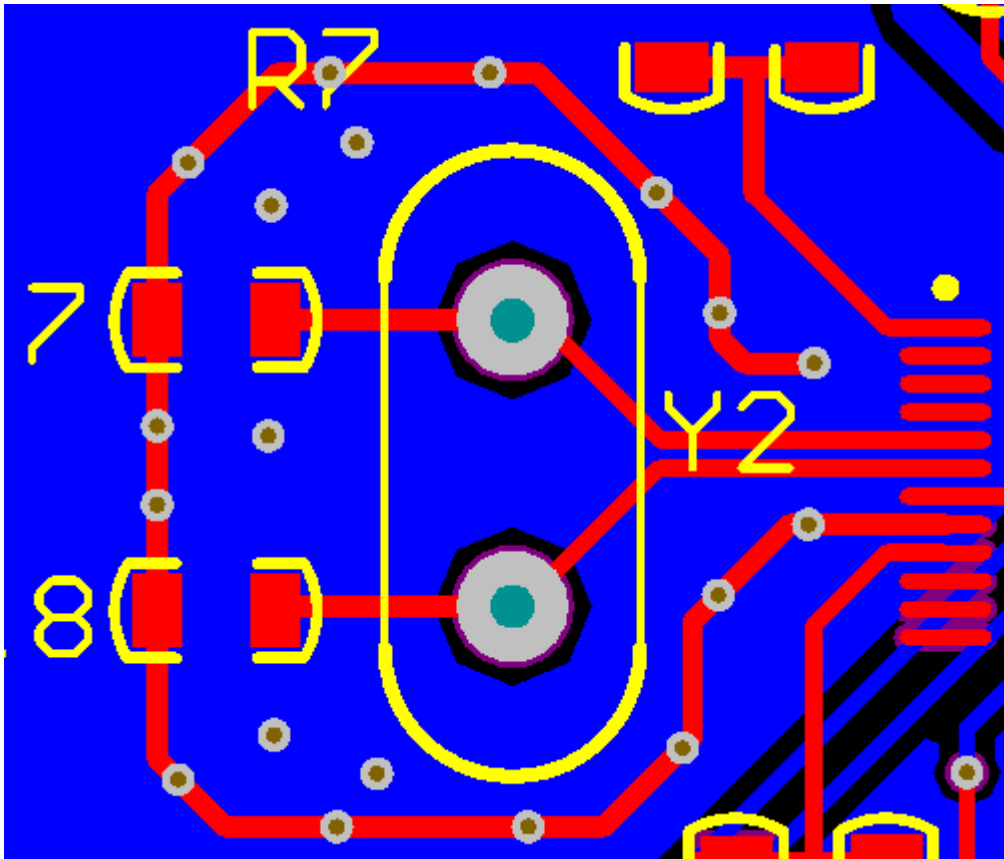


图 7 晶振电路整体布局、滤波、包地隔离设计示意图

7 常用接口设计

7.1 UART 接口设计

UART 接口设计，建议 TX/RX 信号线接 4.7K Ω 上拉电阻接电源。

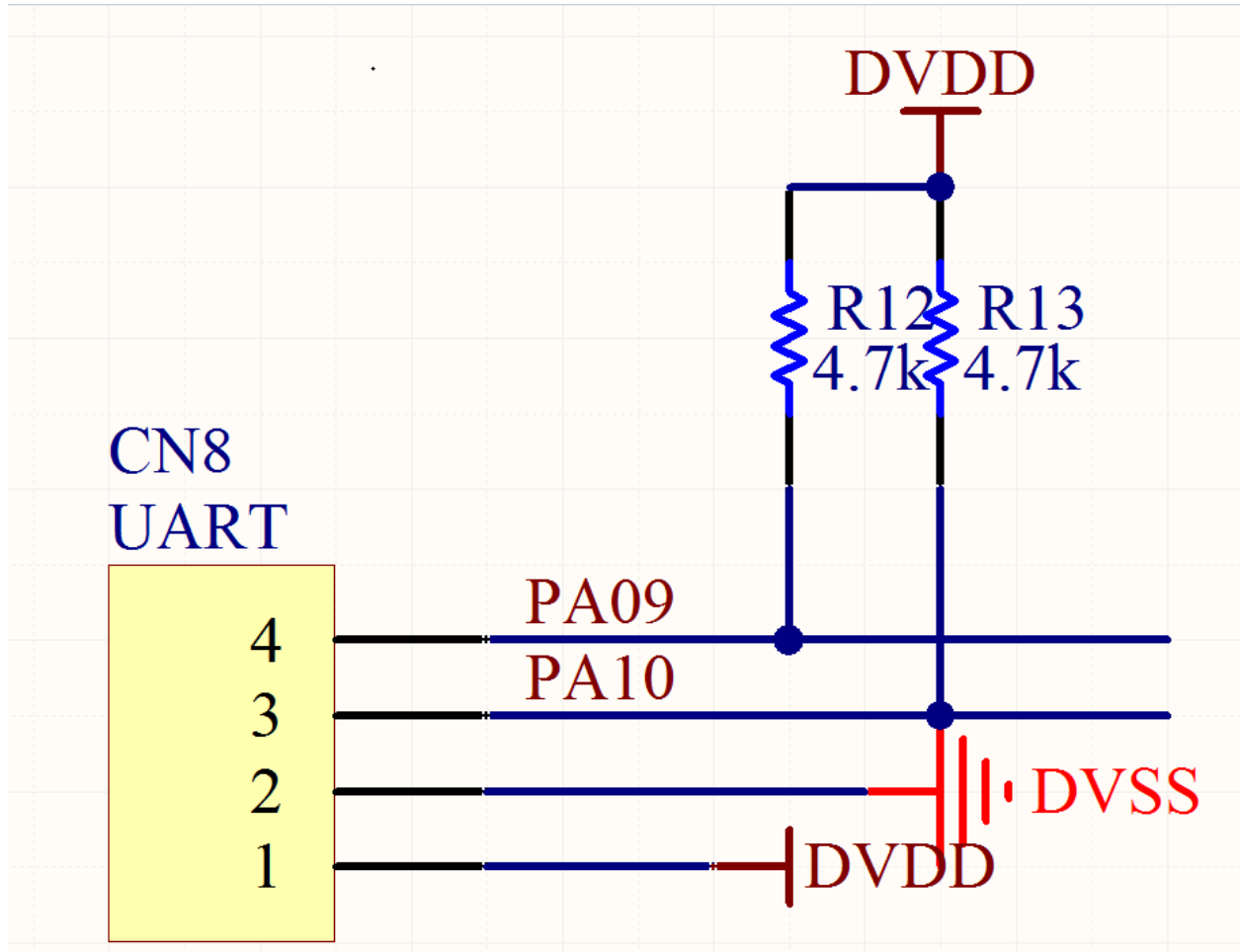


图 8 UART 接口设计示意图

7.2 SWD 接口设计

SWD 接口设计，建议 SWCLK/SWDIO 信号线接 4.7K Ω 上拉电阻接电源。

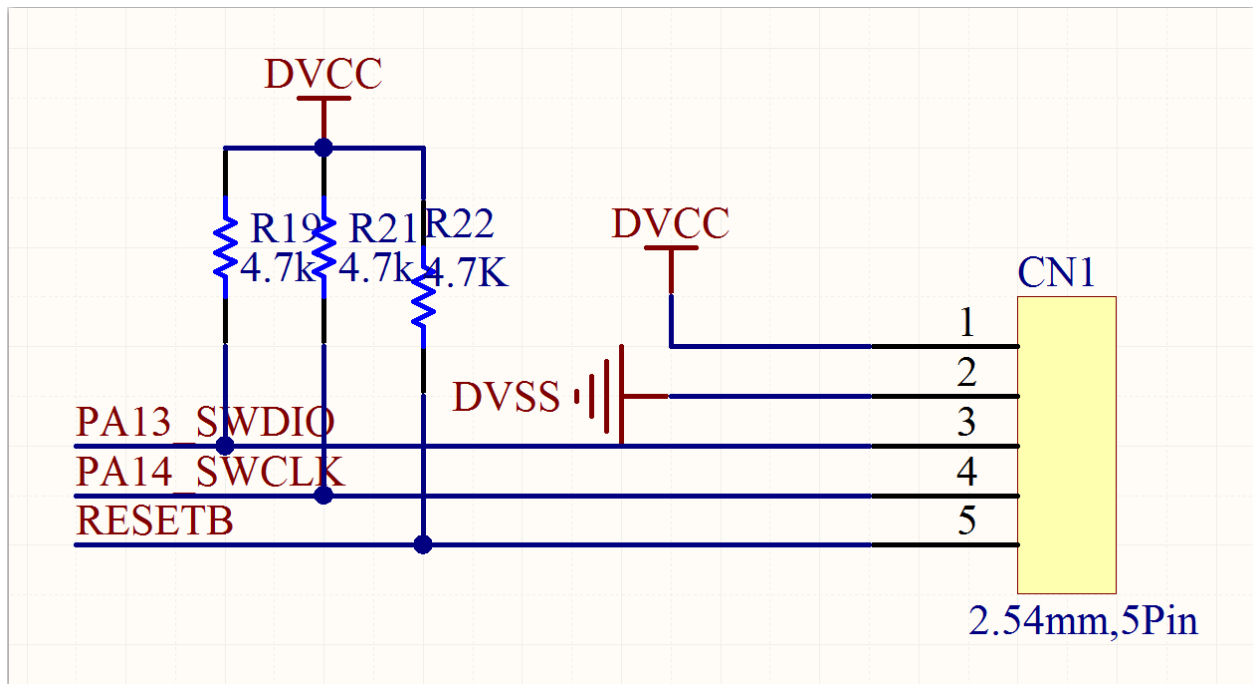


图 9 SWD 接口设计示意图

7.3 I2C 接口设计

I2C 接口设计，建议 I2C_SCL/I2C_SDA 信号线接 $1K\Omega$ 上拉电阻接电源。

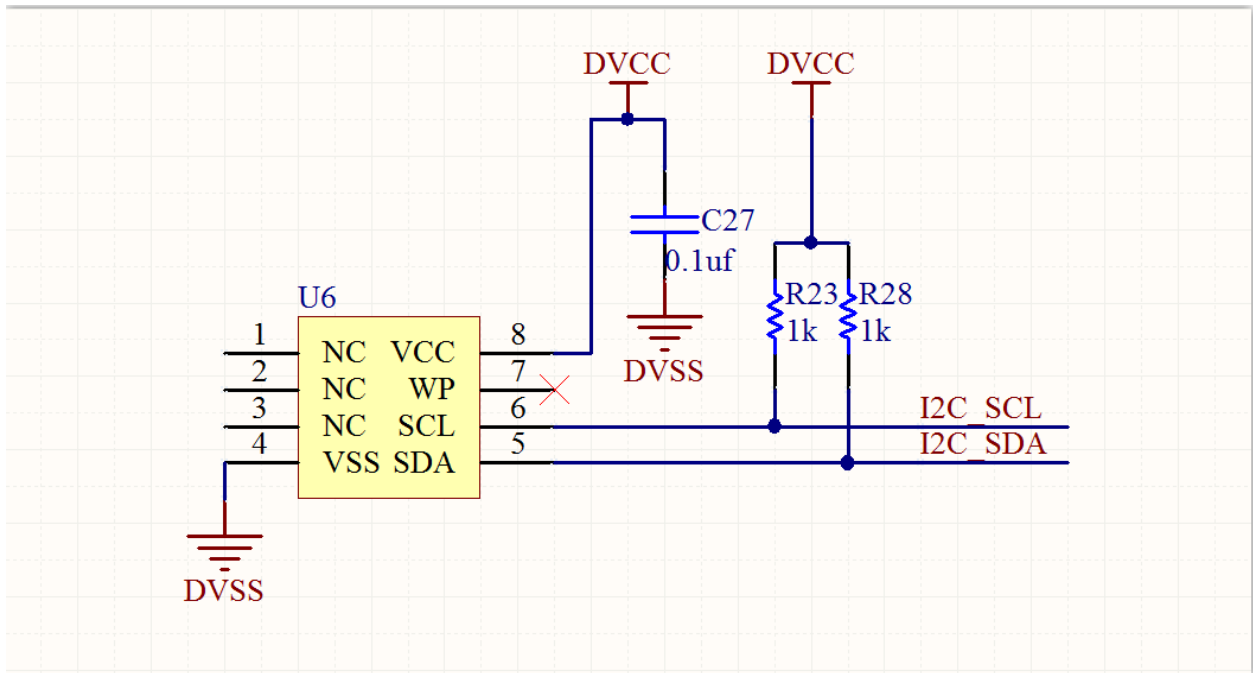


图 10 I2C 接口设计示意图

7.4 LCD 接口电路设计

华大半导体以下芯片支持 LCD 功能：

HC32L136	HC32L136K8TA HC32L136J8TA
----------	------------------------------

上表中 MCU 带有 LCD 控制器，最多具有 8 个公用端子（COM）和 40 个区段端子（SEG），具体请参考我司芯片数据手册。

可选择的 LCD 应具有如下特性：

- 支持静态、1/2、1/3、1/4 和 1/8 占空比
- 支持 1/2、1/3 偏置

LCD 的 Bias 电压具有 3 种来源：**内部电阻分压**、**外部电阻分压**、**外部电容分压**。

当选择**内部电阻分压**时，芯片会自动切换内部的电路以产生符合 Bias 和 Duty 的电压，VLCDH、VLCD1~VLCD3 可以作为 LCD SEG 输出或者 IO 端口使用，具体内容请参见芯片产品用户手册。

当选择**外部电阻分压**或**外部电容分压**时，需要用户在芯片的外围引脚搭建相关电路，搭建方式如下：

当选择**外部电阻分压**模式时：

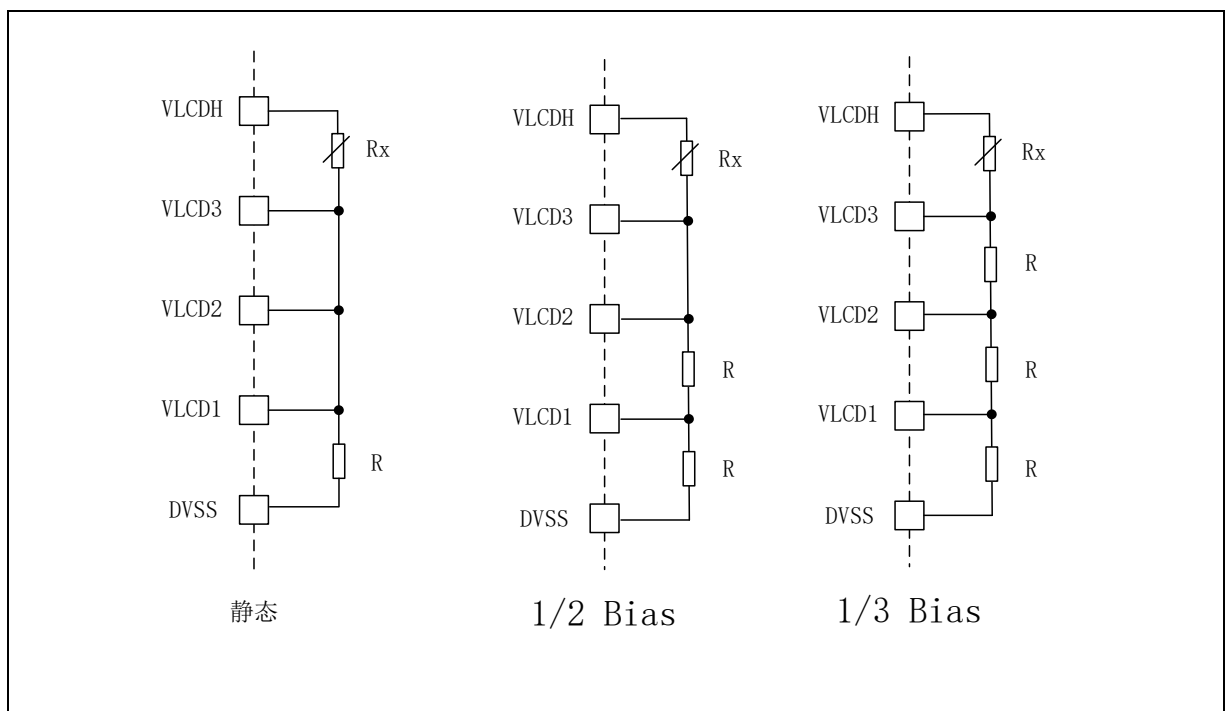


图 11 LCD 外部电阻模式引脚搭建电路

当选择外部电容模式时：

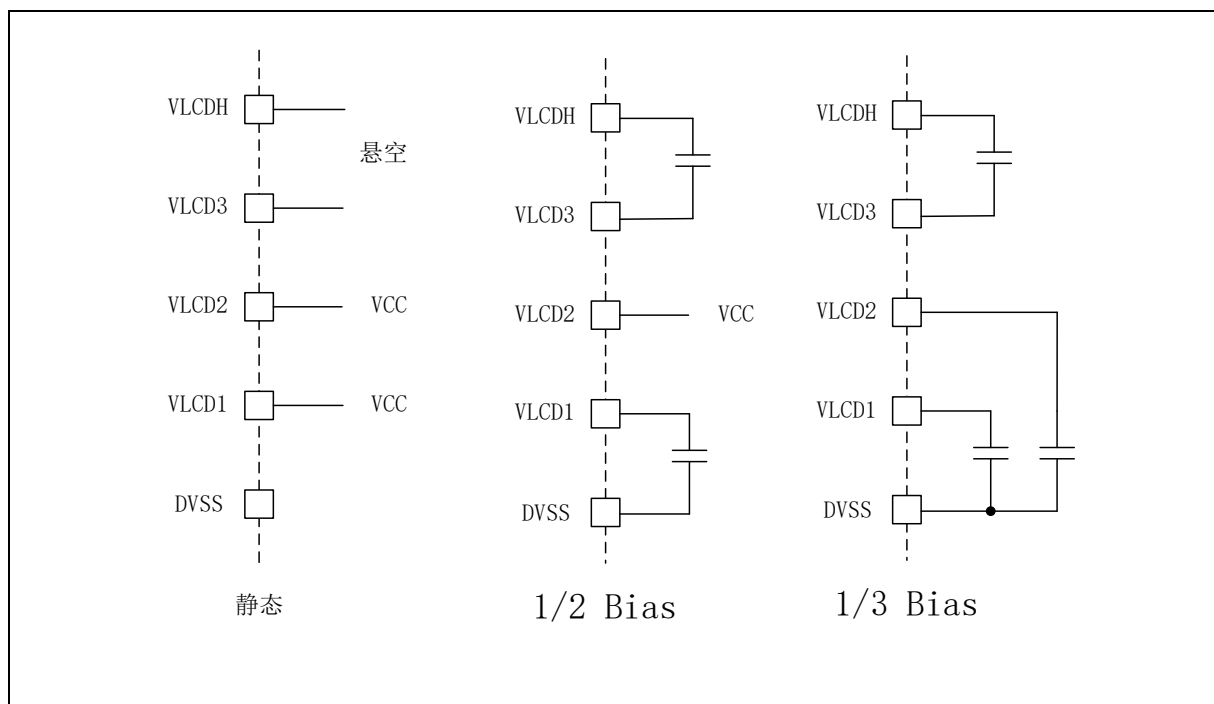


图 12 LCD 外部电容模式引脚搭建电路

注意：

- 1/3 Bias 电容模式下三个电容推荐使用 0.1uF 贴片电容。

三种方式的应用特点如下表：

表 1 LCD bias 电压三种方式比较表

	优 点	不 足
内部电阻	可以减少外部四个引脚（VLCDH\VLCD3\VLCD2\VLCD1），LCD 上的电压可以根据内部寄存器调整。	功能高，内部采用 1M 和 360K 电阻两种。
外部电阻	可以根据外部电阻灵活调整 LCD 模块上的电压以及 LCD 驱动功耗。	功能较高、需要占用外部四个 LCD 驱动专用引脚。
外部电容	功耗低，该 LCD 模块打开功耗 0.3uA。	LCD 模块上的电压等于 DVCC 电压，不可调整，需要占用外部四个 LCD 驱动专用引脚。

8 芯片封装 PCB Layout

请参考我司发布的芯片数据手册的“封装信息”章节。请严格按照数据手册规格来设计芯片封装 Layout。另外，我们提供该系列芯片的所有 PCB 封装库，请参考 <http://www.hdsc.com.cn/mcu.htm>。

9 应用电路（最小系统，仅供参考）

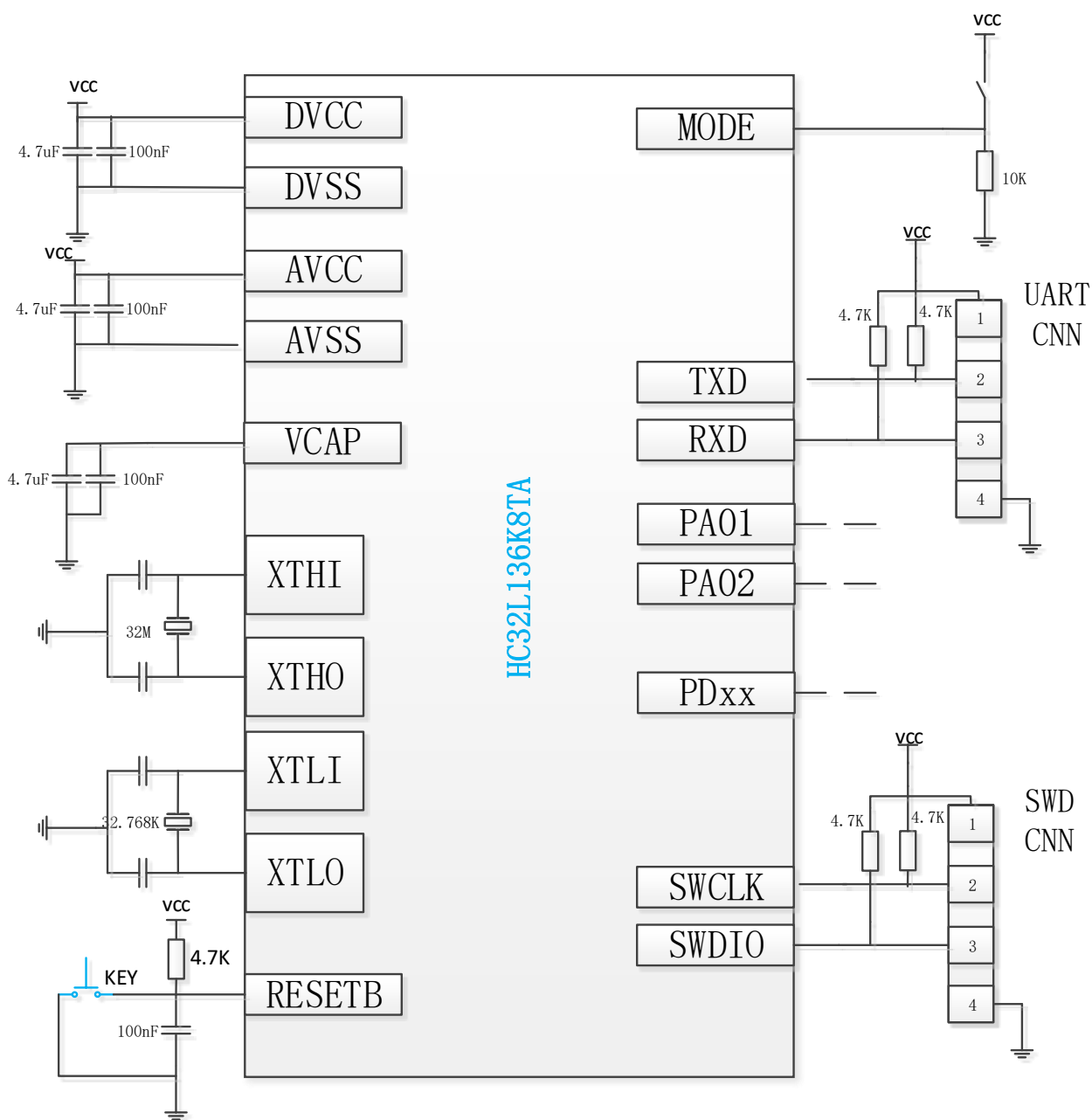


图 13 芯片最小系统设计参考图

10 华大 HC32F030 系列与友商产品 X030 系列引脚配置比较

10.1 LQFP64 引脚配置差异

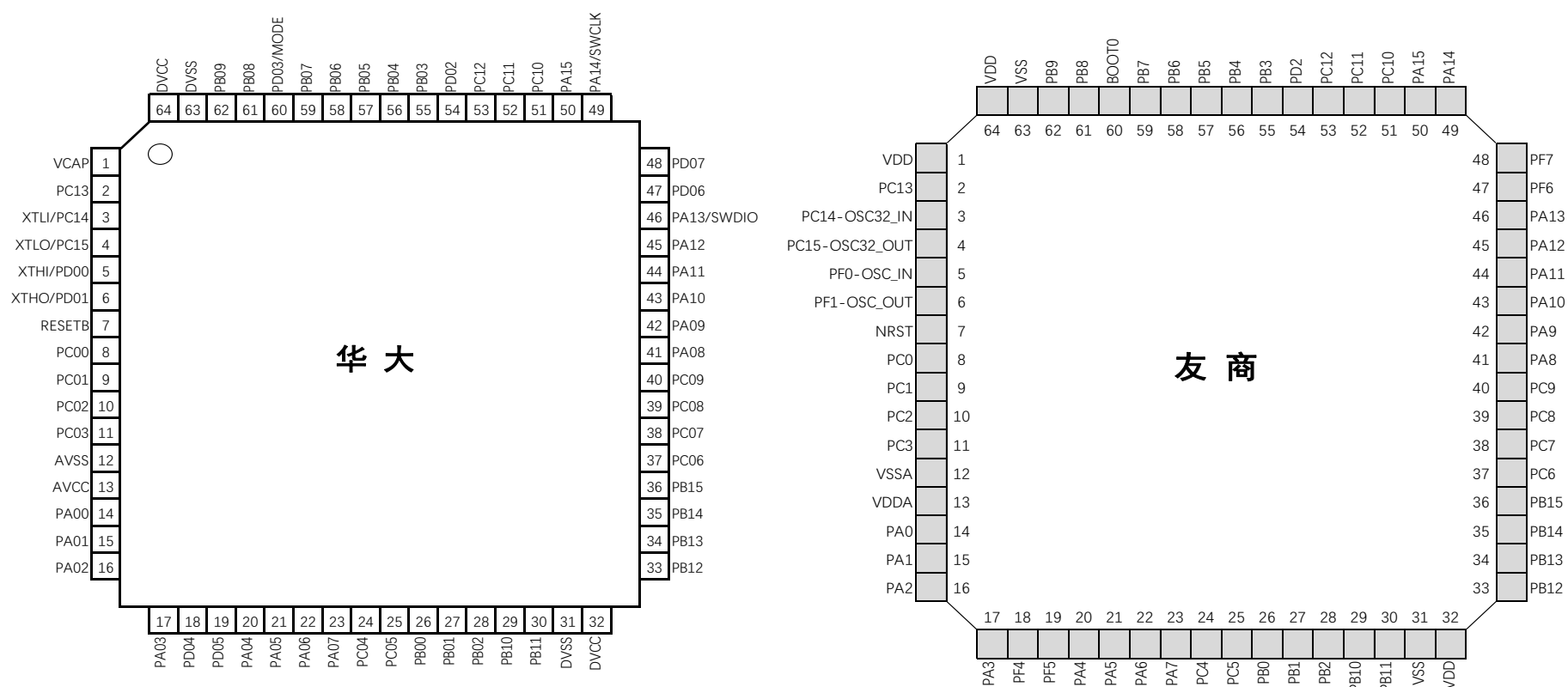


图 14 HC32F030K8TA 与 X030R4/6/8 引脚配置比较图

表 2 华大芯片与友商芯片 LQFP64 引脚配置差异列表

芯片型号	HC32F030K8TA	X030R4/6/8
Pin1	VCAP	VDD
Pin60	PD03/MODE	BOOT0

说明：

- VCAP: LDO 内核供电输出 Pin（仅限内部电路使用，需外接 4.7uF + 10nF 的去耦电容），不是外部供电 pin。

10.2 LQFP48 引脚配置差异

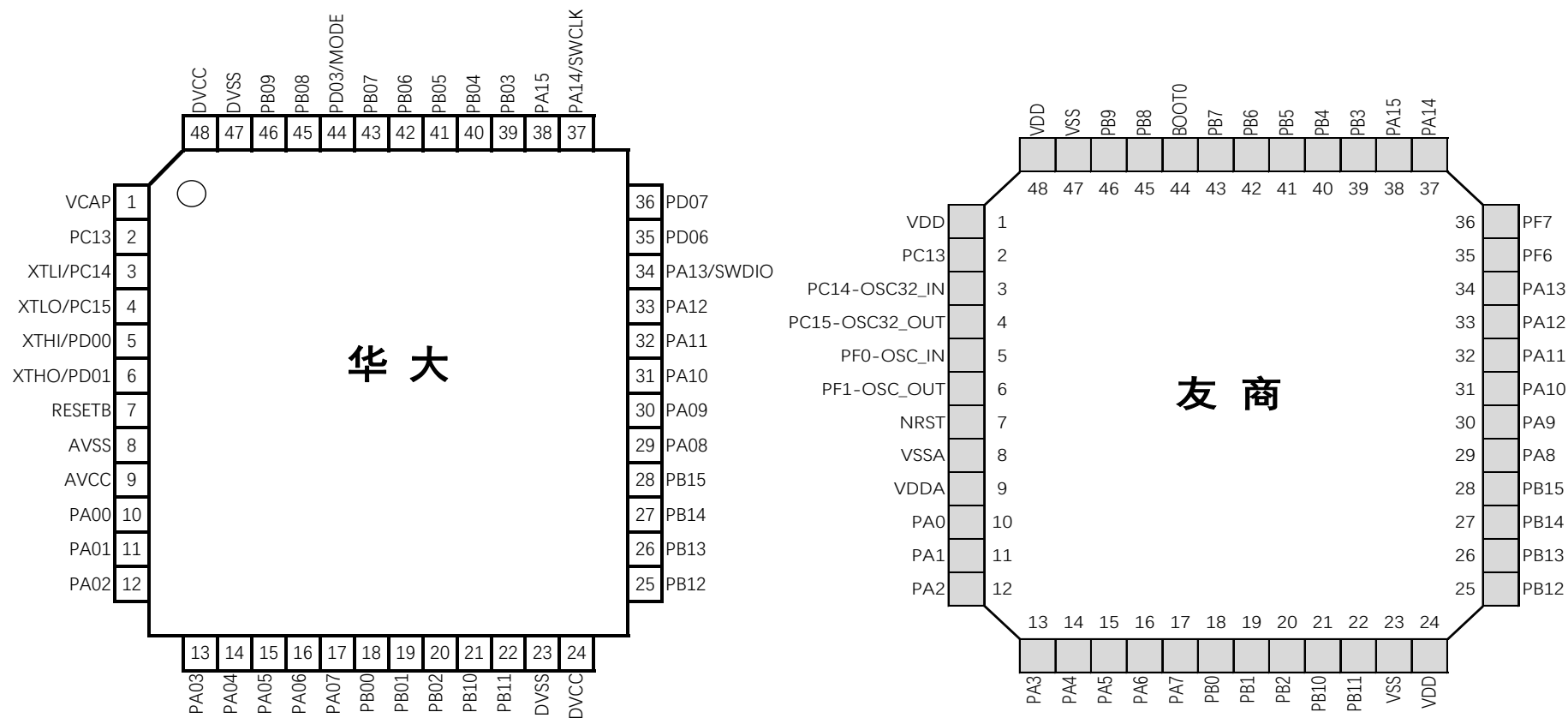


图 15 HC32F030J8TA 与 X030C4/6/8 引脚配置比较图

表 3 华大芯片与友商芯片 LQFP48 引脚配置差异列表

芯片型号	HC32F030J8TA	X030C4/6/8
Pin1	VCAP	VDD
Pin44	PD03/MODE	BOOT0

说明：

- VCAP: LDO 内核供电输出 Pin（仅限内部电路使用，需外接 4.7uF + 10nF 的去耦电容），不是外部供电 pin。

10.3 LQFP32 引脚配置差异

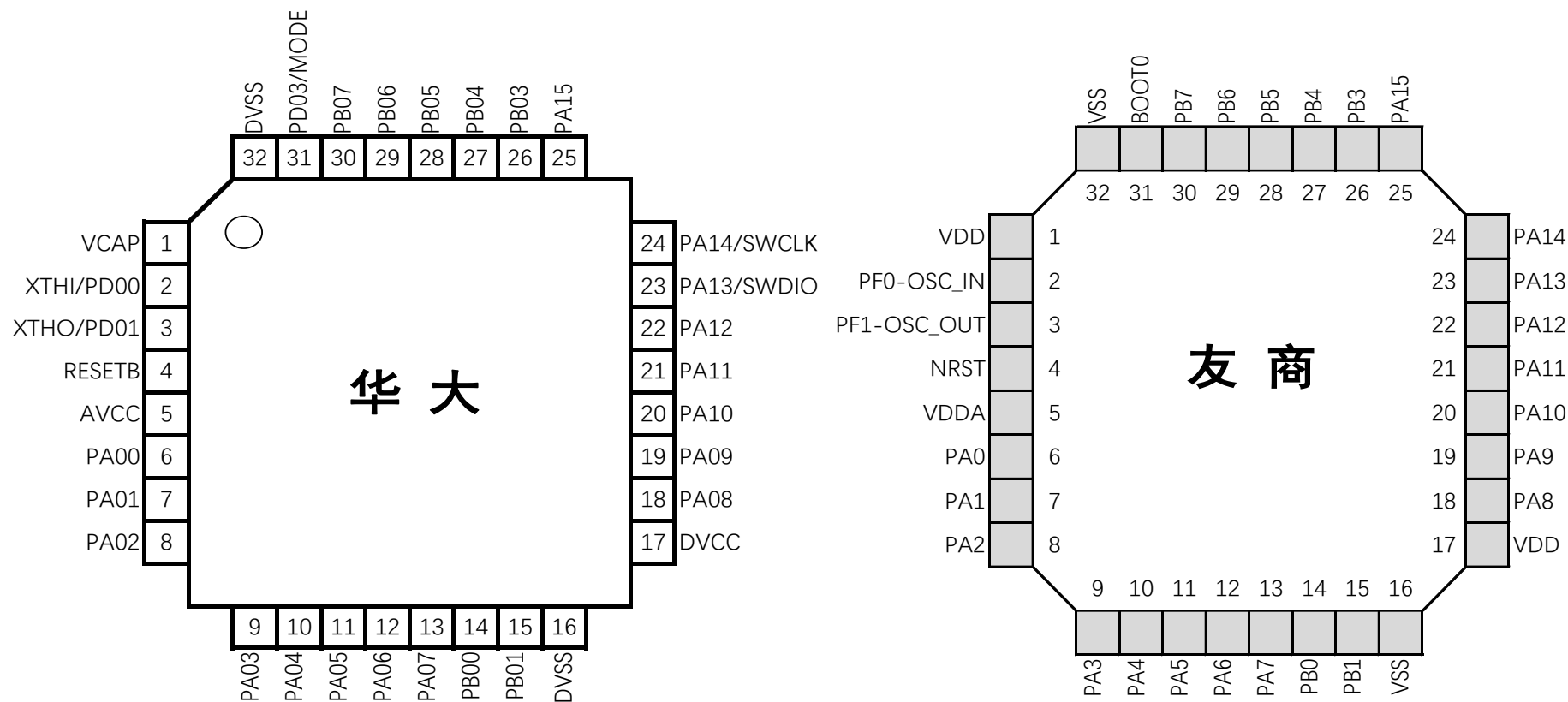


表 4 华大芯片与友商芯片 LQFP32 引脚配置差异列表

芯片型号	HC32F030F8TA	X030K4/6/8
Pin1	VCAP	VDD
Pin31	PD03/MODE	BOOT0

说明:

- VCAP: LDO 内核供电输出 Pin (仅限内部电路使用, 需外接 4.7uF + 10nF 的去耦电容), 不是外部供电 pin。

11 其他信息

技术支持信息: www.hdsc.com.cn

12 版本信息 & 联系方式

日期	版本	修改记录
2019/6/14	Rev1.0	初版发布。



如果您在购买与使用过程中有任何意见或建议，请随时与我们联系。

Email: mcu@hdsc.com.cn

网址: <http://www.hdsc.com.cn/mcu.htm>

通信地址: 上海市张江高科园区碧波路 572 弄 39 号

邮编: 201203

