
X C 9 5 7 2 是 X I L I N X 公司生产的一款高性能可编程逻辑器件。它内含 4 个 3 6 V 1 8 功能块，并具有 1 6 0 0 个可用系统门。其系统结构如图 1 所示。从结构上看，X C 9 5 7 2 包含三种单元，即宏单元、可编程 I / O 单元和可编程内部连线。其主要特点如下：

- 所有可编程管脚间的脚对脚延时均为 5 n s ；
- 系统的时钟速度可达到 1 2 5 M H z ；
- 具有 7 2 个宏单元和 1 6 0 0 个可用系统门；
- 可编程次数为 1 0 0 0 0 次；
- 可采用 5 V 在线编程和擦除；
- 拥有强大的管脚锁定能力；
- 每个宏单元都具有可编程低功耗模式；
- 未用的管脚有编程接地能力；
- 提供有编程保密位，可对设计提供加密保护以防止非法读取；

●外部 I / O 引脚与 3 . 3 V 和 5 V 兼容。

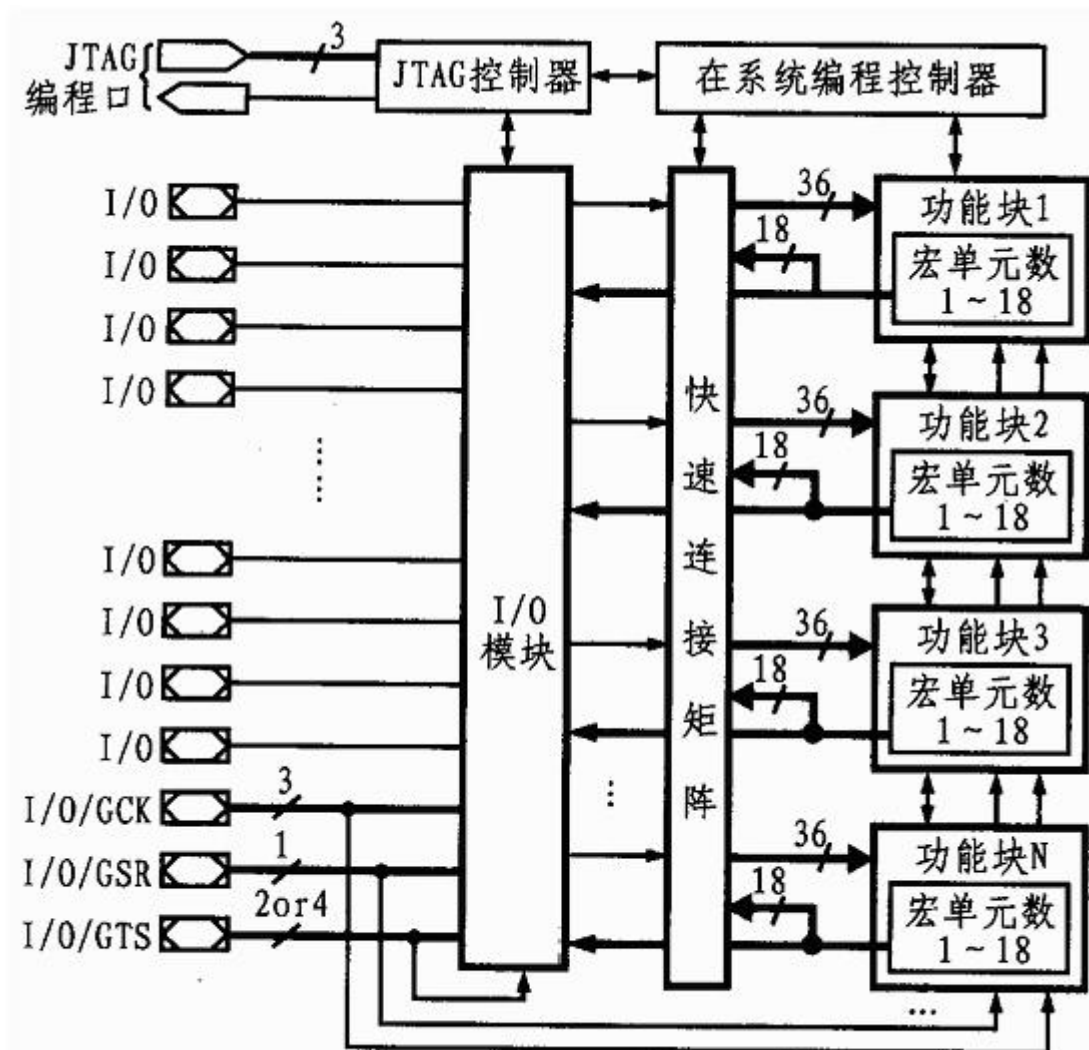


图 1 XILINX XC9572 器件结构

2 H D B 3 的编解码及实现原理

H D B 3 码（三阶高密度双极性码）是基带电信设备之间进行基带传输的主要码型之一。它的主要特点是易于提取时钟、不受直流特性影响、具有自检能力、连令串小于 3 个等。

E 1 信号是我国和欧洲国家电信传输网一次群使用的传输系统。E 1 信号由 3 2 个 6 4 k b p s 的 P C M 话路经过时分复用形成。C C I T T 建议 G . 7 0 3 标准详细规定了 H D B 3 码用于 E 1 信号的标准。

用 X C 9 5 7 2 实现 E 1 信号的 H D B 3 编解码电路比较简单，而且无需可调整外围电路。本设计使用了 P C 4 4 封装形式的 X C 9 5 7 2 可编程逻辑器件共有 3 0 个可编程 I O 引脚、6 个电源引脚和 4 个 J T A G 引脚。整个设计使用了 X C 9 5 7 2 器件 8 0 % 的容量。图 2 所示是其实现电路图。

HDB3码是AMI (Alternate Mark Inversion) 码的改进型。AMI码是用交替极性的脉冲表示码元“1”，用无脉冲表示码元“0”。为了防止电路长时间出现无脉冲状态，HDB3码的编码规则是：当没有4个或4个连续的“0”码时，就按AMI码规则编码；当出现4个或4个连续的“0”码时，每4个连续“0”的第一个“0”的变化应视它前面相邻的“1”的情况而定，如果它的前一个“1”的极性与前一个破坏点的极性相反而本身就是破坏点，则4个连续的“0”的第一个仍保持“0”；如果它的前一个“1”的极性与前一个破坏点的极性相同而本身就是破坏点，则第一个“0”改为“1”。这一规则保证了相继破坏点具有交替的极性，因而不会引入直流成分。4个连续“0”的第2，3个总是“0”。4个连续的“0”的第4个改为“1”，而极性与它前一个“1”的极性相同（破坏点极性交替规则）。在接收端，如果相继接收到两个极性相同的“1”，它的前面有3个连续的“0”，则将后一个“1”改为“0”；如果它的前面有2个连续的“0”，则将前后两个“1”改为“0”，这样就恢复了原来的数据信号。下面是一个HDB3码的例子：

其中：V代表破坏点，+V表示+1，-V表示-1，+B表示+1，-B表示-1。

图2 HDB3 编解码电原理图

在根据上述原理实现HDB3编解码的图2电路中，BNC1插头送来的HDB3信号经变压器T1、U4及外围器件组成的单双变换电路后将转换成两路单极性码并送给可编程逻辑电路XC9572U5的43、44脚，然后经过可编程逻辑电路内部解码后，从可编程逻辑电路XC9572U5的24、25脚输出数据和时钟。从U5的26、27引脚输入的数据和时钟经其内部编码后，将从其2和8脚输出，而后再经过U3以及外围器件和变压器T1组成的单双变换电路形成HDB3码，并从BNC2插头输出。

3 FOUNDATIONISE 4.2 I 开发工具

FOUNDATIONISE 4.2 I 是开发XILINX公司可编程逻辑产品（包括CPLD和FPGA系列）的软件工具包。利用FOUNDATIONISE 4.2 I 提供的设计环境和设计工具，可以灵活高效地完成各种数字电路设计。在FOUNDATIONISE 4.2 I 的设计环境下，对CPLD和FPGA进行设计的过程如下：

（1）FOUNDATIONISE 4.2 I 的设计输入有图形输入和文本输入两种方式。此外，符号编辑器用于编辑用户的模块符号。在本系统中，笔者使用Verilog HDL语言作为文本输入方式。

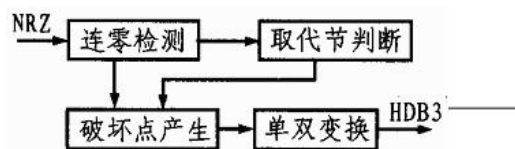


图 3 编码框图



图 4 译码框图

(2) 设计实现是在 F P G A 或 C P L D 器件内物理地实现所需的逻辑。这个过程由 F O U N D A T I O N I S E 4 . 2 I 中的核心部分编译器完成。它可依据设计输入文件自动生成?主要用于器件编程、波形仿真、延时分析等所需的数据文件。

(3) 设计仿真由仿真器和时延分析器利用编译器产生的数据文件来自动完

成逻辑功能仿真和延时特性仿真(时序仿真)的。通过仿真可以发现设计中的错误与不足,以便对设计进行修改和完善,使其最终达到设计要求。

(4) 仿真结果正确以后,即可进行器件编程。即通过编程器(P r o g r a m m e r)将设计文件下载到 F P G A 芯片中。以在实际芯片中进行实际信号的时序验证?同时就芯片的实际运行性能进行系统测试。

4 H D B 3 的 C P L D 实现及仿真结果

用 X C 9 5 7 2 实现 H D B 3 编解码设计主要由编码、时钟提取和译码三部分组成。其中编码部分是根据 H D B 3 编码原理把二进制码的时钟和数据信号编码成两路单极性的 H D B 3 码输出。其编码原理框图如图 3 所示。

时钟提取是译码的关键部分,原理是 3 2 . 7 6 8 M H z 时钟提取两路 H D B 3 单极性码的上升沿,并形成宽度 2 倍于 3 2 . 7 6 8 M H z 时钟周期宽度的脉冲,然后用此脉冲复位 3 2 . 7 6 8 M H z 时钟的 1 6 B i t 计数器,最后根据 1 6 B i t 计数器的结果产生 2 . 0 4 8 M H z 时钟。

译码部分比较简单。它根据 H D B 3 码的特点首先检测出极性破坏点,即找出 4 连零码中添加 V 码的位置(破坏点位置),其次去掉添加的 V 码,最后去掉 4 连零码中添加的 B 码以将其还原成单极性不归零码。译码原理框图如图 4 所示。H D B 3 编解码的 C P L D 设计可采用上面介绍的 F O U N D A T I O N

I S E 4 . 2 I 开发工具来实现。设计输入采用 V e r i l o g H D L 语言完成。设计分为三个模块:时钟模块、编码模块、译码模块。限于篇幅,本文未给出时钟模块、编码模块及译码模块的源代码。