

简介

伴随着用户对更高的性能、更复杂的任务以及更低成本等要求的不断提升,半导体工业必须采用更高的密度和更快的时钟频率来开发 **MCU**。但这同时也将增加噪声的发射以及噪声敏感性。因此,要求开发人员必须在系统级别中对固件和 **PCB** 布线的设计中使用 **EMC** “加强”技术。本应用笔记旨在介绍 **ST** 微控制器的 **EMC** 特性以及兼容标准,从而帮助应用设计人员实现最佳 **EMC** 性能。

目录

	简介	1
1	EMC 定义	4
	1.1 EMC	4
	1.2 EMS	4
	1.3 EMI	4
2	ST 微控制器的 EMC 特性	5
	2.1 电磁敏感性 (EMS)	5
	2.1.1 功能性 EMS 测试	5
	2.1.1.1 功能性静电放电测试 (F_ESD 测试)	5
	2.1.1.2 快速瞬变脉冲群 (FTB)	6
	2.1.1.3 ST 严重级别与行为分类	7
	2.1.2 锁定 (LU)	9
	2.1.2.1 静态锁定 (LU) 测试:	9
	2.1.2.2 动态闭锁 (DLU) 测试:	9
	2.1.3 绝对电气敏感性	10
	2.1.3.1 人体模型测试序列	10
	2.1.3.2 机器模型测试序列	11
	2.2 电磁干扰 (EMI)	11
	2.2.1 EMI 辐射测试	11
	2.2.2 EMI 级别分类	14
3	ST MCU 设计策略与 EMC 特性	15
	3.1 敏感度	15
	3.1.1 低压检测器 (LVD)	15
	3.1.2 辅助电压检测器 (AVD)	17
	3.1.3 I/O 特性与属性	18
	3.1.3.1 静电放电和闭锁	18
	3.1.3.2 保护接口	19
	3.1.3.3 内部电路: 数字 I/O 引脚	19
	3.1.3.4 内部电路: 模拟输入引脚	21

3.1.4	多个 VDD 和 VSS	22
3.1.4.1	电源与接地	22
3.2	辐射	23
3.2.1	内部 PLL	23
3.2.2	全局低功耗方法	23
3.2.2.1	低功耗振荡器	23
3.2.2.2	内部调压器（适用于下一代产品）	24
3.2.3	输出 I/O 电流限制与边沿时序控制	25
4	基于 MCU 应用的 EMC 准则	26
4.1	硬件	26
4.2	减少 ESD 相关破坏的处理预防措施	29
4.3	固件	30
4.4	EMC 相关组织的 WEB 链接	30
5	结论	31

1 EMC 定义

1.1 EMC

电磁兼容 (EMC) 是指系统在基本电磁环境中正常工作能力，同时不会产生电磁干扰影响其他设备的运行。

1.2 EMS

器件的电磁敏感性 (EMS) 级别是指器件抵抗电气干扰和传导电噪声的能力。静电放电 (ESD) 测试与快速瞬变脉冲群 (FTB) 测试可用于确定器件在非理想电磁环境下工作时的可靠级别。

1.3 EMI

电磁干扰 (EMI) 是指由设备产生的传导电噪声或辐射电噪声的级别。传导电噪声通过电缆或任意互连线路传播。辐射电噪声通过空间传播。

2 ST 微控制器的 EMC 特性

2.1 电磁敏感性 (EMS)

需要执行两种不同类型的测试：

- 在为器件供电的情况下，执行两次测试（功能性测试和闭锁）：在施加应力期间监视器件的行为。
- 在不为器件供电的情况下，执行一次测试（绝对电气敏感性）：施加应力之后，使用测试仪检查器件的功能和完整性。

2.1.1 功能性 EMS 测试

功能性测试用于测量 ST 微控制器在应用中运行时的稳健性。在器件上运行一个简单的程序（通过 I/O 端口切换 2 个 LED），器件会承受两种不同的 EMC 干扰，直到出现失控情况（故障）。

2.1.1.1 功能性静电放电测试（F_ESD 测试）

此测试适用于任何新型微控制器器件。它使用单独的正电放电或负电放电，对每个引脚分别进行测试。这可以检测芯片内部的故障，并据此进一步提供适用的建议，以保护相关的微控制器敏感引脚不受 ESD 的影响。

高压静电可以是自然形成的，也可以是人为的。某些特定设备可以再现这种现象，以模拟真实条件对器件进行测试。下面将对测试设备、测试序列以及测试标准进行介绍。

ST 微控制器 F_ESD 的认证测试使用表 1 中给出的标准作为参考。

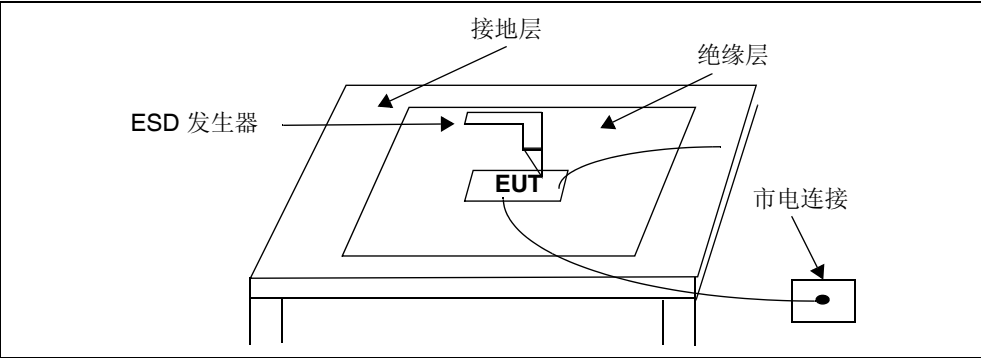
表 1. ESD 标准

欧洲标准	国际标准	说明
EN 61000-4-2	IEC 1000-4-2	传导 EMS 测试

AEC-Q100-REUE 是汽车控制文档。

F_ESD 测试使用信号源和功率放大器对微控制器产生高电平电场。绝缘体使用锥尖。此锥尖被放置在测试器件或测试设备（DUT 或 EUT）上，然后施加静电放电（参见图 1）。

图 1. ESD 测试设备



F_ESD 测试所使用的设备是符合 IEC 1000-4-2 标准的发生器 NSG 435 (SCHAFFNER)。在测试中会直接将释放的电流施加到 MCU 的各个引脚。

图 2. 接触模式放电的典型 ESD 电流波形

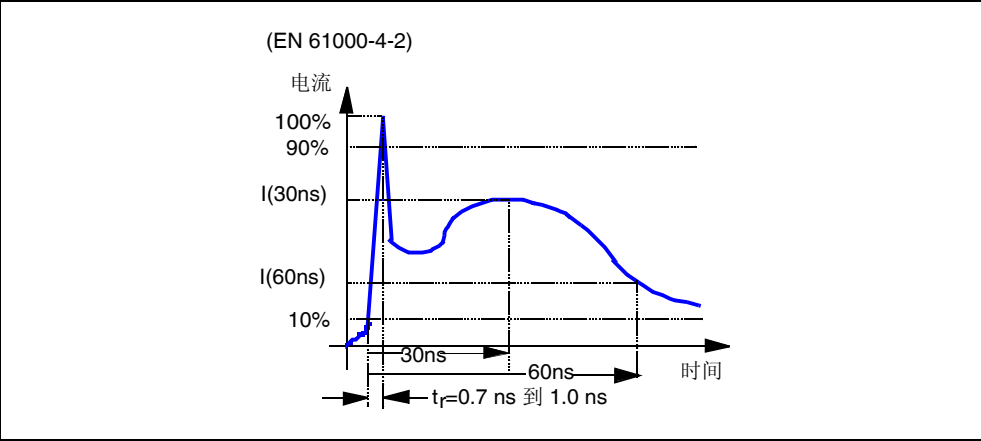
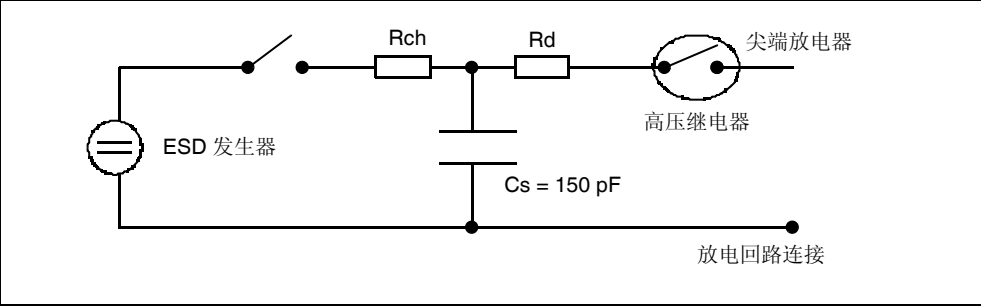


图 3. ESD 发生器简图



($R_{ch} = 50\text{MW}$; $R_d = 330\text{W}$)

2.1.1.2 快速瞬变脉冲群 (FTB)

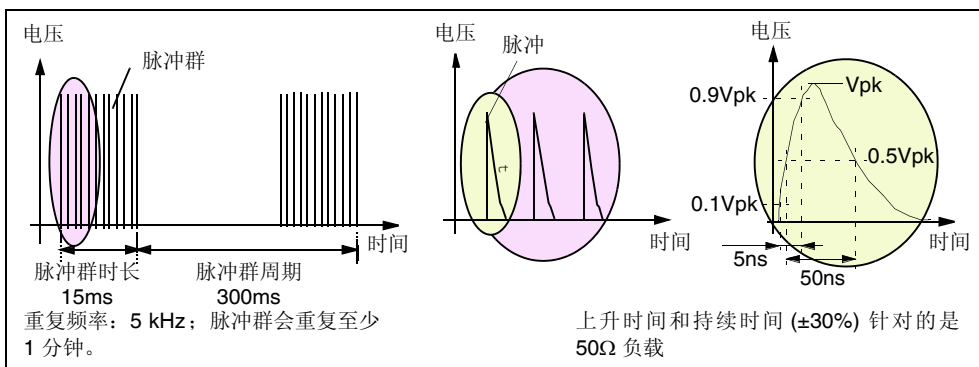
此测试比功能性 ESD 测试复杂，它需要在短时间内使器件承受大量的发射干扰，这对于检测不常发生且不可恢复的（B 类或 C 类）微控制器状态非常有用。FTB 干扰（参见图 4）通过电容耦合网络施加到微控制器的电源线上。

ST 微控制器的 FTB 测试采用表 2 中给出的标准。

表 2. FTB 标准

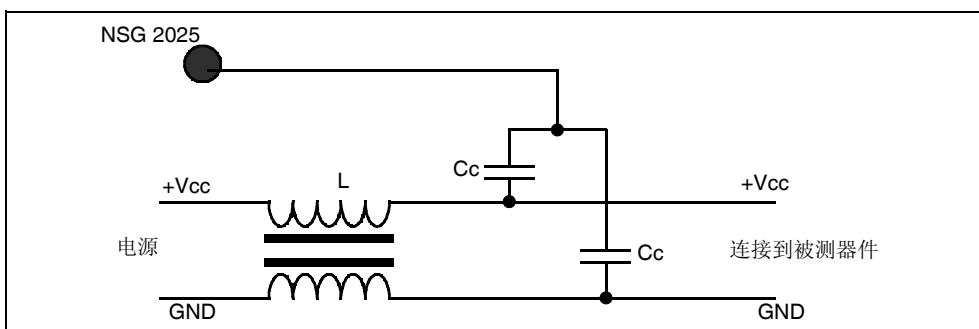
欧洲标准	国际标准	说明
EN61000-4-4	IEC 1000-4-4	快速瞬变脉冲群

图 4. FTB 波形图



尖峰频率为 5 kHz。发生器每隔 300 ms 会产生持续 15 ms 的脉冲群尖峰（75 个尖峰）。快速瞬变通过电容 C_C 与器件 DUT 耦合（参见图 5）。

图 5. 耦合网络



测量是在接地层上执行。发生器通过一条短线连接到接地层。电源线距离接地层 10 cm。DUT 在绝缘层上，距离接地层 10 cm。FTB 电压不断增加，直到器件出现故障。

根据数据手册中提供的敏感性级别（严重级别）以及行为类型（分类），应用设计人员可借助严重级别和分类来确定哪些 ST 微控制器适合其目标应用。

2.1.1.3 ST 严重级别与行为分类

1000-4-2 和 1000-4-4 标准并非专用于微控制器等半导体元件。因为电磁影响通常还会施加到系统的其它部分，例如连接器、干线、电源 ... 受物理定律的制约，F_ESD 和 FTB 测试的能量级别在到达微控制器之前会降低。ST 收集了不同应用环境下 MCU 行为的大量统计数据，并据此制定了一个关于 ST F_ESD 或 FTB 测试电压与 1000-4-2/1000-4-4 严重级别的关系图表（参见表 3）。

表 3. ST ESD 严重级别

严重级别	ESD (1000-4-2) 设备标准 (kV)	FTB (1000-4-4) 设备标准 (kV)	ST 测试电压 ST 内部 EMC 测试 (kV)
1	2	0.5	0-0.5
2	4	1	0.5-1
3	6	2	1-1.5
4	8	4	>1.5

除了这个严重级别外，还可以根据 EN 50082-2 标准将 ESD 应力作用下的 MCU 行为划分为不同的行为分类（参见表 4）：

表 4. ST 行为分类

A 类	B 类	C 类	D 类
未检测到任何故障	检测到故障，但干扰消失后自行恢复	需要外部用户操作才能恢复正常工作	无法恢复正常工作

任何低于“验收限度”的 ST 微控制器都作为不合格品被淘汰。ST 使用“目标级别”来定义 EMS 性能的优劣。

B 类产生的可能原因：

- 由软件控制的附加的正常复位（优先情况）。
- 取消对应用程序所恢复的外设寄存器或存储器的编程。
- 一个锁定状态（通过看门狗或其它固件实现恢复）。

C 类产生的可能原因：

- 取消对应用程序不能恢复的外设寄存器或存储器的编程。
- 一个锁死的应用程序状态（需要外部用户操作）。

表 5 给出了 ST 的目标级别与验收限度。

表 5. F_ESD/FTB 目标级别与验收限度

	验收限度	目标级别
F_ESD	0.5 kV	>1 kV
FTB	0.5 kV	>1.5 kV

处于“验收限度”与“目标级别”之间的器件对噪声比较敏感。为避免敏感性问题，在设计期间应特别加以注意。

表 6 显示了 ST 数据手册中的 F_ESD/FTB 测试结果。

表 6. F_ESD/FTB 测试结果示例

符号	额定值	条件	严重级别/标准
V_{F_ESD}	施加在任意 I/O 引脚并导致功能性故障的极限电压	$T_A=+25^{\circ}\text{C}$	2/A, 3/B
V_{FTB}	通过 100 pF 电容施加在 VSS 和 VDD 引脚上并导致功能性故障的快速瞬变电压脉冲群极限	$T_A=+25^{\circ}\text{C}$	3/B

2.1.2 锁定 (LU)

2.1.2.1 静态锁定 (LU) 测试:

锁定是一种由于过载触发寄生半导体闸流管从而导致大电流的消耗的特殊现象，必须要断开电源来恢复初始状态。

注

- 1 过载既可以是电压浪涌或电流浪涌（电流或电压变化率过大），也可以是其它任何会导致寄生半导体闸流管结构变为自保持的异常状态。
- 2 如果对通过低阻抗路径中的电流的大小或持续时间加以充分限制，则闭锁不会损坏器件。

此测试符合 EIA/JESD 78 IC 闭锁标准。

真正的 LU 是可以自保持的，一经触发，便会一直保持高电流状态，直到器件断开与电源电压的连接为止。如果仅断开触发电压高电流状态便停止，则认为引发了暂时 LU 状态。

为评估闭锁性能，需要对 10 个器件执行两项互补的静态闭锁测试：

- **电源过压**（施加到各个电源引脚）模拟用户引发的状况，即对电源引脚施加瞬变过压。
- **电流注入**（施加到各个输入、输出和可配置 I/O 引脚）模拟应用程序引发的状况，即对引脚施加的电压比最大额定电压高，例如由于振铃现象而导致某个输入上电压明显高于 V_{DD} 或明显低于接地。

表 7 显示了 ST 数据手册中的 LU 测试结果。

表 7. ST72F521 的 LU 测试结果示例

符号	参数	条件	分类 ¹⁾
LU	静态闭锁分类	$T_A=+25^{\circ}\text{C}$ $T_A=+85^{\circ}\text{C}$, $T_A=+125^{\circ}\text{C}$ (取决于器件的温度范围)	A

1. 分类说明：“A”类是意法半导体的内部规范。其中的所有限值均比 JEDEC 规范高，这意味着属于 A 类的器件肯定超过 JEDEC 标准。“B”类严格包括所有 JEDEC 标准（国际标准）。

2.1.2.2 动态闭锁 (DLU) 测试:

此测试用于评估微控制器在运行时对 ESD 放电的 LU 敏感性。

不断增加对元件的每个引脚所施加的静电放电，直到发生闭锁为止。测试结果是发生闭锁前所能承受的最大电压。

DLU 测试方法与特性分析：当微控制器运行时，对 3 个样本的每个引脚施加静电放电（一个正电测试然后一个负电测试），以在动态模式下评估闭锁性能。将电源设置为典型值，振荡器与微控制器的引脚连接尽可能靠近，并将元件置于复位模式下。

表 8 显示了 ST 数据手册中的 DLU 测试结果。

表 8. ST72F521 的 DLU 测试结果示例

符号	参数	条件	分类 ¹⁾
DLU	动态闭锁分类	$V_{DD}=5V$ $f_{OSC}=4MHz$, $T_A=+25^{\circ}C$	A

1. 分类说明：“A”类是意法半导体的内部规范。其中的所有限值均比 JEDEC 规范高，这意味着属于 A 类的器件肯定超过 JEDEC 标准。“B”类严格包括所有 JEDEC 标准（国际标准）。

LU/DLU 的测试设备与用于功能性 EMS 测试的设备相同（参见图 1）。

2.1.3 绝对电气敏感性

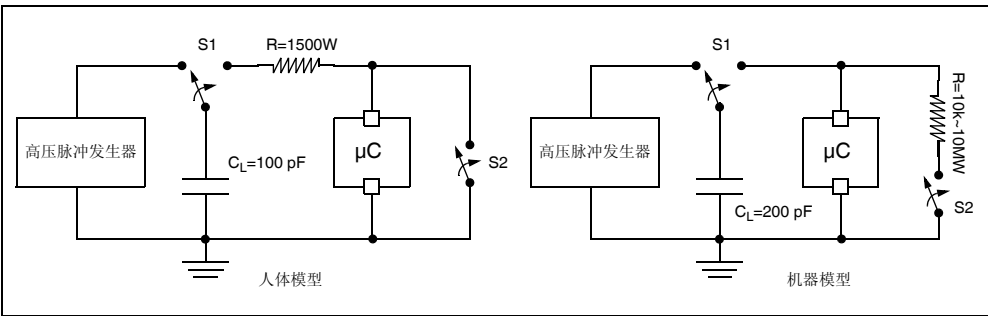
此测试用于评估元件对 ESD 所导致的损坏的抗扰性能。

任何未通过此电气测试程序的设备均被归类为不合格品。

根据每种引脚组合，使用自动 ESD 测试仪对每个样本的引脚施加静电放电（一个正脉冲后接着一个负脉冲，两个脉冲间隔一秒钟）。样本大小取决于器件的供电引脚数（3 个器件 \times (n+1)：n= 供电引脚数）。通常会模拟两种模型：人体模型 (HBM) 和机器模型 (MM)。所有器件均需要使用生产测试仪进行重新测试，以验证静态和动态参数是否仍符合器件数据手册（参见图 6）。

此项测试符合 JESD22-A114A/A115A 标准。请参见图 6 和以下测试序列。

图 6. 绝对电气敏感性测试模型



2.1.3.1 人体模型测试序列

HBM ESD 脉冲可模拟将静电荷从人体直接传输到测试器件。一个 100 pF 的电容通过一个开关元件和 1500 欧姆的串联电阻进行放电。这是目前对器件的 ESD 敏感性进行分类时最常用的工业模型。

- 通过开关 S1 接通 HV 脉冲发生器端对 C_L 进行充电。
- 将 S1 开关从发生器端切换至 R 端。
- C_L 通过 R（人体电阻）对 μC 放电。
- 脉冲传递周期完成之后，必须将 S2 闭合 10 ms 到 100 ms，以确保 μC 不处于充电状态。在传递下一个脉冲之前，必须将 S2 打开至少 10 ms。

2.1.3.2 机器模型测试序列

MM ESD 脉冲可模拟将静电电荷从带电导体（如金属工具或夹具）快速直接传输到测试器件。此模型由一个不带电的 200 pF 电容组成，不包含任何串联电阻。由于各个单独的封装被自动化系统所替换，因此对 MM ESD 测试的要求也相应变高。

- 通过开关 S1 接通 HV 脉冲发生器端对 C_L 进行充电。
- 将开关 S1 从发生器端切换至 μC 端。
- C_L 对 μC 放电。
- 脉冲传递周期完成之后，必须将 S2 闭合 10 ms 到 100 ms，以确保 μC 不处于充电状态。在传递下一个脉冲之前，必须将 S2 打开至少 10 ms。

R（机器电阻）与 S2 串联，可确保 μC 缓慢放电。

表 9 显示了 ST 数据手册中的 HBM/MM ESD 测试结果。

表 9. ST72F521 的 HBM/MM ESD 测试结果示例

符号	额定值	条件	最大值 ¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A=+25^{\circ}C$	2000	V
$V_{ESD(MM)}$	静电放电电压 (机器模型)	$T_A=+25^{\circ}C$	200	

注：

1. 数据通过特性分析确定，未经生产测试。

2.2 电磁干扰 (EMI)

2.2.1 EMI 辐射测试

此测试符合 SAE J1752/3 标准。

此测试非常适合评估微控制器在应用环境中辐射的噪声。它在测试时会对 MCU 芯片和封装加以考虑，它们对器件辐射的噪声起主要作用。

下面是各封装按照 EMI 辐射噪声量从高到低的排列情况：

SDIP/DIP

SOP

QFP

TQFP

此测试在横向电磁波室 (TEMCELL) 中执行，通过将测试板旋转 90°，可实现在两个方向上测量辐射噪声。

测试说明：

运行一个简单应用的程序，通过 I/O 端口来开关两个 LED。

SAE PCB 的主要规范为（图 8）：

- 100 mm x 100 mm 正方形板
- 至少 2 层板（理想情况下为 4 层）。
- 两边均有与地连接的 5 mm 导电边沿，用于连接 TEMCELL。

图 7 给出了 MCU EMC 测试板的典型示例。

图 7. ST7 的测试板原理图示例

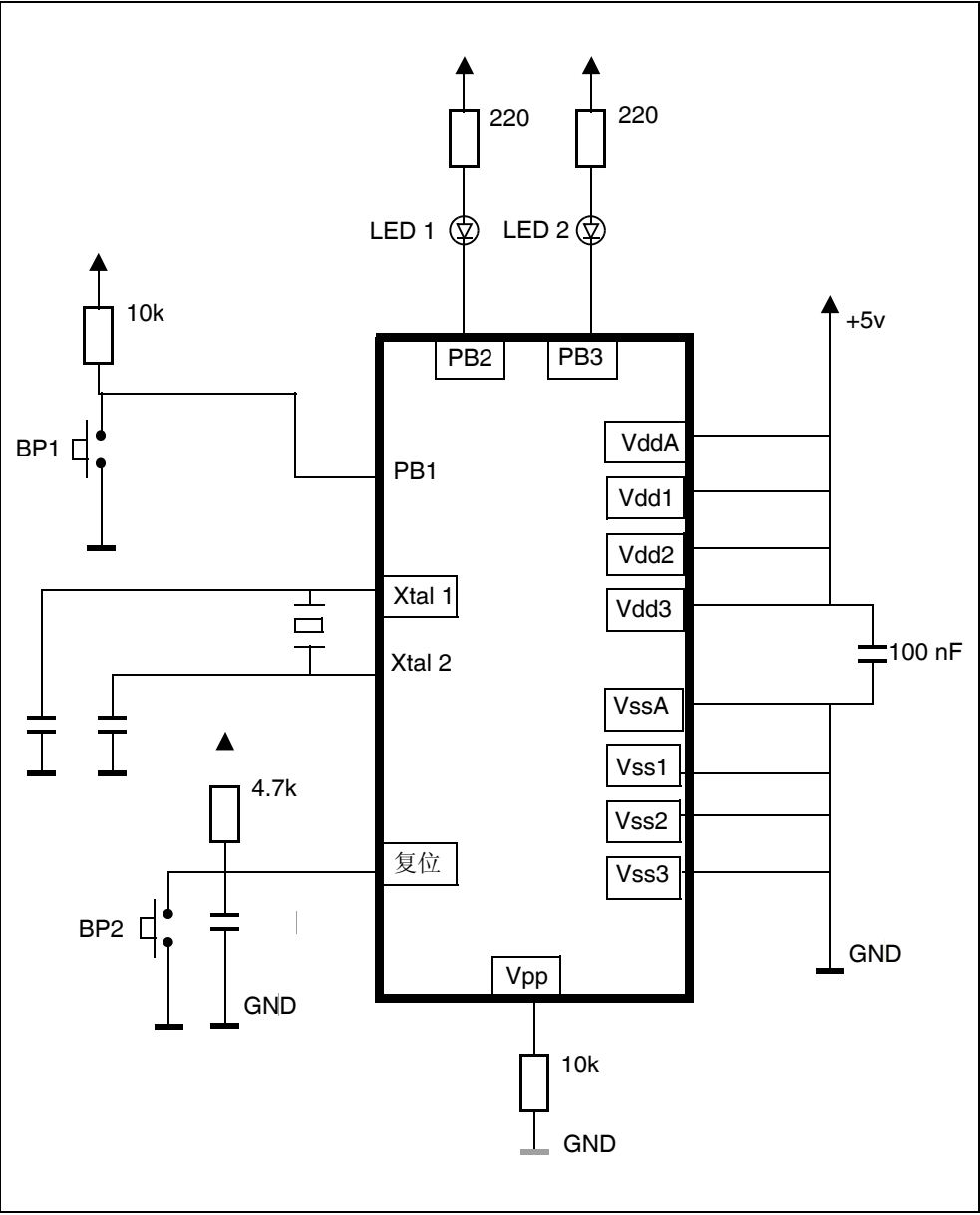
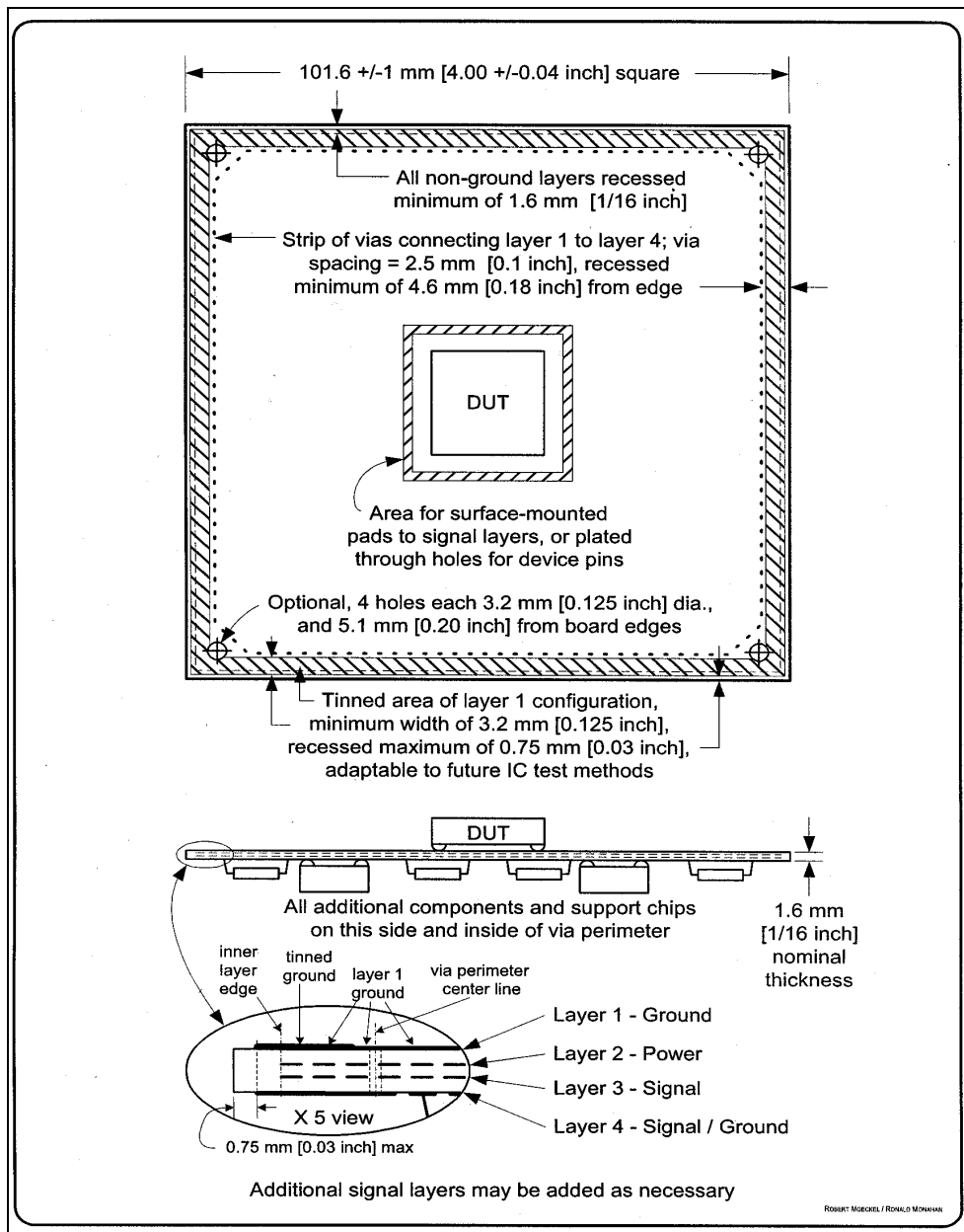


图 8. 根据 J1752/3 SAE 标准测试印刷电路板规范

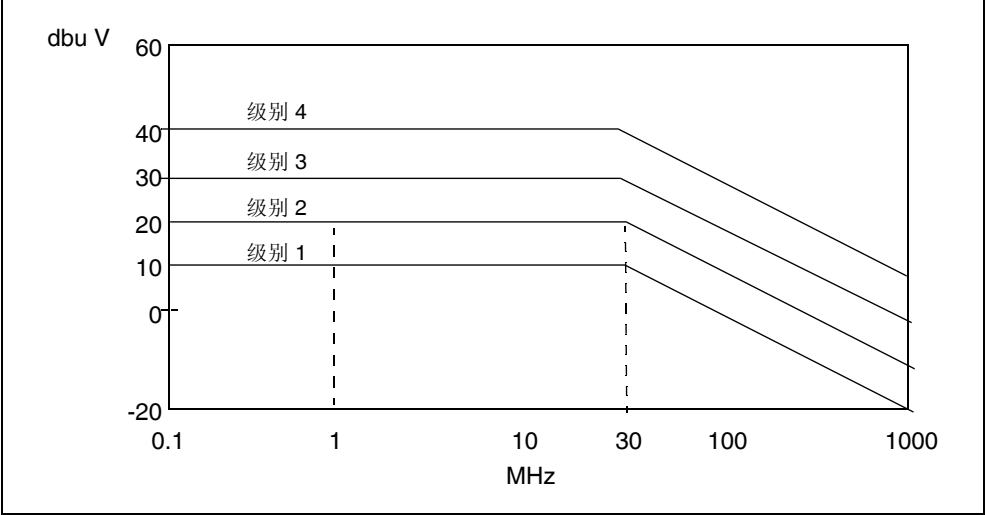


2.2.2 EMI 级别分类

EMI 分类直接基于发射噪声的绝对的频率和幅度。虽然基于不同的测量方法或发射级别存在多种国际标准，但是分类原则保持不变。

根据标准框架的定义，标准化图（参见图 9）对于获取 EMI 结果的综合和分类非常有用。每个 ST 微控制器 EMI 结果都按照 4 个 SAE 级别进行分类。

图 9. EMI 级别分类:



以下是与每个 EMI 级别关联的潜在风险：

- 高于 4 会因 EMI 级别导致高风险。
- 级别 4 可能需要一些成本支出来实现 EMI 兼容。
- 级别 3 中等 EMI 风险。
- 级别 2 最低 EMI 风险。

表 10 显示了 ST 数据手册中 EMI 测试结果的展现方式。

表 10. ST72F521 的 EMI 结果示例

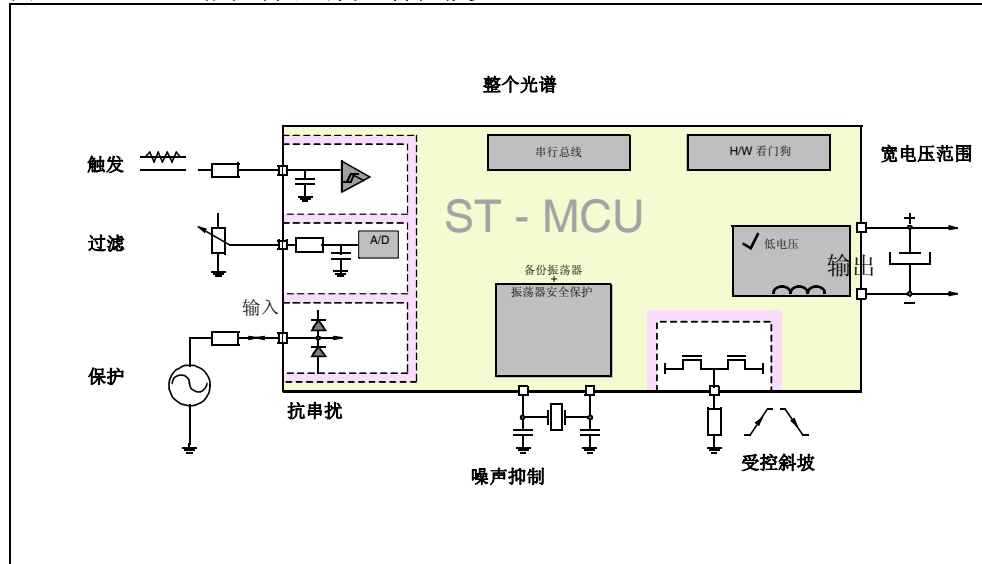
符号	参数	条件	监测的频段	最大值与 [f _{osc} /f _{cpu}]		单位
				8/4 MHz	16/8 MHz	
S _{EMI}	峰值	V _{DD} =5V, T _A =+25°C, TQFP64 14x14 封装符合 SAE J 1752/3	0.1MHz 到 30MHz	15	15	dBμV
			30 MHz 到 130 MHz	20	27	
			130 MHz 到 1 GHz	0	5	
			SAM EMI 级别	2.5	3.0	-

为了给出发射频谱的合成图，需要指出 3 个频率范围中的最高发射级别。敏感性 EMI 数据与器件封装和 CPU 频率等相关信息一同提供。

3 ST MCU 设计策略与 EMC 特性

在新产品的初始规范中，通常根据 MCU 目标应用所施加的 EMC 约束条件来实现相应的 EMC 专用特性。用户应参考具体产品的数据手册来了解此处介绍的哪些特性被内置在其中。

图 10. ST 微控制器的内置特性概览



3.1 敏感度

3.1.1 低压检测器 (LVD)

LVD 的作用是为了确保微控制器始终在其安全工作区域中（参见图 12）。对于 EMS，LVD 的存在可使 MCU 更稳定，能够在电源受到外部干扰时，确保应用能够安全恢复。

当 V_{DD} 低于“最小工作电压 V_{DD} ”时，将无法再保证微控制器的行为。此时将没有足够的功率来解码/执行指令和/或读取存储器。当 V_{DD} 低于 LVD 级别时，微控制器进入复位状态（内部复位高电平），以防止出现意外行为。有 2 个级别具有 250 mV 滞后，用来避免微控制器重启时产生振荡。当 LVD 复位时，HW 会将其中一个位置 1。这个位可用于恢复应用。

当 V_{DD} 电源电压低于 V_{IT-} 参考值时，低压检测器功能会产生一个静态复位。这意味着它可以确保微控制器在上电和掉电时保证复位。

当 MCU 开始运行且电源引脚上存在灌电流（迟滞）时，为避免出现寄生复位，压降的 V_{IT-} 参考值会低于上电时的 V_{IT+} 参考值。

当 V_{DD} 低于以下值时，LVD 复位电路会产生复位：

- V_{IT+} （当 V_{DD} 增大时）
- V_{IT-} （当 V_{DD} 减小时）

LVD 功能如图 11 所示。

电压阈值可通过选项字节配置为低、中或高。

当 V_{DD} 最小值（为振荡器频率提供保证）高于 V_{IT-} 时，MCU 只能处于两种模式：

- 完全由软件控制
- 静态安全复位

在这些情况下，无需外部复位硬件便可始终确保应用安全工作。

在低压检测器复位期间， \overline{RESET} 引脚保持低电平，因此 MCU 可复位其它器件。

注：

LVD 允许器件无需任何外部复位电路即可使用。

LVD 是一项可选功能，可通过选项字节选用。请参见产品规范。

图 11. 低压检测器与复位

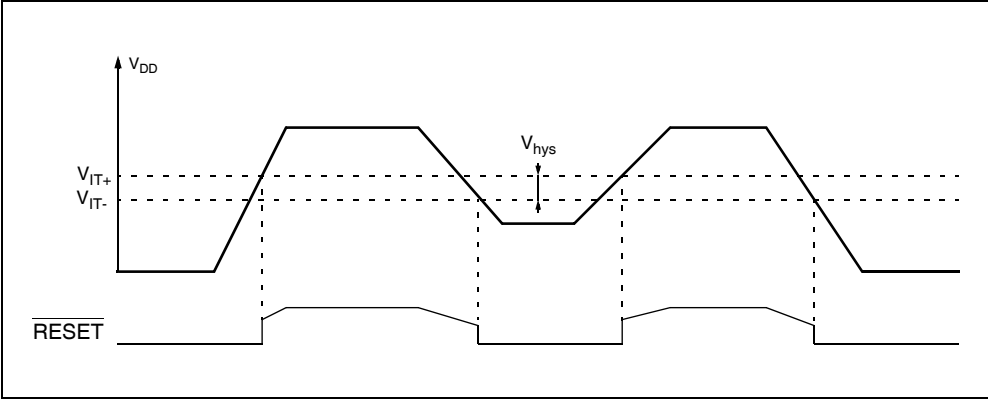
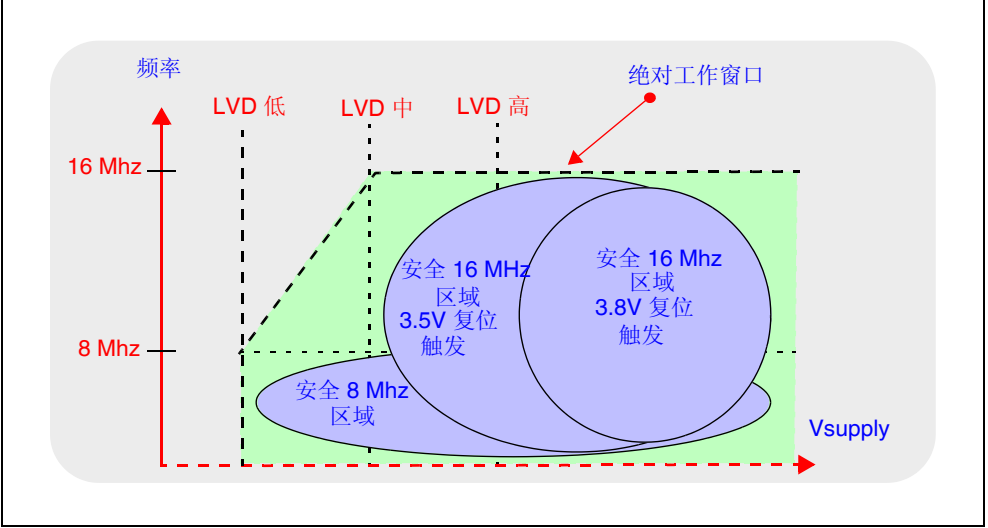


图 12. 最大工作频率与电源电压



每个供电范围的最小值受 LVD 阈值的限制，此阈值可根据具体应用的不同配置为三种级别之一（低、中或高）。

3.1.2 辅助电压检测器 (AVD)

AVD 特性仅在 LVD 激活时才可使用。AVD 同样具有不同的级别（比相应的 LVD 级别高 200 mV 左右），并且可在 LVD 触发复位之前使能预警。随后，当超过 AVD 阈值时，会产生一个中断，允许用户采取一些措施或者锁定在中断状态，直到电源达到正确的电压为止：该电压取决于具体器件（请参见产品的数据手册）。

示例：如果 f_{CPU} 介于 8 MHz 到 16 MHz 之间，则最低工作电压为 3.5V。

电压检测器功能 (AVD) 基于 V_{IT-} 和 V_{IT+} 参考值与 V_{DD} 主电源的模拟比较。为避免出现寄生检测（迟滞），下降电压的 V_{IT-} 参考值会低于上升电压的 V_{IT+} 参考值。

AVD 比较器的输出可由应用软件通过一个实时状态位 (VDF) 直接读取。这个位是只读的。

AVD 电压阈值与选项字节配置的所选 LVD 阈值相对应（请参见微控制器规范）。

如果使能 AVD 中断，则当电压超过 $V_{IT+(AVD)}$ 或 $V_{IT-(AVD)}$ 阈值时（AVDF 位发生切换），将产生中断。

电压降低时，AVD 中断具有预警功能，可以使软件在 LVD 复位微控制器之前安全关断。（参见图 13）。

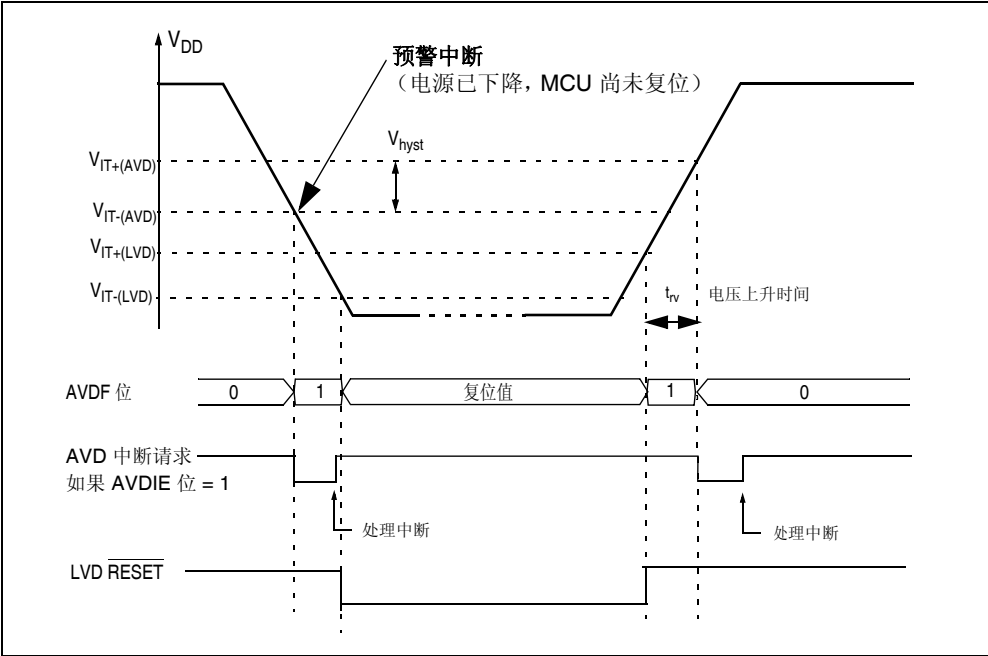
上升沿的中断用于通知应用， V_{DD} 报警状态已结束。

如果电压上升时间 t_{rv} 小于 256 或 4096 个 CPU 周期（取决于微控制器的复位延迟），则当达到 $V_{IT+(AVD)}$ 时，不会产生任何 AVD 中断。

如果 t_{rv} 大于 256 或 4096 个 CPU 周期，则：

- 如果在达到 $V_{IT+(AVD)}$ 阈值之前使能 AVD 中断，则将接收到 2 个 AVD 中断：当 AVDIE 位置 1 时接收到第一个，达到阈值时接收到第二个。
- 如果在达到 $V_{IT+(AVD)}$ 阈值之后使能 AVD 中断，则只会产生一个 AVD 中断。

图 13. 使用 AVD 监视 V_{DD}



3.1.3 I/O 特性与属性

虽然集成电路数据手册为用户提供了保守的限制和条件来防止器件损坏，但有时对于硬件系统设计人员来说，了解一些内部故障机制仍然非常有用：通过智能保护设计，可以减少产生非法电压和条件的风险。

由于故障的定义取决于众多变量，因此无法针对因超出最大额定值和条件而导致的所有可能损坏进行分类和预测：实际上，当施加过压条件时，器件所受到的影响会有所不同，很大程度上取决于批次之间的生产工艺变化、工作温度以及微控制器与其它器件的外部连接等。

在以下章节中，将提供相关背景技术信息以帮助系统设计人员减少损坏 ST 微控制器器件的风险。

3.1.3.1 静电放电和闭锁

CMOS 集成电路通常对高压静电非常敏感，可能会导致器件永久性损坏：其中一个典型故障是击穿薄氧化物，这会导致泄漏电流变大，并且有时会造成短路。

闭锁是集成电路中的另一个典型现象：意外导通寄生双极结构或可控硅整流器 (SCR)，可能会导致器件过热并过快损坏。这些出现意外故障的结构均由 P 区和 N 区构成，它们通常用作寄生双极晶体管的发射极、基极和集电极：阱中硅片的体电阻与衬底用作 SCR 结构的电阻。施加低于 V_{SS} 或高于 V_{DD} 的电压，当电流能够在 SCR 寄生电阻上产生压降时，SCR 可能会导通；要关断 SCR，必须从器件中移除电源。

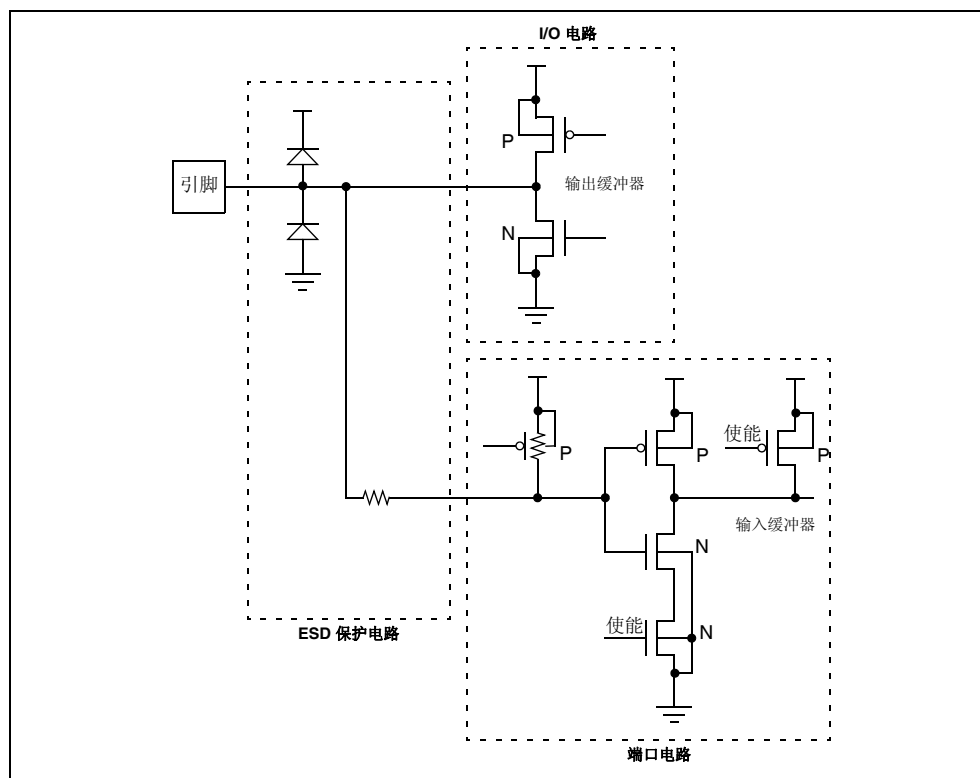
ST 微控制器的设计可实现相应的布线和工艺解决方案，从而降低静电放电 (ESD) 与闭锁对器件的影响。由于该机制的破坏性本质，所以无法对所有器件进行测试：为了保证产品的可靠性，根据意法半导体内部质量保证标准和建议（参见 [2.1.2 锁定 \(LU\)](#)），需要对成组器件执行破坏性测试。

3.1.3.2 保护接口

虽然 ST 微控制器输入/输出电路的设计已将 ESD 和闭锁问题考虑在内，但对于 ST 微控制器引脚暴露在非法电压和高电流注入的应用与系统来说，强烈建议用户实施以下硬件解决方案来减少损坏风险：低通滤波器和钳位二极管通常足以防止出现过载条件。

对于容易产生噪声效应或不受控尖峰的系统外部信号来说，发生超出范围的电压和电流的风险要比内部信号大；而且必须强调的是，在某些情况下，采用滤波器或其它专用接口电路可能会影响微控制器的整体性能，导致意外的时序延迟，并影响系统的整体速度。

图 14. 数字输入/输出（推挽式）



3.1.3.3 内部电路：数字 I/O 引脚

图 14 显示的是一个 ST 微控制器引脚的原理图，它既可以用作输入也可以用作输出。该电路可实现标准的输入缓冲器以及用于输出缓冲器的推挽式配置。很显然，虽然可以在使用输入部分时禁止输出缓冲器，但是当缓冲器处于非法条件下时，其本身的 MOS 晶体管仍然会影响引脚的行为。事实上，输出缓冲器的 P 沟道晶体管可实现与 V_{DD} 连接的直接二极管（漏极的 P 扩散与引脚连接，N 阱与 V_{DD} 连接），而输出缓冲器的 N 沟道可实现与 V_{SS} 连接的二极管（P 衬底与 V_{SS} 连接，漏极的 N 扩散与引脚连接）。除了这些二极管外，还实现了相应的专用电路，以保护逻辑不受 ESD 事件的影响（MOS、二极管和输入串行电阻）。

对于这些附加器件，最重要的特性是不能影响器件的正常工作模式，并且在超出限制条件时仍可以正常工作，避免对逻辑电路造成永久性损坏。

根据使用的 MCU 的不同，还可以将某些 I/O 引脚编程设置为开漏输出，为此只需对 I/O 端口的相应寄存器执行写操作。禁止输出缓冲器 P 沟道的栅极：需要强调的重要一点是，在物理上，P 沟道晶体管仍存在，因此与 V_{DD} 连接的二极管仍然起作用。在某些应用中，施加到引脚上的电压可能比 V_{DD} 的值高（假如外部线路始终保持高电平，而微控制器电源被关断）：此条件将导致通过二极管注入电流，从而带来器件永久损坏的风险。

总之，当系统中的多个引脚与同一点连接时，将 I/O 引脚编程设置为开漏引脚都可能会有所帮助：当然，软件必须注意，在任何时候只可以将其中一个引脚编程作为输出，以避免输出驱动器竞争；建议将这些引脚配置为输出开漏，以减少电流竞争的风险。

图 15. 数字输入/输出（真正的开漏输出）

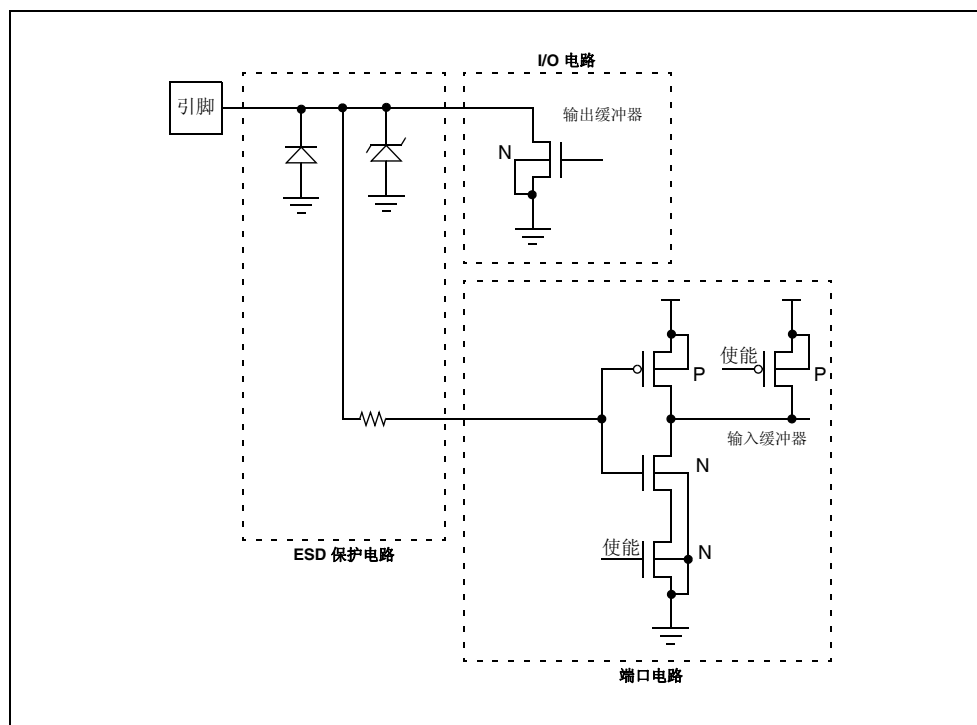


图 15 显示了真正的开漏引脚原理图。在这种情况下，所有到 V_{DD} 的路径都被移除（P 沟道驱动器、ESD 保护二极管以及内部弱上拉），这样就可以允许系统关断微控制器电源，并将引脚电压保持为高电平，而不会在器件中注入电流。当串行总线上连接多个器件时，会存在以下典型情况：如果其中一个器件未参与通信，则可以将其电源关断以禁止它，从而降低系统的电流消耗。

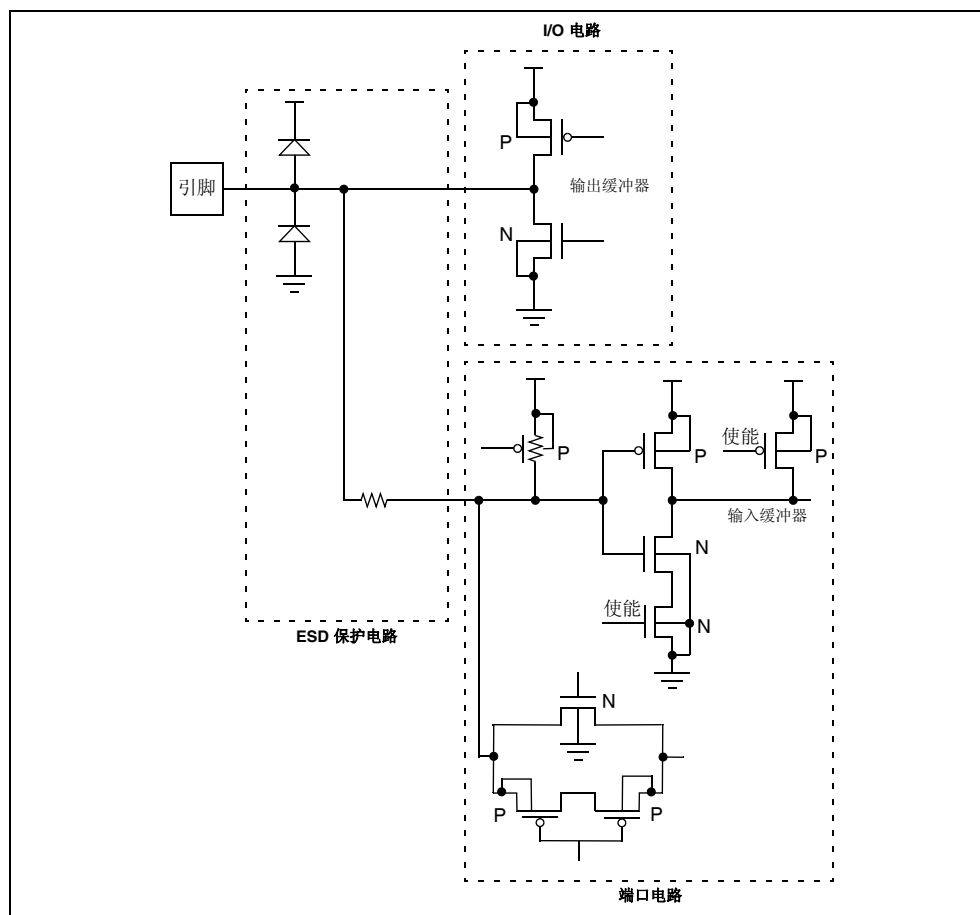
在对微控制器 I/O 引脚施加非法负电压时（两种版本，推挽式和真正的开漏输出），钳位二极管始终存在并处于激活状态（请参见 ESD 保护电路和 N 沟道驱动器）。

3.1.3.4 内部电路：模拟输入引脚

图 16 显示了用于模拟输入的内部电路。它实际上是一个数字 I/O，使用附加的模拟复用器来选择模数转换器 (ADC) 的输入通道。

当器件处于非法电压条件下时，复用器 P 沟道和 N 沟道会对引脚的行为产生影响。这些晶体管（包括 P 沟道 N 阱）受到通过 AV_{DD} 和 AV_{SS} 偏置的低噪声逻辑的控制：必须对模拟电源和数字电源的输入电压值都进行验证，以避免发生意外的电流注入，（如果不加以限制）可能会导致器件损坏。

图 16. 数字输入/输出（推挽式输出）模拟复用器输入



3.1.4 多个 V_{DD} 和 V_{SS}

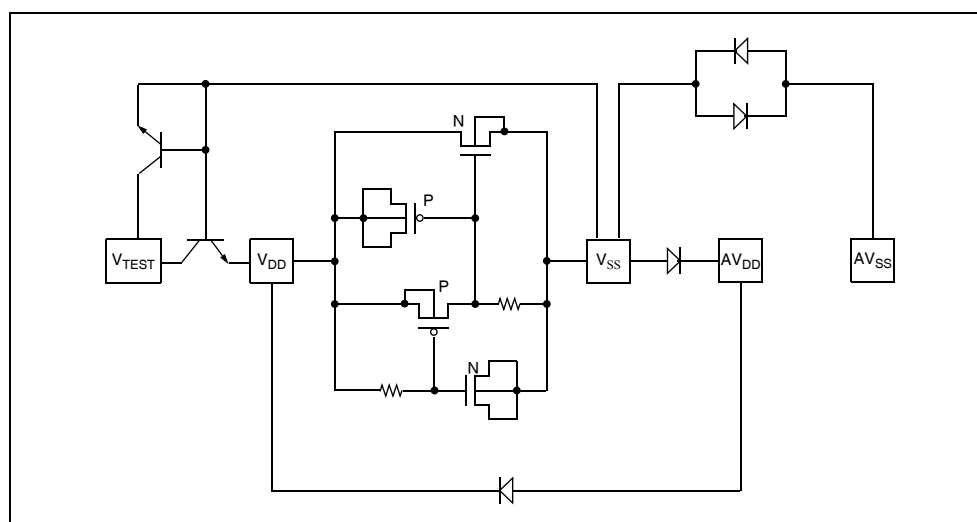
3.1.4.1 电源与接地

正如前文所述，对于 I/O 引脚，为保证 ST 微控制器符合有关 ESD 和闭锁的质量保证建议，应针对不同的电源引脚和地引脚（数字和模拟）添加专用的电路。这些结构可为放电期间注入的高电流提供优先路径，避免对有源逻辑和电路造成损坏。对于系统设计人员来说，考虑这个额外添加的电路非常重要，有时它对施加到不同电源和地引脚的相对电压级别而言并不十分明显。[图 17](#) 显示了 ST 微控制器器件所实现的保护网原理图，它主要由二极管和一些其它特殊结构组成。

V_{DD} 与 V_{SS} 引脚之间的钳位结构设计用于极快的转换条件下（比较典型的是静电放电期间）。其它路径通过二极管实现：它们限制了明确区分 AV_{DD} 和 V_{DD} 的可能性（即 $AV_{DD} > V_{DD}$ ）；类似的考虑同样适用于 AV_{SS} 和 V_{SS} （因为这两个引脚之间的背靠背二极管结构实现）。总之，务必要注意，由于 V_{SS} 和 AV_{SS} 与硅片的衬底相连（即使在硅片本身的不同区域），所以它们会给出测量所有其它电压时所采用的参考点，建议在任何情况下都不区分 AV_{SS} 和 V_{SS} 。

注：如果器件上可用的 V_{SS} 和 V_{DD} 引脚不止一对，则它们会从内部进行连接，而保护网原理图会保持与 [图 17](#) 中所示的一样。

图 17. 电源与接地配置



3.2 辐射

3.2.1 内部 PLL

一些 ST 微控制器内置了可编程 PLL 时钟发生器，允许使用标准 3 MHz 到 5 MHz 的晶振来获得较大范围的内部频率（高达 24 MHz）。通过这些方式，ST 微控制器可采用廉价的中等频率晶振运行，同时还能提供高频率的内部时钟，从而使系统性能发挥到极致。高时钟频率源位于芯片内部，不会穿过 PCB（印刷电路板）上的走线和外部元件。

使用 PLL 网络还可以过滤掉 CPU 时钟信号中的外部分散干扰（毛刺）。

3.2.2 全局低功耗方法

3.2.2.1 低功耗振荡器

振荡器是重要的发射源。要降低此类噪声发射，应对振荡器驱动的电​​流加以限制。

某些 ST 微控制器的主时钟可由多振荡器模块 (MO) 的四种不同源类型产生。

- 外部时钟源
- 晶体或者陶瓷谐振器
- 外部 RC 振荡器
- 内部高频率 RC 振荡器

每个振荡器都会根据功耗情况进行优化，以适用于某一给定频率范围，并可以通过选项字节加以选择。相关的硬件配置如表 11 所示。更多详细信息，请参见电气特性一节。

外部时钟源

在这种外部时钟模式下，必须使用占空比约为 50% 的时钟信号（方波、正弦波或三角波）来驱动 OSC1 引脚，同时将 OSC2 引脚连接至地。

晶体/陶瓷振荡器

此系列振荡器的优点在于，可以为微控制器的主时钟产生极为精确的速率。为了降低功耗，必须通过选项字节在 5 个具有不同频率范围的振荡器中进行适当选择（有关频率范围的详细信息，请参见微控制器的数据手册）。在这种多振荡器模式下，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

此类振荡器在复位阶段不会停振，因此可避免在振荡器起振阶段耽搁时间。

外部 RC 振荡器

此振荡器仅使用一个外部电阻和一个外部电容，因此可作为某些 ST 微控制器主时钟的低成本解决方案。外部 RC 振荡器的频率（在特定 MHz 范围内）由电阻值和电容值确定。因此，在这种模式下，时钟精度与分立元件的精度直接相关。由于工艺不同，不同批次之间会存在差异（20% 到 60%）。

内部 RC 振荡器

内部 RC 振荡器模式的基本原理与外部 RC 振荡器相同，都包括器件的电阻和电容。这种模式最经济高效，但缺点是频率精度低。它的频率范围为数 MHz。在此模式下，必须将两个振荡器引脚接地。

由于工艺不同，不同批次之间同样也会存在差异（20% 到 60%）。

某些 ST 微控制器（参见产品规范）内置了工艺补偿。此功能被称作“可微调内部 RC”。在测试操作期间，可通过某种程序来分析工艺变化并相应地校准内部振荡器。这可使内部 RC 的精度达到 1%。此过程也可以由用户操作：

请参见 AN1324 “校准使用市电的 ST7FLITE0 的 RC 振荡器”

表 11. ST7 时钟源

硬件配置			
外部时钟	外部 RC 振荡器	外部 RC 振荡器	外部 RC 振荡器
晶体/陶瓷振荡器	内部 RC 振荡器	内部 RC 振荡器	内部 RC 振荡器

ST 多振荡器安全系统极为灵活，可使系统设计人员更好地权衡噪声发射、振荡器精度以及成本标准。

3.2.2.2 内部调压器（适用于下一代产品）

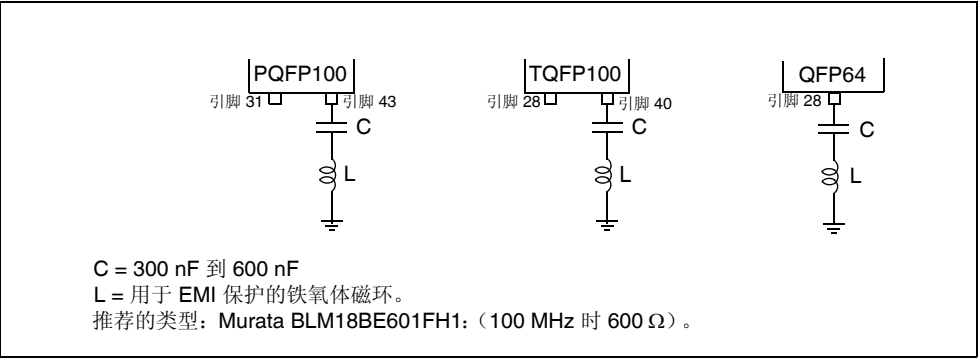
内部调压器 (VR) 用于为某些通过外部电源启动的 ST 微控制器供电。VR 包括主调压器和低功耗调压器。

- 主调压器可为微控制器提供足够的电流，使其能够在任意模式下运行。它具有一个静态功耗（典型值为 300 μ A）。
- 独立低功耗调压器的功耗较低，仅当微控制器处于低功耗模式下时才能使用。它采用了与主 VR 完全不同的设计，可以产生不稳定且无热补偿的较低电压，但足以维持 RAM 和寄存器文件中的数据。

无论是主 VR 还是低功耗 VR，都可以通过在其中一个 V_{REG} 引脚上连接一个外部电容来实现稳定性。建议的电容最小值为 300 nF，需要注意的是，应尽量缩短芯片与电容之间的距离。还要注意，应将串联电感限制在 60 nH 以下。

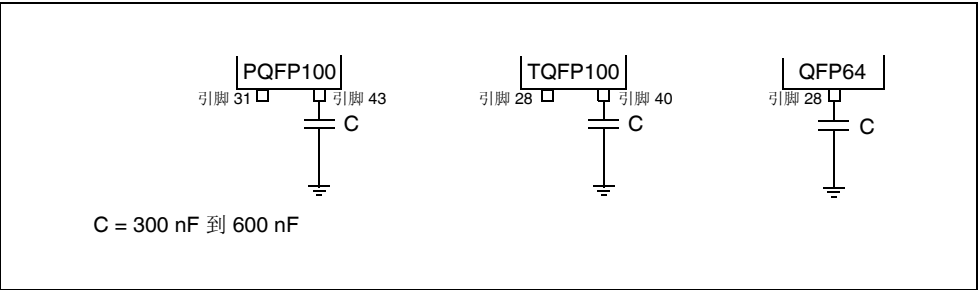
ST92F124/F150/F250 Vreg 配置示例

图 18. 推荐的 V_{REG} 连接数



要点: V_{REG} 引脚不能用于驱动外部器件。

图 19. V_{REG} 的最低要求连接数



注: PQFP100 的引脚 31 或 TQFP100 的引脚 28 可以不连接。这些引脚还可以与次级稳定网络连接。

3.2.3 输出 I/O 电流限制与边沿时序控制

ST 微控制器中内置了输出缓冲器，其切换速度受到控制，可以避免在切换时产生寄生振荡。MCU 设计人员需要在噪声和速度之间进行权衡。

4 基于 MCU 应用的 EMC 准则

以下部分均来自实验结果。

4.1 硬件

主要的噪声接收方和发射方均为印刷电路板 (PCB) 上的走线与连接，尤其是 MCU 附近的走线与连接。因此，为了解决噪声问题，首先应从 PCB 布线与电源设计入手。

通常情况下，MCU 周围的元件数越少，抗噪性能越好。例如，一个无 ROM 的解决方案通常要比内置的存储器电路对噪声更敏感，产生的噪声也更多。

优化的 PCB 布线

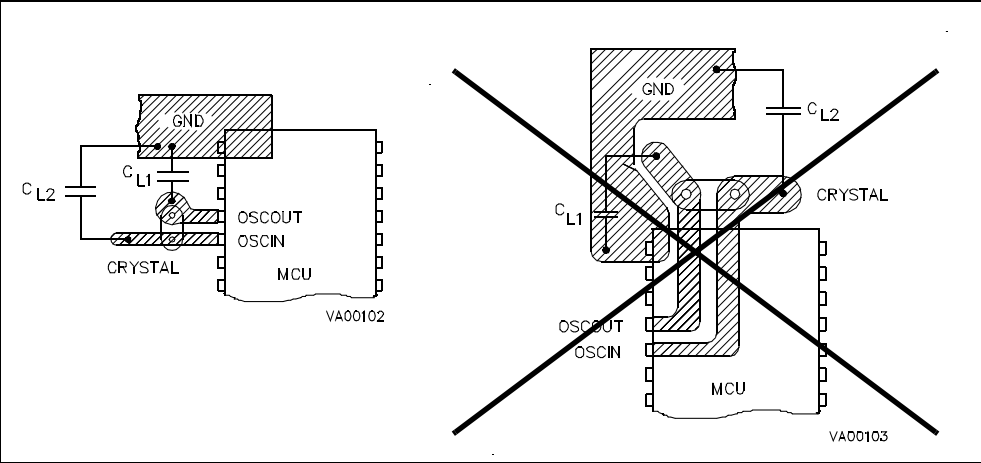
噪声主要是通过走线和某些元件进行接收和发射，它们在激发后将如同天线一样。每个环路和走线都有寄生电感和电容，只要电流、电压或电磁通量发生变化，它们就会辐射和吸收能量。

MCU 芯片本身对 EMI 具有很高的抗扰性能，并且产生的 EMI 也很少，因为其尺寸与 EMI 信号的波长相比很小（对于 GHz 范围的 EMI 信号，通常为 mm 与 10 倍 cm 的差别）。因此，对于单片机解决方案，使用小环路和短接线可以降低噪声问题。

对于 PCB 级，首先是减少可能的天线数量。特别要注意与 MCU 连接的环路和接线，例如电源、振荡器和 I/O。振荡器环路必须特别小，因为它会以很高的频率运行，参见图 20。

通常情况下，无论是降低走线的电感还是电容都非常困难。而且实践经验表明，在大多数情况下，首先应当减小的参数是电感。

图 20. PCB 电路板振荡器布线示例



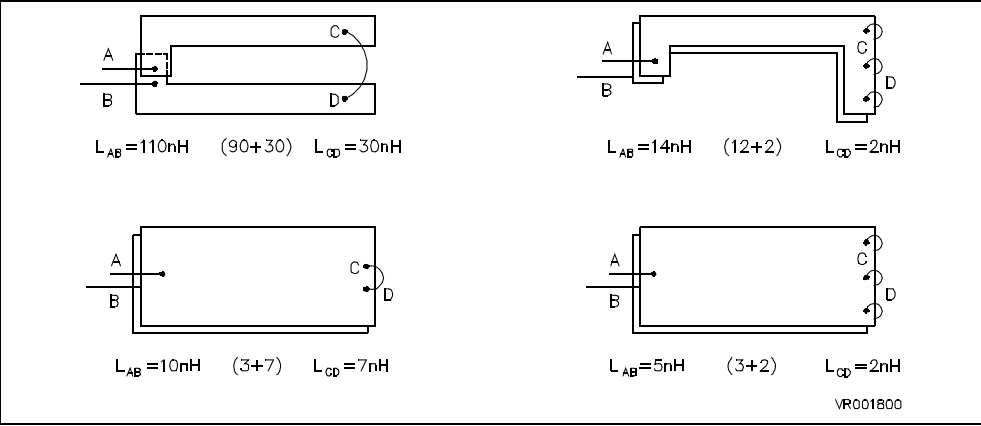
电感的减小可通过缩短走线长度以及减小走线表面来实现。因此，可以将同一 PCB 层上的走线环路彼此靠近，或者将其中一个放在另一个的上方（参见图 21）。这样一来，环路区域会变小，彼此间的电磁场也会减小。

接线环路定义的电感值与面积的数量级之比约为 10 nH/cm^2 。低感应率接线的典型示例为同轴双绞线电缆，或者具有一个接地层和一个电源层的多层 PCB。由于走线增大或者电流中多个小电容的并行，走线中的电流密度也可能会变小。

在一些关键情况下，还必须缩短 MCU 与 PCB 之间的距离，这同时也将减小 MCU 与其环境之间环路表面积。这可以通过移除 MCU 封装与 PCB 之间的任意插座、使用塑料 MCU 封装替代陶瓷 MCU 封装或者使用表面贴装代替双列直插式封装来实现。

注：电路板过孔是电感。要尽量避开它们。如过需要，可使用多个过孔。

图 21. 减小 PCB 走线环路表面积



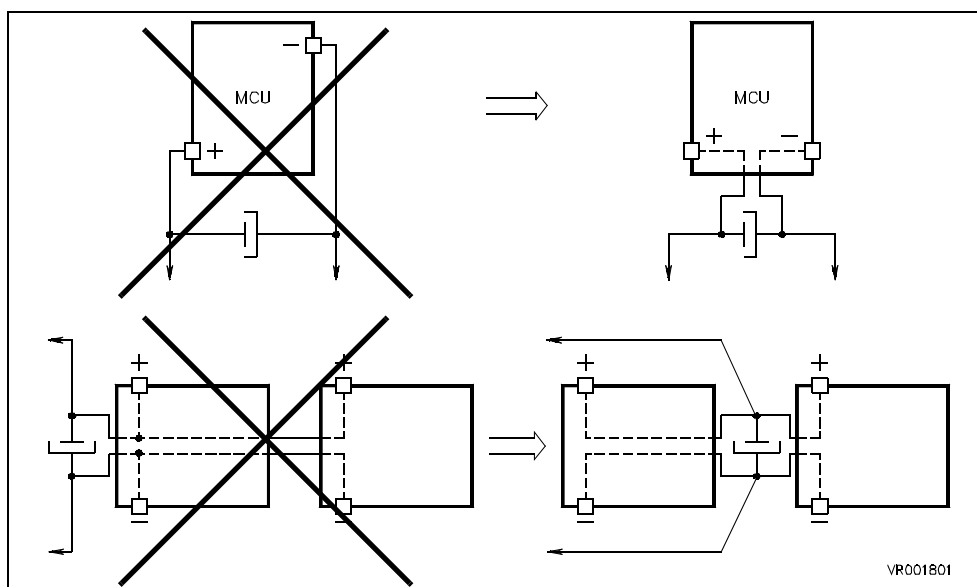
注：此测试的对象是双面 PCB。绝缘厚度为 1.5 mm，铜箔厚度为 0.13 mm。总体电路板尺寸为 65 mm x 200 mm。

电源滤波

电路上的所有元件都要使用电源，因此必须对电源加以重点考虑。电源环路比较进行退耦处理以确保信号电平和电源电流不会比干扰。可以打开环路采用星形接线接在一个公共点（图 22）。

应将去耦电容靠近 MCU 电源引脚放置，以尽量减少形成的回路。此外它还应该足够大，以便通过输入保护二极管吸收来自 MCU 的寄生电流，且不会带来电压的显著升高。可使用电解电容（典型值 $10\ \mu\text{F}$ 到 $100\ \mu\text{F}$ ）对电路板进行去耦，因为此类电容使用的电介质可提供大容量电容。但是，此类电容在高频条件下（典型值为 $10\ \text{MHz}$ 以上）的特性类似于电感，而陶瓷或塑料电容可在较高频率下保持电容特性。对于在高频条件下运行的关键芯片，应使用特定容量（例如 $0.1\ \mu\text{F}$ 到 $1\ \mu\text{F}$ ）的陶瓷电容对高频电源进行去耦。

图 22. 电压布线示例



I/O 配置

悬空引脚对电路而言存在潜在的危险。

最好将应用中不使用的 I/O 引脚配置为输出低电平状态。这样还可以最大程度降低电流消耗。

基于微控制器的应用中的主要发射源可以采用高速数字 I/O 和通信接口，例如 SPI、I2C 时钟、USB 或 PWM... 上升/下降次数很关键。典型设计添加了 RC 低通滤波器。

屏蔽

屏蔽有助于降低噪声敏感性和发射，但实际效果直接取决于所选的屏蔽材料（高磁导率，低电阻率）以及所连电压源的稳定性，以及通过低串行阻抗（低电感、低电阻）的去耦电容。

如果主要干扰的发生器邻近 MCU 板，并且确定为强 dV/dt 发生器（如变压器或速调管），则噪声主要由电磁场产生。噪声发生器与控制板之间的关键耦合是电容性的。在控制板周围产生法拉第笼效应的强导电屏蔽层（例如铜）可大幅提高抗干扰能力。

如果最强的干扰源是 dI/dt 发生器（如继电器），则它将是产生电磁场的重要来源。因此，屏蔽材料（如合金）的磁导率是提高电路板抗干扰性能的关键所在。此外，还应尽量减小屏蔽层上孔的数量和尺寸以提高效率。

在某些临界情况下，在 MCU 下方植入接地层并移除器件与 PCB 之间的插座可降低 MCU 的噪声敏感性。实际上，这两种操作都是为了减小 MCU、电源、其 I/O 以及 PCB 之间的环路外表面。

4.2 减少 ESD 相关破坏的处理预防措施

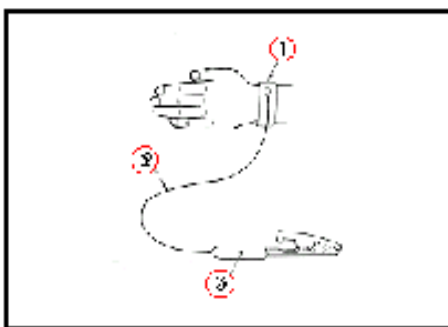
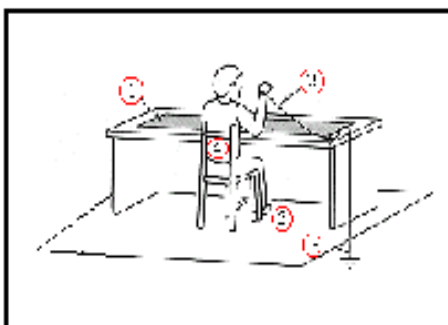
从制造阶段一直到应用环境，都必须保护电子元件免受静电危害，避免受到与 ESD 相关的破坏。对于所有 ESD 敏感性产品，ST 都采取“绝不妥协”的特殊策略。

从晶圆级到成品出厂，每个工作站和工艺步骤均能够得到保证。对于最终封装，ST 使用抗静电管。此解决方案可确保器件得到全面的 ESD 保护。但是，如果用户在实际应用过程中不能给予同等程度的谨慎保护，那么供应商的一切努力都是徒劳。

防止静电问题的最佳相对湿度为 50% 到 65%（相对湿度越低，静电电压越高）。尽管如此，操作半导体的工作人员以及设备仍会被充电到某一电平。为保护器件免受静电损坏，工作环境显得非常重要。

工作期间的防静电措施

- (1) 导电垫
- (2) 手腕环
- (3) 导电地板垫
- (4) 防静电工作服
- (5) 人体接地导电鞋



将人体接地

(1) 手腕环

(2) 接地线：涂有聚氯乙烯的螺纹铜线，约 1 米

(3) 内置 250 KW 到 1 MW 的电阻

操作器件时：

必须佩戴静电控制腕带并正确使用与连接。

所有可能与器件引脚接触的工具、人员以及测试机器都必须导电且接地。每个工作台都必须使用正确接地的导电垫进行保护。使用静电控制导电鞋带。使用真空管。

存储箱：

将器件始终存放在原始的封装箱中，直到生产线的最后一刻。

如果使用较大的包装盒近距离运送器件或 PC 板，则盒子必须导电，例如含碳类型的材料。避免使用高电介质材料（如聚苯乙烯）进行部件的装配、存储和运输。

设备和工具：

使用电离鼓风机来抵消非导电材料的静电。

必须使用接地的各种烙铁。

在测试和应用中使用适当的电源。

应当在输入信号之前施加电源电压，并在输入信号之后移除。

插入和拔出插座应当在断电情况下执行。

悬空引脚对电路而言存在潜在的危险。每个“未连接”引脚都应尽可能通过电阻接地或连接到 VDD。

4.3 固件

此部分根据 ST 网站提供的专用应用笔记 (AN1015) 进行过处理。

4.4 EMC 相关组织的 WEB 链接

FCC: 联邦通信委员会
<http://www.fcc.gov>

EIA: 电子工业联盟
<http://www.eia.org/>

SAE: 汽车工程师学会
<http://www.sae.org>

IEC: 国际电工协会
<http://www.iec.ch>

CENELEC: 欧洲技术标准委员会
<http://www.cenelec.be>

JEDEC: 工程设计发展联合协会
<http://www.jedec.org>

5 结论

对于基于微控制器应用的 **EMC**，应在项目开发之初即加以考虑。ST 微控制器数据手册中给出的标准、特性和参数可帮助系统设计人员确定在特定应用中最适合的元件。必须对硬件和固件采取相应的预防措施，以优化 **EMC** 和系统稳定性。

请仔细阅读：

中文翻译仅为方便阅读之目的。该翻译也许不是对本文档最新版本的翻译，如有任何不同，以最新版本的英文原本文档为准。

本文档中信息的提供仅与ST产品有关。意法半导体公司及其子公司（“ST”）保留随时对本文档及本文所述产品与服务进行变更、更正、修改或改进的权利，恕不另行通知。

所有ST产品均根据ST的销售条款出售。

买方自行负责对本文所述ST产品和服务的选择和使用，ST概不承担与选择或使用本文所述ST产品和服务相关的任何责任。

无论之前是否有任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为ST授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在ST的销售条款中另有说明，否则，ST对ST产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

意法半导体的产品不得应用于武器。此外，意法半导体产品也不是为下列用途而设计并不得应用于下列用途：（A）对安全性有特别要求的应用，例如，生命支持、主动植入设备或对产品功能安全有要求的系统；（B）航空应用；（C）汽车应用或汽车环境，且/或（D）航天应用或航天环境。如果意法半导体产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向意法半导体发出了书面通知，采购商仍将独自承担因此而导致的任何风险，意法半导体的产品设计规格明确指定的汽车、汽车安全或医疗工业领域专用产品除外。根据相关政府主管部门的规定，ESCC、QML或JAN正式认证产品适用于航天应用。

经销的ST产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致ST针对本文所述ST产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大ST的任何责任。

ST和ST徽标是ST在各个国家或地区的商标或注册商标。

本文档中的信息取代之前提供的所有信息。

ST徽标是意法半导体公司的注册商标。其他所有名称是其各自所有者的财产。

© 2014 STMicroelectronics 保留所有权利

意法半导体集团公司

澳大利亚 - 比利时 - 巴西 - 加拿大 - 中国 - 捷克共和国 - 芬兰 - 法国 - 德国 - 中国香港 - 印度 - 以色列 - 意大利 - 日本 - 马来西亚 - 马耳他 - 摩洛哥 - 菲律宾 - 新加坡 - 西班牙 - 瑞典 - 瑞士 - 英国 - 美国

www.st.com