



华为模块

# 逻辑电平转换设计指导

文档版本 03

发布日期 2014-09-30


**版权所有 © 华为技术有限公司 2014。保留一切权利。**

未经华为技术有限公司书面同意，任何单位和个人不得擅自摘抄、复制本手册内容的部分或全部，并不得以任何形式传播。

本手册描述的产品中，可能包含华为技术有限公司及其可能存在的许可人享有版权的软件。除非获得相关权利人的许可，否则，任何人不能以任何形式对前述软件进行复制、分发、修改、摘录、反编译、反汇编、解密、反向工程、出租、转让、分许可等侵犯软件版权的行为，但是适用法禁止此类限制的除外。

## 商标声明



HUAWEI、HUAWEI、华为、 是华为技术有限公司的商标或者注册商标。

在本手册以及本手册描述的产品中，出现的其他商标、产品名称、服务名称以及公司名称，由其各自的所有人拥有。

## 注意

本手册描述的产品及其附件的某些特性和功能，取决于当地网络的设计和性能，以及您安装的软件。某些特性和功能可能由于当地网络运营商或网络服务供应商不支持，或者由于当地网络的设置，或者您安装的软件不支持而无法实现。因此，本手册中的描述可能与您购买的产品或其附件并非完全一一对应。

华为技术有限公司保留随时修改本手册中任何信息的权利，无需提前通知且不承担任何责任。

## 责任限制

本手册中的内容均“按照现状”提供，除非适用法要求，华为技术有限公司对本手册中的所有内容不提供任何明示或暗示的保证，包括但不限于适销性或者适用于某一特定目的的保证。

在适用法律允许的范围内，华为技术有限公司在任何情况下，都不对因使用本手册相关内容及本手册描述的产品而产生的任何特殊的、附带的、间接的、继发性的损害进行赔偿，也不对任何利润、数据、商誉或预期节约的损失进行赔偿。

在相关法律允许的范围内，在任何情况下，华为技术有限公司对您因为使用本手册描述的产品而遭受的损失的最大责任（除在涉及人身伤害的情况中根据适用的法律规定的损害赔偿外）以您购买本产品所支付的价款为限。

## 进出口管制

若需将本手册描述的产品（包括但不限于产品中的软件及技术数据等）出口、再出口或者进口，您应遵守适用的进出口管制法律法规。

## 隐私保护

为了解我们如何保护您的个人信息，请访问 <http://consumer.huawei.com/privacy-policy> 阅读我们的隐私政策。



## 关于本文档

### 修改记录

文档版本	日期	章节	说明
01	2011-03-05		第一次发布
02	2012-03-22	3.2	标题更新为“控制信号电平转换方法”
		3.3	增加“GPIO 信号电平转换方法”
		3.4	01 版中的第 4 章合入 3.4 中，并增加“3.4.3 驱动能力问题”
03	2014-09-30	3.3.2	增加实例来说明串口电平转换。



## 目录

1 整体介绍.....	5
2 逻辑电平.....	6
2.1 逻辑电平 .....	6
2.2 电平转换的要素 .....	6
3 电平转换电路参考设计 .....	8
3.1 本章概述 .....	8
3.2 控制信号电平转换方法 .....	8
3.2.1 控制信号和输出电源接口 .....	8
3.2.2 开关机和 RESET 信号电平转换 .....	9
3.2.3 其它控制信号电平转换 .....	10
3.3 GPIO 信号电平转换方法.....	11
3.3.1 GPIO 接口.....	11
3.3.2 单向单路信号电平转换 .....	11
3.3.3 双向多路信号电平转换 .....	13
3.4 潜在风险分析 .....	13
3.4.1 安全性分析 .....	13
3.4.2 信号完整性分析 .....	15
3.4.3 驱动能力分析 .....	16
4 附录 缩略语.....	18

# 1 整体介绍

华为模块（以下简称 DCE，Data Communications Equipment）是低电压低功耗工作的无线终端产品，对外接口信号的电平一般是 1.8 V~3.3 V。在使用中，如果应用设备（Data Terminal Equipment，DTE）接口信号的逻辑电平与其不匹配，需要进行电平转换，否则在使用中会存在一定的风险。在电平不匹配的情况下工作，会造成信号传输出错；如果二者电压相差较大，可能会损坏芯片。

本设计指导介绍了使用华为模块时，外部接口电平转换电路的参考设计方法。

# 2 逻辑电平

## 2.1 逻辑电平的定义

逻辑电平的定义：

- 输入高电平 ( $V_{IH}$ )：保证逻辑门的输入为高电平时所允许的最小输入电平，当输入电平高于  $V_{IH}$  时，则认为输入电平为高电平；
- 输入低电平 ( $V_{IL}$ )：保证逻辑门的输入为低电平时所允许的最大输入电平，当输入电平低于  $V_{IL}$  时，则认为输入电平为低电平；
- 输出高电平 ( $V_{OH}$ )：保证逻辑门的输出为高电平时的输出电平的最小值，逻辑门的输出为高电平时的电平值都必须大于此  $V_{OH}$ ；
- 输出低电平 ( $V_{OL}$ )：保证逻辑门的输出为低电平时的输出电平的最大值，逻辑门的输出为低电平时的电平值都必须小于此  $V_{OL}$ ；
- 阈值电平( $V_t$ )：数字电路芯片都存在一个阈值电平，就是电路能勉强翻转动作时的电平。它是一个介于  $V_{IL}$ 、 $V_{IH}$  之间的电压值，**CMOS** 电路的阈值电平，是二分之一的电源电压值。如果要保证输出稳定，则必须要求输入高电平  $> V_{IH}$ ，输入低电平  $< V_{IL}$ ；如果输入电平在阈值上下，也就是  $V_{IL} \sim V_{OH}$  这个区域，电路的输出会处于不稳定状态。

对于一般的逻辑电平，以上参数的关系： $V_{OH} > V_{IH} > V_t > V_{IL} > V_{OL}$ 。

### 说明

- $I_{OH}$ ：逻辑门输出为高电平时的负载电流（拉电流）；
- $I_{OL}$ ：逻辑门输出为低电平时的负载电流（灌电流）；
- $I_{IH}$ ：逻辑门输入为高电平时的电流（灌电流）；
- $I_{IL}$ ：逻辑门输入为低电平时的电流（拉电流）。

## 2.2 电平转换的要素

- 电平兼容

解决电平转换，最根本的就是要解决逻辑器件接口的电平兼容问题。电平兼容原则： $V_{OH} > V_{IH}$ ； $V_{OL} < V_{IL}$ 。



#### 说明

华为模块对应的硬件指南中，具体介绍了外部 I/O 口的信号电平的有效范围，请严格按照此范围来设计电平转换电路。

- 电源时序

多电源系统必须注意时序的问题。华为模块要求先对模块上电开机，再对 GPIO 输入信号，否则会造成电倒灌，损坏芯片。

- 速度/频率

由于硬件电路上存在 RC 效应，必然会影响信号跳变速度。对于高速信号一定要尽量减少 RC 效应。

- 输出驱动能力

驱动能力是指对负载电容的充电能力。华为模块的外部 I/O 的驱动能力有限，为保证对外的驱动能力，建议增加缓冲电路。

- 路数

对于多路信号电平转换，如 UART、PCM 等接口，使用分离器件会造成布线不方便，因此建议使用集成器件。

除以上要素之外，还需考虑硬件电路的成本问题。

# 3 电平转换电路参考设计

## 3.1 本章概述

华为模块的外部接口信号分为数字信号、模拟信号和电源信号。数字信号包括控制信号、GPIO（UART、SPI、PCM 以及外部 GPIO）、USIM 和 USB。其中控制信号、GPIO 信号需要进行电平转换。本章主要针对这两个信号，介绍电平转换的方法。

本章的主要内容：

- 控制信号电平转换方法
- GPIO 信号电平转换方法
- 潜在风险分析

## 3.2 控制信号电平转换方法

即使控制信号与外部信号的电压匹配，也不建议直接接入模块，建议串联一个小于 100  $\Omega$  的电阻。如果平台的驱动能力不足，建议设计缓冲电路。

华为模块接口有对外输出电源，但是只有很小的驱动能力（小于 10 mA），可用于电平转换的参考电平，但不能驱动外部电路。电源电压范围大约是 1.8 V~2.85 V，不同产品的电压范围不同。本文统一用 VCC\_IO 来表示模块的对外输出电源。

### 3.2.1 控制信号和输出电源接口

华为模块的控制信号包括开/关机、RESET、休眠/唤醒控制和网络状态控制，其信号都是单向的。如表 3-1 所示：

表3-1 控制信号接口定义

No.	信号名称	I/O	描述
1	TERM_ON	I	开/关机控制管脚
2	RESET	I	硬件复位管脚，低电平有效
3	WAKEUP_IN	I	模块休眠/唤醒管脚



No.	信号名称	I/O	描述
	WAKEUP_OUT	O	
4	W_DISABLE	I	关闭无线通信，低电平有效



#### 说明

- 不同产品的信号名可能不同。
- 本文使用  $V_{DTE\_IO}$  来表示应用设备（DTE）的信号电平。

## 3.2.2 开关机和RESET信号电平转换

开/关机和 **RESET** 信号都是输入信号。**RESET** 信号为低电平有效，开/关机信号因产品的不同而不同。建议在这些控制信号电路中使用晶体管缓冲电路，如图 3-1 和图 3-2 所示：

图3-1 开/关机（低电平有效）和 RESET 电平转换电路

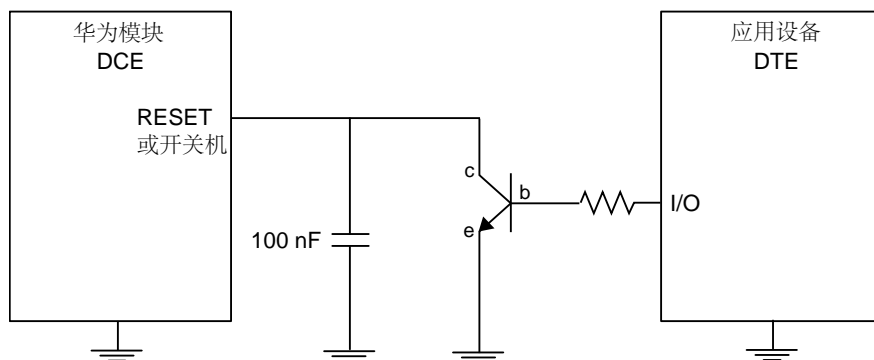
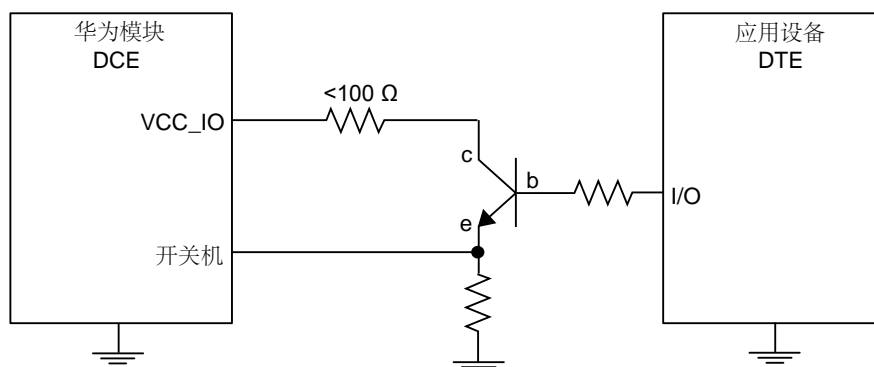


图3-2 开/关机（高电平有效）电平转换电路



### 3.2.3 其它控制信号电平转换

图3-3 WAKE\_IN 信号的电平转换电路

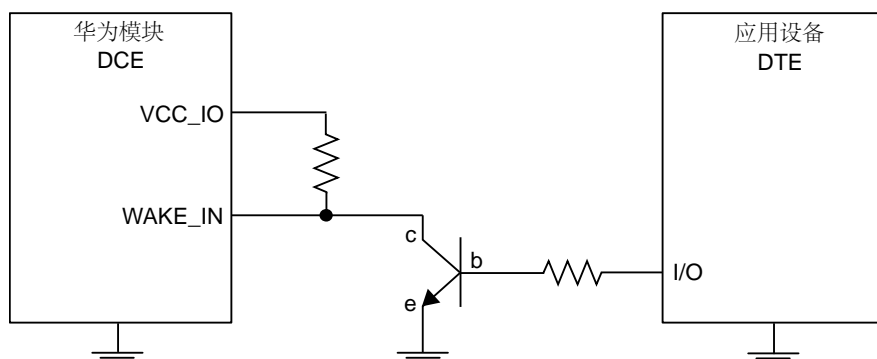


图3-4 WAKE\_OUT 信号的电平转换电路

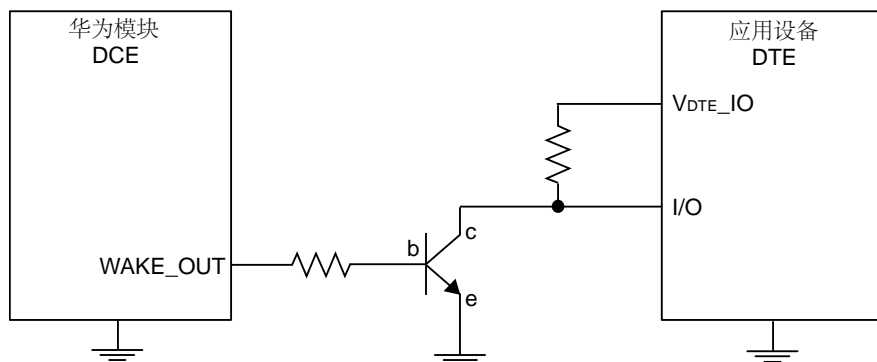
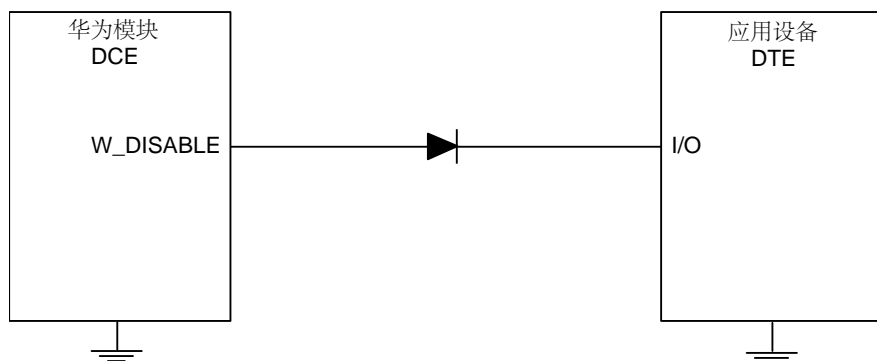


图3-5 W\_DISABLE 信号的电平转换电路



说明

W\_DISABLE 是输入信号，低电平有效，二极管用于阻隔高电平信号。

## 3.3 GPIO 信号电平转换方法

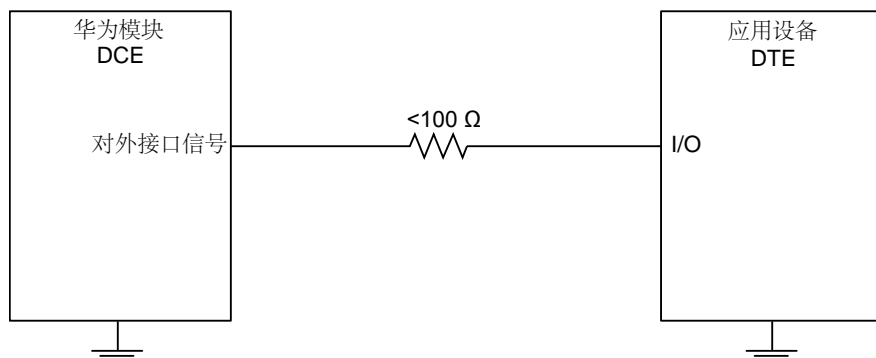
### 3.3.1 GPIO接口

华为模块对外 GPIO 接口有 UART、SPI、PCM 和部分外部 GPIO（预留给客户开发），信号电平与 VCC\_IO 一致，GPIO 信号是 I/O 信号，也可以作为单向接口。

对于串口信号和 GPIO 接口：

- 如果与外部接口信号的电平兼容，无需设计电平转换电路，只需串联一个  $10\ \Omega \sim 100\ \Omega$  的电阻，以保持阻抗平衡和降低噪声，连接电路如图 3-6 所示。
- 如果与外部接口信号的电平不兼容，需要设计电平转换电路，见 3.3.2 和 3.3.3。

图3-6 DCE 与 DTE 外部信号电平兼容时的连接



### 3.3.2 单向单路信号电平转换

在进行单向单路信号电平转换时，建议使用晶体管缓冲电路，如图 3-7 所示，如果要求信号同向，请增加一级晶体管电路，如图 3-8 所示。

图3-7 晶体管 1 级电平转换电路

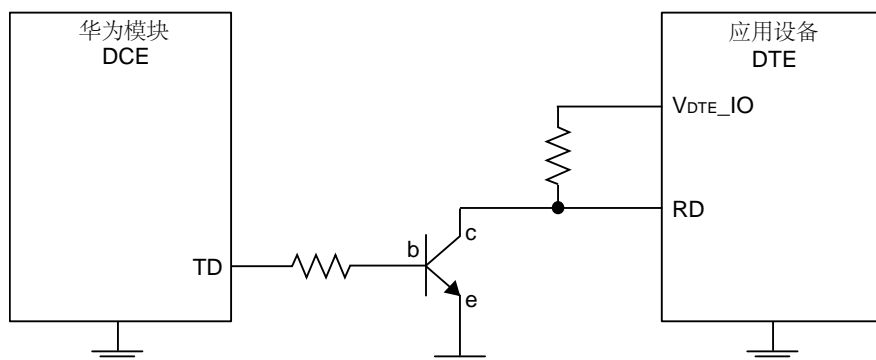
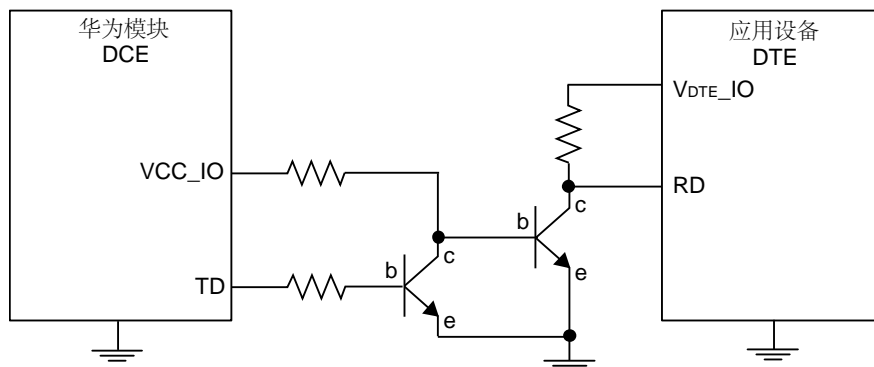
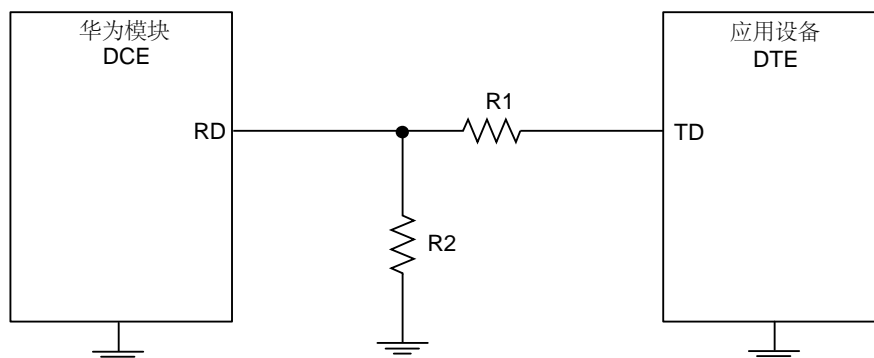


图3-8 晶体管 2 级电平转换电路



对于高电压信号转低电压信号，建议使用电阻分压法，如图 3-9 所示：

图3-9 电阻分压法电平转换

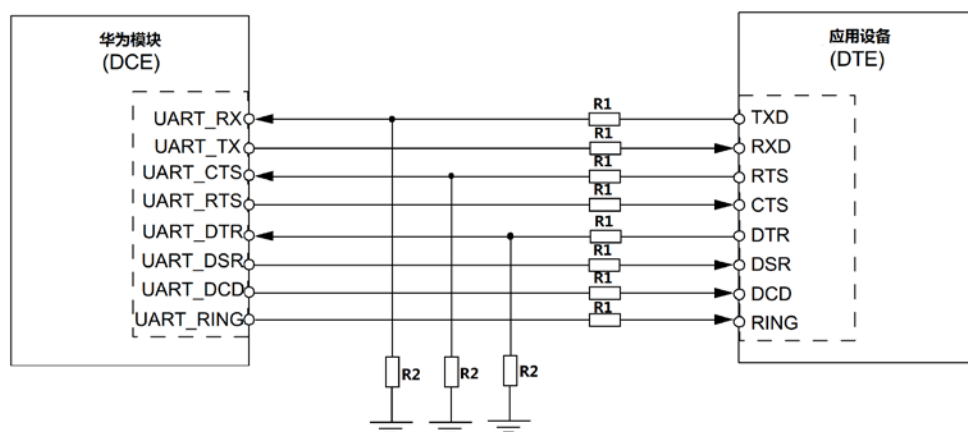


举例：

假设华为模块串口为 2.8 V，应用设备为 3.3 V，可采用图 3-10 所示电路。采用这种电平转换电路的前提是：华为模块的上电时间要早于应用设备的上电时间。

以下电路中 R1 为 1 k $\Omega$ ，R2 为 5.6 k $\Omega$ 。

图3-10 串口电平转换





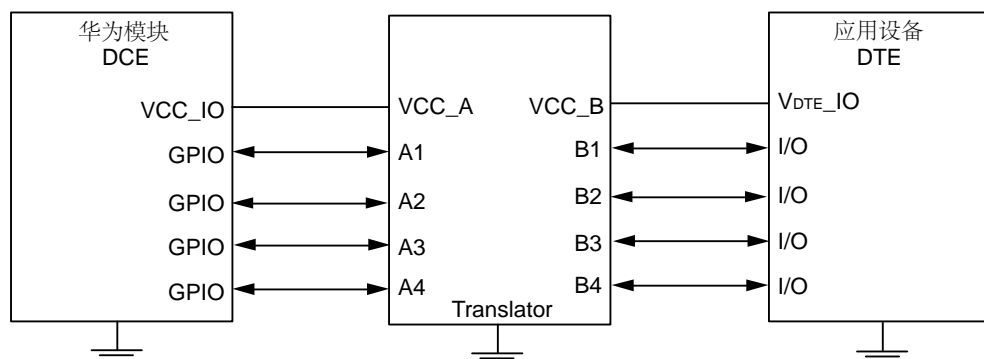
### 说明

R1 和 R2 的大小取决于 DCE 和 DTE 的电压比，推荐阻值范围是 1 k $\Omega$ ~100 k $\Omega$ 。如果 R1 和 R2 阻值太小，会产生很大的漏电流；如果阻值太大，则会影响信号传输速率。

## 3.3.3 双向多路信号电平转换

对于双向多路信号（如 PCM 和 UART 信号），建议采用集成器件，如图 3-11 所示。电路中使用多通路缓冲器芯片，实现双向信号传输，A 端口可以兼容 1.65 V~3.0 V，B 端口可以兼容 2.3 V~5.5 V。

图3-11 多路电平转换电路



## 3.4 潜在风险分析

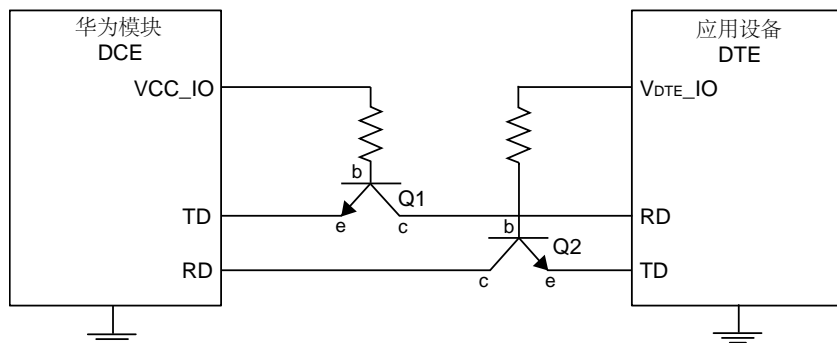
在设计电平转换电路时，除了要考虑电平的兼容性外，还需考虑安全性、信号完整性、平台驱动能力。

### 3.4.1 安全性分析

利用晶体管开关工作模式设计电平转换电路时，可按照图 3-12 方法设计电路。

这种设计方法较图 3-7 电路的优点：信号传输为同向，图 3-7 电路的信号传输会反向。缺点：这种设计方法存在高电压通过晶体管倒灌的风险。

图3-12 晶体管同向电平转换电路



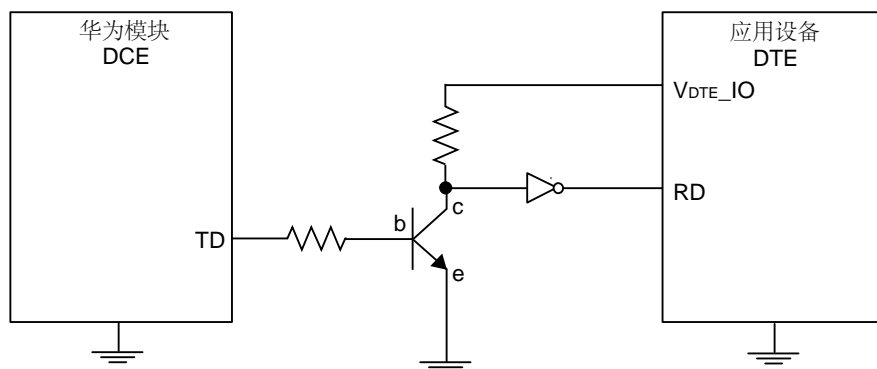
## 风险分析

1. 当  $V_{DTE\_IO} > V_{CC\_IO}$  时：
  - DTE 的 TD 输出低电平时，Q2 导通，模块 RD 输入低电平，此时没有风险；
  - DTE 的 TD 输出高电平时，Q2 截止，模块 RD 输入高电平，此时 Q2 的 b 极和 c 极之间的 PN 结会导通。如果  $V_{DTE\_IO} - 0.7\text{ V} > V_{CC\_IO}$ ，那么模块就存在被烧毁的风险。
2. 当  $V_{DTE\_IO} < V_{CC\_IO}$  时：
  - 当模块的 TD 输出低电平时，Q1 导通，DTE 的 RD 输入低电平，此时没有风险；
  - 当模块的 TD 输出高电平时，Q1 截止，DTE 的 RD 输入高电平，此时 Q1 的 b 极和 c 极之间的 PN 结会导通。如果  $V_{CC\_IO} - 0.7\text{ V} > V_{DTE\_IO}$ ，就可能会烧坏主机引脚。
3. 当 DTE 上电，而模块没有上电开机时，模块接口的各引脚都无电压，DTE 电压  $V_{DTE\_IO}$  通过导通 Q2 的 b 极和 c 极的 PN 结叠加到模块上，有可能导致模块无法正常启动开机。

## 解决方案

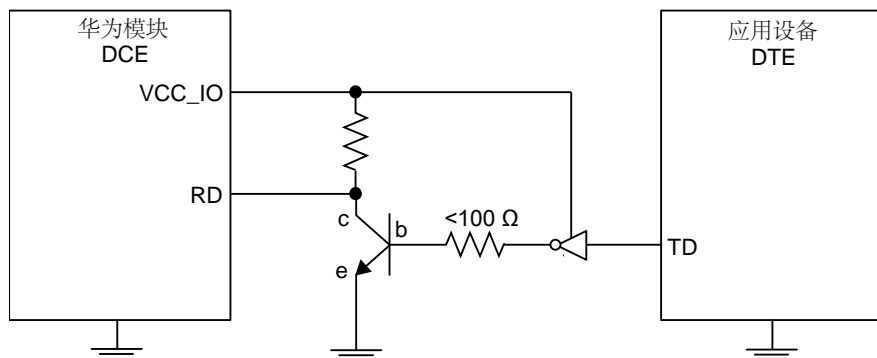
- 对于模块输出，DTE 输入，建议参考图 3-8，或者图 3-13 的设计电路，使用逻辑器件解决电平兼容问题，同时也可解决开机前  $V_{DTE\_IO}$  电流倒灌的问题。

图3-13 DTE 输入模块输出



- 对于 DTE 输出，模块输入，建议使用图 3-9 所示电阻分压法，或者参考图 3-14，使用逻辑器件解决电平兼容问题。

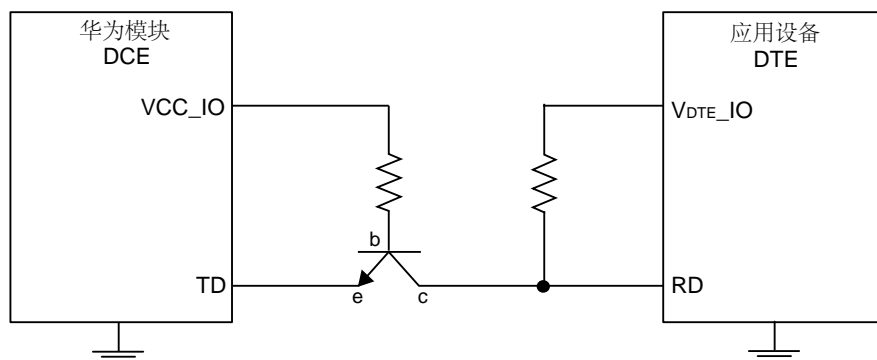
图3-14 DTE 输出模块输入



### 3.4.2 信号完整性分析

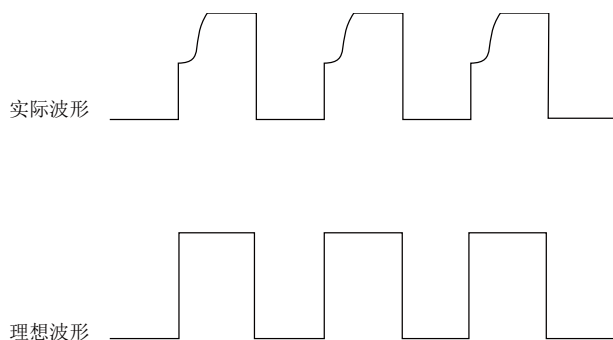
图 3-15 是一个晶体管电平转换电路，电平由 1.8 V 转至 2.85 V。

图3-15 晶体管电平转换电路



从表面上看，DTE 的高电平被晶体管的 bc 极 PN 结阻止，不会灌入模块，而 1.8 V 电压通过 PN 结也不足以对 DTE 造成损伤。但是实际测试信号却出现异常，如图 3-16 所示。

图3-16 上升沿信号有台阶



## 原因分析

晶体管是由两个 PN 结组成，当电平发生变化时，PN 结的导通和截止需要一定的时间，这是由半导体的特性和电子运动的速度决定。

当模块 TD 的电平由低变高时，1.8 V 电压通过晶体管的 bc 极 PN 结灌入 c 级；当 be 极完全截止后， $V_{DTE\_IO}$  才超过 1.8 V。这使上升沿电压在一定时间内表现为恒定值，直到超过恒定值。

下降沿情况不同，模块 TD 下降在先，c 极的电压原本就高于 b 极，当 be 极导通后，c 极电压瞬间被拉低，所以不会出现与上升时相似的情况。

这种异常信号电平的持续时间只与晶体管 PN 结特性和电路 RC 效应相关，而与信号的频率无关。如果传输信号速率很低（小于 300 kHz）时，不会影响信号传输；若信号频率大于 1 MHz，则容易出错。

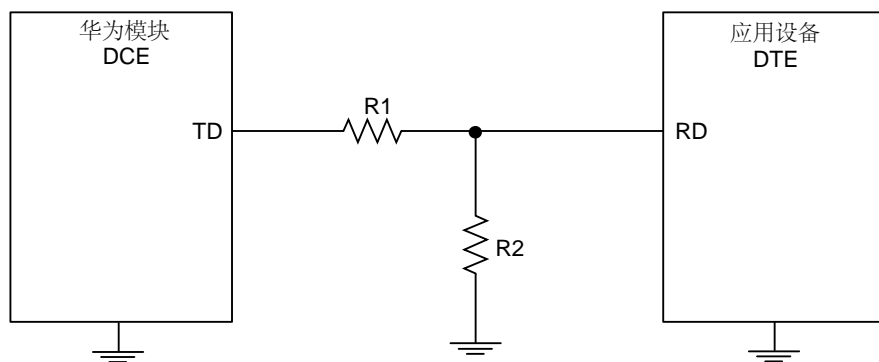
## 解决方案

对于晶体管电平转换电路设计，除了要注意电平安全问题外，还要注意信号完整性。对于高速信号，不推荐用图 3-15 所示电路。

### 3.4.3 驱动能力分析

图 3-17 所示的电阻分压电路中，DCE 的电平是 3.3 V，DTE 的电平为 2.85 V。

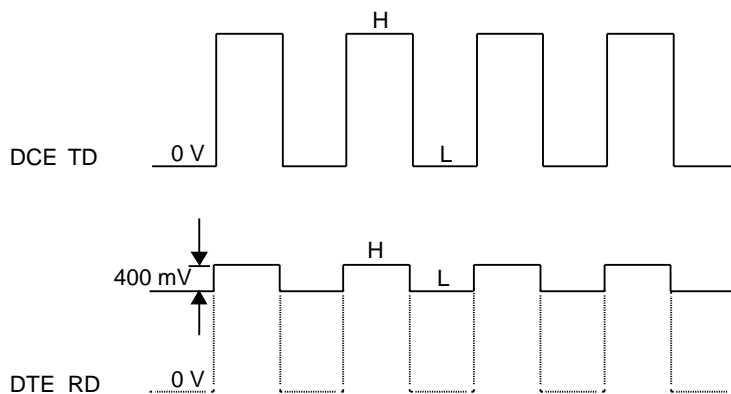
图3-17 电阻分压电路



如果在做软件调试时，发现 DTE 无法接收信号，测试输入端的信号结果如图 3-18 所示。在图中，DTE 的 RD 收到的低电平 L 不够低，仅比高电平 H 低 400 mV，即 DTE 的 RD 收到的永远是高电平。



图3-18 异常信号波形



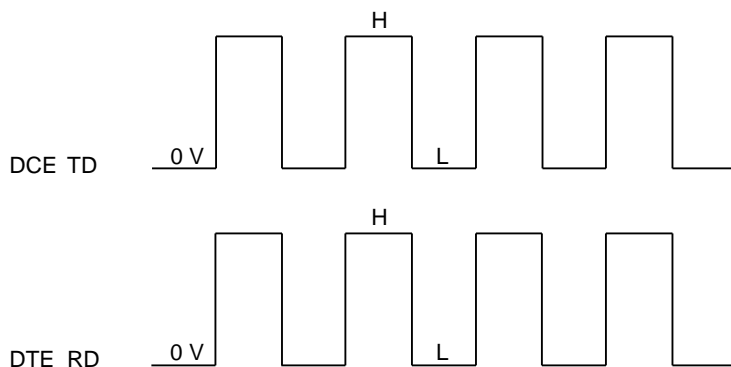
## 原因分析

DTE 无法接收信号是由于 DCE 的 CPU 驱动电流比较弱，而 DTE 芯片内部有很强的上下拉电阻，造成 DCE 与 DTE 的阻抗严重不匹配。

## 解决方案

可以尝试把 R2 去掉，把 R1 换成 100  $\Omega$ ，即把 DCE 的 TD 与 DTE 的 RD 直接连通。再次测试，测试结果如图 3-19 所示。

图3-19 正常信号波形



因此设计电平转换电阻时，要根据平台的驱动能力合理选用上下拉电阻。如果 DCE 和 DTE 的驱动能力相差太大，建议使用图 3-8 所示的缓冲器实现电平转换。

# 4 缩略语

缩略语	英文全名	中文解释
CMOS	Complementary Metal-Oxide-Semiconductor Transistor	互补型金属氧化物半导体
DCE	Data Communications Equipment	数据通信设备
DTE	Data Terminal Equipment	数据终端设备（应用设备）
GPIO	General-purpose Input/Output	通用输入/输出
IH	High Level of Input	输入高电平
IL	Low Level of Input	输入低电平
OH	High Level of Output	输出高电平
OL	Low Level of Output	输入低电平
PCM	Pulse-coded Modulation	脉冲编码调制
SPI	Serial Peripheral Interface	串行外设接口
UART	Universal Asynchronous Receiver Transmitter	通用异步收发器
VN	Voltage of Noise	噪声电压