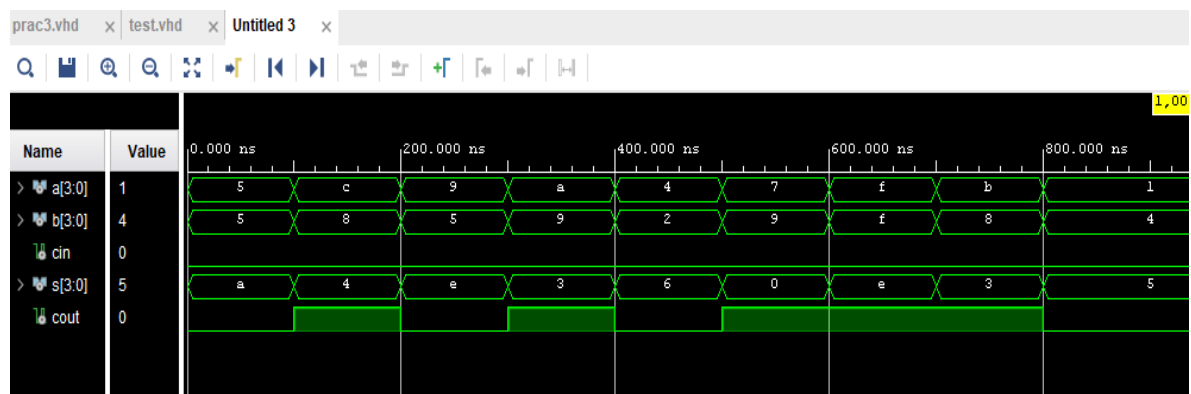


Practica 3. Sumador de 8 bits con acarreo anticipado

1. Implementar el circuito sumador con esquema de acarreo anticipado para operandos de 4 bits, utilizando ciclos secuenciales (for-loop) en VHDL.
2. Generar la simulación con los siguientes estímulos y llenar la siguiente tabla.

Operación	A	B	S	Cout
Suma	5	5	A	0
Suma	12	8	4	1
Suma	9	5	E	0
Resta	10	9	3	1
Suma	4	2	6	0
Resta	7	9	0	1
Resta	15	15	E	1
Resta	11	8	3	1
Resta	1	4	5	0

Simulación:



Esquema RTL

