# Practica 2. Sumador/restador de 8 bits con acarreo en cascada

1. Implementar el circuito sumador/restador con esquema de acarreo en cascada para

operandos de 4 bits, utilizando ciclos concurrentes en VHDL.

2. Generar la simulación con los siguientes estímulos y llenar la siguiente tabla

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Operación** | **A** | **B** | **S** | **Cout** |
| **Suma** | 5 | 5 | 10(A) | 0 |
| **Suma** | 12 | 8 | 4 | 1 |
| **Suma** | 9 | 5 | 14(E) | 0 |
| **Resta** | 10 | 9 | 1 | 1 |
| **Suma** | 4 | 2 | 6 | 0 |
| **Resta** | 7 | 9 | 14(E) | 0 |
| **Resta** | 15 | 15 | 0 | 1 |
| **Resta** | 11 | 8 | 3 | 1 |
| **Resta** | 1 | 4 | 13(D) | 0 |

## Simulaciones:



## Diagrama RTL:

