

Projeto apresentado como requisito parcial para a obtenção do título de Bacharel em Ciência da Computação, com ênfase em Organização de Computadores, pela Universidade do Vale do Itajaí. Orientador: Prof. Thiago Felski Pereira

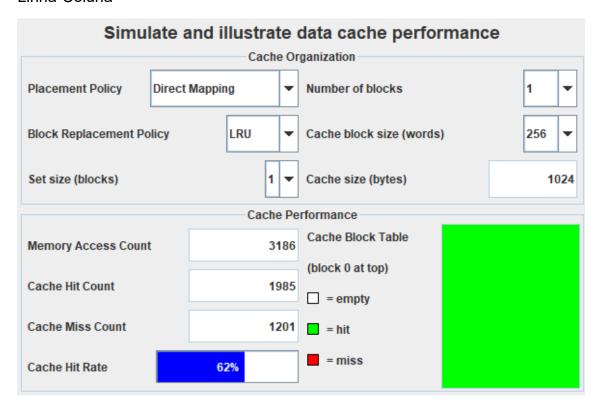
# Análise das Data Cache Simulator (Cache size (bytes)):

Number of blocks: 1

Cache block size (words): 256

Coluna-Linha

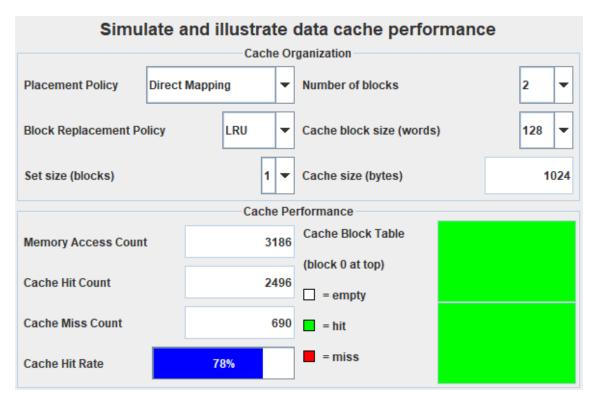
Simulate and illustrate data cache performance  Cache Organization							
Placement Policy	Direct Mapping	-	Number of blocks		1 🔻		
Block Replacement Pol	licy LRU	-	Cache block size (words)		256 ▼		
Set size (blocks)	1	-	Cache size (bytes)		1024		
	Cach	e Pe	rformance				
Memory Access Count	1	593	Cache Block Table				
			(block 0 at top)				
Cache Hit Count		992	= empty				
Cache Miss Count		601	= hit				
Cache Hit Rate	62%		= miss				



Cache block size (words): 128

## Coluna-Linha

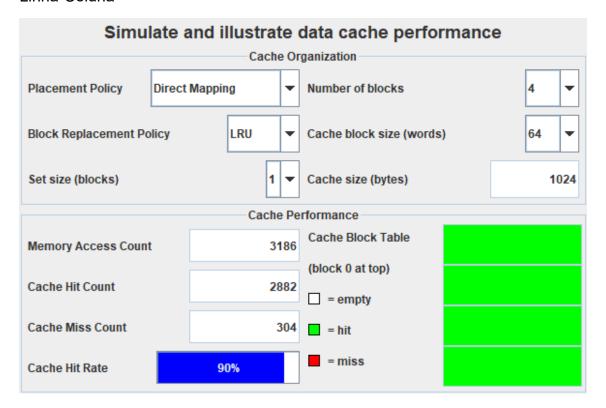
Simulate and illustrate data cache performance  Cache Organization							
Placement Policy D	irect Mapping	•	Number of blocks	2 🔻			
Block Replacement Police	cy LRU	•	Cache block size (words	128 🔻			
Set size (blocks)	1	•	Cache size (bytes)	1024			
	Cache	Pe	rformance				
Memory Access Count	15	93	Cache Block Table				
			(block 0 at top)				
Cache Hit Count	12	247	= empty				
Cache Miss Count	3	46	= hit				
Cache Hit Rate	78%		= miss				



Cache block size (words): 64

## Coluna-Linha

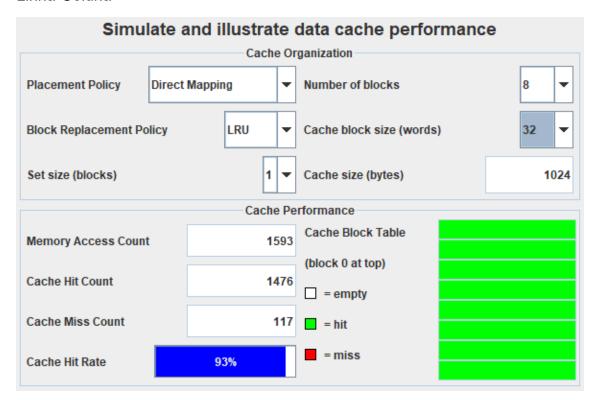
Simulate and illustrate data cache performance							
Г	Cach	e Or	ganization			7	
Placement Policy	Direct Mapping	•	Number of blocks		4		
Block Replacement Pol	icy LRU	-	Cache block size (words	)	64	•	
Set size (blocks)	1	-	Cache size (bytes)		1024	4	
	Cach	e Pe	erformance				
Memory Access Count	1:	593	Cache Block Table				
			(block 0 at top)				
Cache Hit Count	1.	437	= empty				
Cache Miss Count		156	= hit				
Cache Hit Rate	90%		= miss				



Cache block size (words): 32

## Coluna-Linha

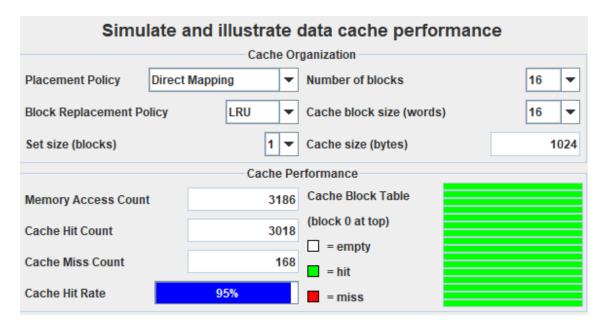
Simulate and illustrate data cache performance  Cache Organization							
Placement Policy	Direct Mapping	₩ .	Number of blocks		8	Ţ	
,						H	
Block Replacement Po	licy	_	Cache block size (words	)	32	_	
Set size (blocks)	1	•	Cache size (bytes)		1	024	
	Cach	e Pe	rformance				
Memory Access Count	1!	593	Cache Block Table				
Cook a Hit Count		C42	(block 0 at top)				
Cache Hit Count	1:	512	= empty				
Cache Miss Count		81	= hit				
Cache Hit Rate	95%		= miss				



Cache block size (words): 16

## Coluna-Linha

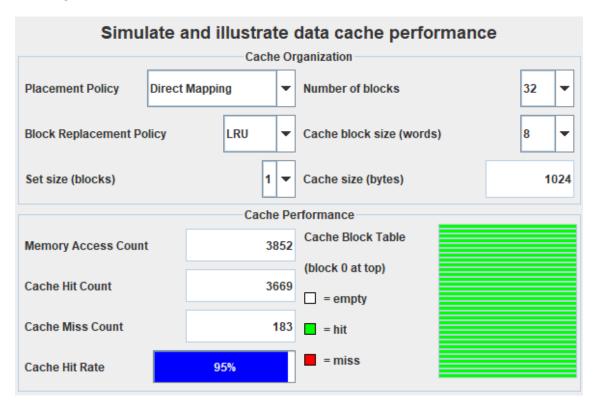
Simulate and illustrate data cache performance									
	Cache Organization								
Placement Policy	Direct Mapping	<b>y</b>	Number of blocks	16 ▼					
Block Replacement Po	licy	LRU ▼	Cache block size (words	) 16 ▼					
Set size (blocks)		1 🔻	Cache size (bytes)	1024					
		Cache Pe	rformance						
Memory Access Count	1	1593	Cache Block Table						
Cache Hit Count		1475	(block 0 at top)						
Cache Miss Count		118	= empty						
			= hit						
Cache Hit Rate	93	%	= miss						



Cache block size (words): 8

## Coluna-Linha

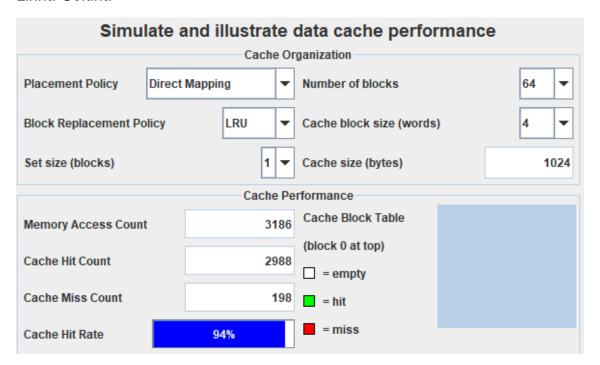
Simulate and illustrate data cache performance								
Cache Organization								
Placement Policy Direct	ct Mapping -	Number of blocks	32 🔻					
Block Replacement Policy	LRU ▼	Cache block size (words)	8					
Set size (blocks)	1 🕶	Cache size (bytes)	1024					
	Cache Pe	erformance						
Memory Access Count	2259	Cache Block Table						
		(block 0 at top)						
Cache Hit Count	2128	= empty						
Cache Miss Count	131	= hit						
Cache Hit Rate	94%	= miss						



Cache block size (words): 4

## Coluna-Linha

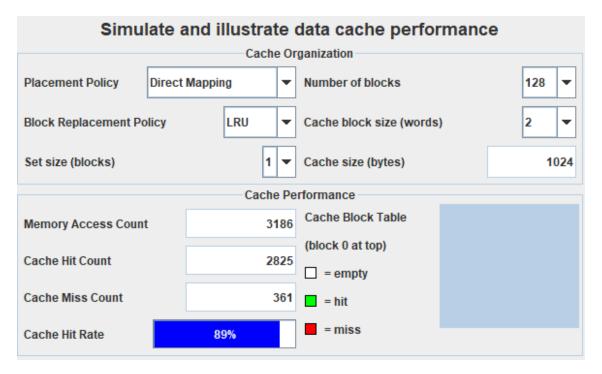
Simulate and illustrate data cache performance							
		Cach	e Or	ganization			
Placement Policy	Direct I	Mapping	-	Number of blocks		64	-
Block Replacement Policy LRU		-	Cache block size (words)		4	-	
Set size (blocks)		-	Cache size (bytes)		1	024	
		Cache	e Pe	rformance			
Memory Access Count	t	15	593	Cache Block Table			
				(block 0 at top)			
Cache Hit Count		14	471	= empty			
Cache Miss Count		•	122	= hit			
Cache Hit Rate		92%		= miss			



Cache block size (words): 2

## Coluna-Linha

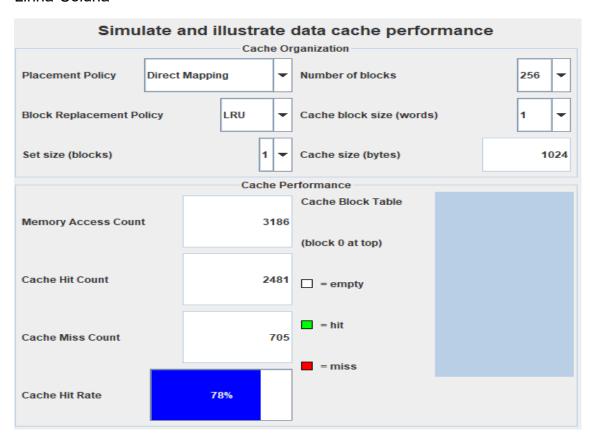
Simulate and illustrate data cache performance									
	Cache Organization								
Placement Policy	Direct Mapping	•	Number of blocks		128 🔻				
Block Replacement Po	licy LRU	-	Cache block size (words	)	2 🔻				
Set size (blocks)	1	-	Cache size (bytes)		1024				
	Cach	e Pe	rformance						
Memory Access Count	t 1	593	Cache Block Table						
			(block 0 at top)						
Cache Hit Count	1	372	= empty						
Cache Miss Count		221	= hit						
Cache Hit Rate	86%		= miss						



Cache block size (words): 1

## Coluna-Linha

Simulate and illustrate data cache performance								
Cache Organization								
Placement Policy Direct	Mapping	Number of blocks	256 ▼					
Block Replacement Policy	LRU ▼	Cache block size (words	s) 1 ▼					
Set size (blocks)	1 -	Cache size (bytes)	1024					
	Cache P	erformance						
		Cache Block Table						
Memory Access Count	4779							
		(block 0 at top)						
Cache Hit Count	3850	= empty						
		= hit						
Cache Miss Count	929							
		= miss						
Cache Hit Rate	81%							



# Análise dos Resultados

#### **Melhores Resultados**

Configuração com 16 blocos e tamanho de bloco de 16 palavras:

#### Coluna-Linha:

• Taxa de acerto: 93%

• Cache Hit Count: 1.475 de 1.593 acessos.

## Linha-Coluna:

• Taxa de acerto: 95%

• Cache Hit Count: 3.018 de 3.186 acessos.

Essa configuração oferece a maior taxa de acerto entre todas as combinações, com baixas taxas de cache miss (118 e 168, respectivamente).

Configuração com 64 blocos e tamanho de bloco de 4 palavras:

#### Coluna-Linha:

• Taxa de acerto: 92%

#### Linha-Coluna:

Taxa de acerto: 94%

Embora ligeiramente inferior à configuração anterior, essa ainda apresenta excelentes taxas de acerto e baixos cache miss.

## **Piores Resultados**

Configuração com 1 bloco e tamanho de bloco de 256 palavras:

#### Coluna-Linha:

• Taxa de acerto: 62% (Cache Hit Count de 992 em 1.593 acessos).

#### Linha-Coluna:

• Taxa de acerto: 62% (Cache Hit Count de 1.985 em 3.186 acessos).

Esta configuração apresenta a menor taxa de acerto, indicando que o uso de apenas um bloco é ineficiente, pois resulta em altas taxas de cache miss (601 e 1.201).

Configuração com 256 blocos e tamanho de bloco de 1 palavra:

#### Coluna-Linha:

• Taxa de acerto: 81%.

#### Linha-Coluna:

Taxa de acerto: 78%.

Apesar de apresentar melhores taxas de acerto do que a configuração de 1 bloco, o tamanho mínimo de bloco gera alta fragmentação, especialmente no padrão Linha-Coluna.

# Conclusão

A análise dos resultados revela que a melhor configuração geral é a de 16 blocos com tamanho de bloco de 16 palavras, pois oferece as maiores taxas de acerto (93% para Coluna-Linha e 95% para Linha-Coluna). Essa eficiência é atribuída ao equilíbrio entre número de blocos e tamanho de bloco, reduzindo os cache misses e otimizando o acesso à memória.

Por outro lado, as configurações com apenas 1 bloco (256 palavras) ou 256 blocos (1 palavra) demonstram as piores performances. No primeiro caso, o número reduzido de blocos prejudica a reutilização de dados na memória cache; no segundo, a granularidade muito pequena aumenta os custos de troca de blocos.

Assim, o ajuste entre número de blocos e tamanho do bloco é crítico para maximizar o desempenho do cache. A configuração de 16 blocos com tamanho de 16 palavras é a mais equilibrada e eficiente no cenário analisado.