

Lista 3

Arquitetura e Organização de Computadores

Junho de 2024

Tema: memória cache

Para as questões 1-6, considere uma cache, até então sem dados validos, com 16 conjuntos, 2 vias por conjunto, 8 palavras por via, palavras e endereços de 16 bits, write-back como estratégia de escrita e *Menos Recentemente Usada* como política de substituição.

1. O campo de índice tem quantos bits nesta cache?

2. O campo de tag tem quantos bits nesta cache?

3. Qual o tamanho, em bits, da cache?

Para as questões 4 a 6, considere que o processador acessou, nesta ordem, os endereços 0x00F0(L), 0x00F1(L), 0x0010(E), 0x1018(L), 0x2018(E), 0x3018(E), 0xFFFF0(L), 0xFF00(L). L → Leitura, E → Escrita.

4. Quantas requisições foram feitas à memória principal?

5. Quais endereços são escritos na memória principal?

6. Qual o valor armazenado na tag do endereço 0xBCDE?

7. Para uma cache de tamanho fixo, qual a consequência do aumento do tamanho de suas vias?

8. Para uma cache de tamanho fixo, qual a consequência do aumento em sua quantidade de vias?

9. Uma cache que sacrifique quantidade de vias por um maior tamanho de via beneficia qual tipo de localidade?

10. Uma cache que sacrifique tamanho de via por uma maior quantidade de vias beneficia qual tipo de localidade?

11. Como aumentar a localidade espacial do programa a seguir?

```
int main() {
    int i, j;
    int m[8][8], a[8][8], b[8][8];

    for(j = 0; j < 8; j++)
        for(i = 0; i < 8; i++)
            m[i][j] = a[i][j] + b[i][j];

    return 0;
}
```

12. Como aumentar a localidade temporal do programa a seguir?

```
int main() {
    int i = 0, j = 0;
    int a = 0, b = 0;

    while(i < 10) {
        j++;
        a += i;
        b = j + 2;
        i++;
        j = b % 2;
    }
}
```

13. Quanto à estratégia Write-Back:

- (a) em que esta consiste?
- (b) qual parte do sistema faz seu controle?
- (c) como esta interfere na complexidade do hardware implementado?
- (d) como esta interfere na miss-penalty?
- (e) como esta interfere na velocidade das escritas feitas pelo processador?

14. Quanto à estratégia Write-Through:

- (a) em que esta consiste?
- (b) qual parte do sistema faz seu controle?
- (c) como esta interfere na complexidade do hardware implementado?
- (d) como esta interfere na miss-penalty?
- (e) como esta interfere na velocidade das escritas feitas pelo processador?

Tema: memória virtual

Para as questões a seguir, considere um sistema com 4 GB de memória física, 64 GB de memória virtual e páginas de 8 kB.

- 15. Quantos bits são destinados ao offset de página?
- 16. Quantos bits são destinados ao número de página físico?
- 17. Quantos bits são destinados ao número de página virtual?
- 18. Quantas páginas tem a tabela de páginas?
- 19. Em bits, qual o tamanho da tabela de páginas?
- 20. Quais componentes do sistema gerenciam a memória virtual?
- 21. Em um computador executando quatro processos, quantas tabelas de página estão instanciadas? Quantos registradores de tabela de página estão carregados?
- 22. Quando o estado da memória é refletido na área de swap no disco?
- 23. Descreva a sequência de acesso a um endereço registrado no TLB.

24. Descreva a sequência de acesso a um endereço não registrado no TLB, mas mapeado na memória principal.
25. Descreva a sequência de acesso a um endereço não registrado no TLB, nem mapeado na memória principal.

Tema: entrada e saída endereçada por memória

26. Qual instrução envia dados a uma I/O mapeada em memória?
27. Qual instrução lê dados de uma I/O mapeada em memória?
28. Há alguma informação que indica ao processador com I/O mapeado em memória se este está acessando a memória ou um periférico? Se sim, qual?
29. Como o processador pode acessar I/O por instruções destinadas a acesso à memória?
30. Suponha um periférico com as seguintes características:

- registradores:

nome	endereço	modo	descrição
ctrl	0xFFFFF000	escrita	0: reconhece status 1: inicia leitura
status	0xFFFFF004	leitura	0: aguardando 1: realizando leitura 2: leitura concluída
leitura	0xFFFFF008	leitura	contém o resultado da leitura

- sua leitura retorna valores que devem ser interpretados em ponto fixo;
- é inicializado automaticamente, estando pronto para executar quando o programa começa;
- ao ser inicializado, está no estado **aguardando** e o valor em **leitura** não é válido;
- quando uma leitura é inicializada, o valor em **leitura** só é válido após sua conclusão;
- quando uma leitura é concluída, a próxima só é iniciada após **ctrl** receber 0, indicando que o usuário reconhece a sinalização de conclusão;

escreva um código MIPS que computa a média de cinco leituras deste periférico.

Tema: barramentos

31. Compare um barramento multiplexado entre endereço e dado com um par de barramentos dedicados.
32. É possível multiplexar, também, os sinais de controle? Por quê?
33. Como é dada a organização temporal dos sinais em um barramento síncrono? Como os protocolos verificam a validade das transmissões neste tipo de barramento?
34. Como é dada a organização temporal dos sinais em um barramento síncrono? Como os protocolos verificam a validade das transmissões neste tipo de barramento?
35. Qual o papel do bus-master em um barramento compartilhado?
36. Qual o papel do bus-arbiter em um barramento compartilhado?
37. Em um barramento no qual um mestre deve ter a solicitação atendida imediatamente, qual deve ser a estratégia de alocação implementada?