

**Instituto**

**Politécnico**

**Nacional**

**Escuela Superior de Cómputo**

Contador Fibonacci

**PRACTICA**

**Materia:**

Diseño de Sistemas Digitales

**Grupo:**

2CV17

**Profesora:**

Jiménez Ruíz René Baltazar

**Alumno:**

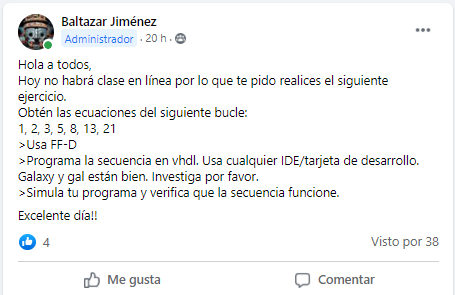
Castro Cruces Jorge Eduardo

**Boleta:**

2015080213

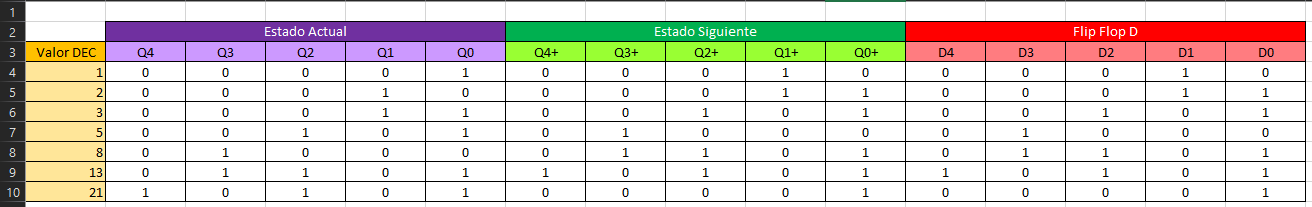
**Fecha:**

viernes, 28 de mayo de 2021

**INTRODUCCIÓN**

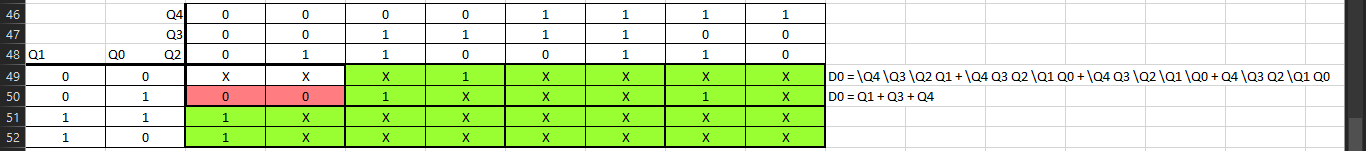
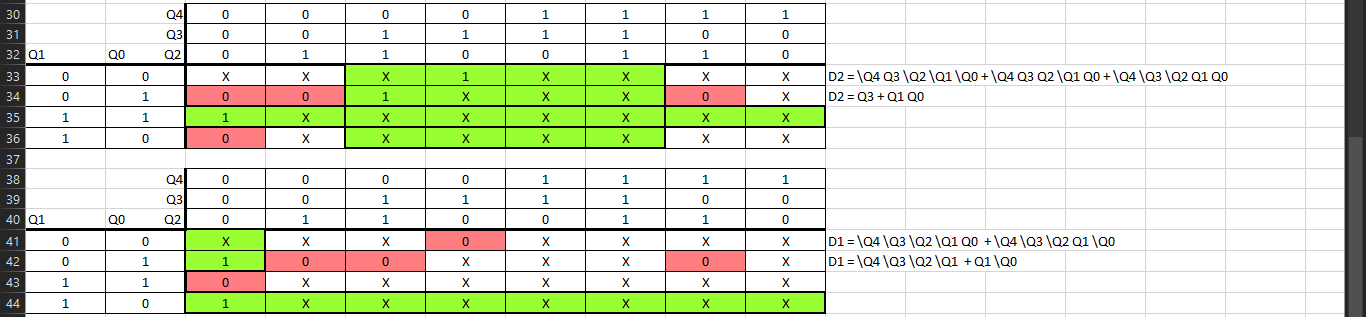
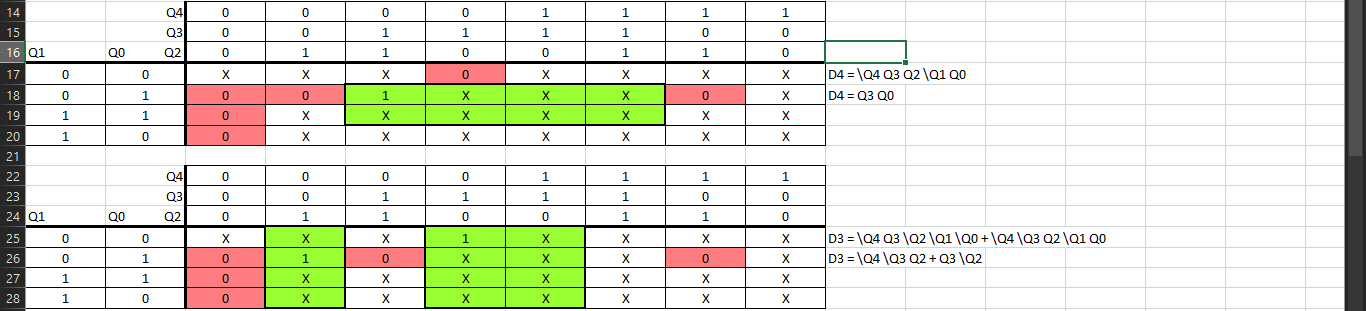
**DESARROLLO**

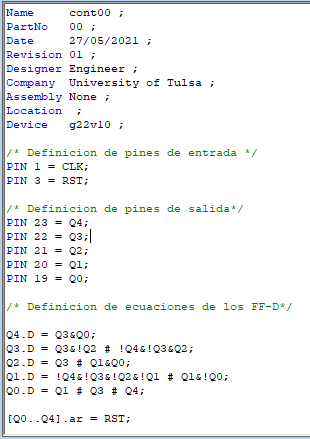
El primer paso fue elaborar la tabla de estados:



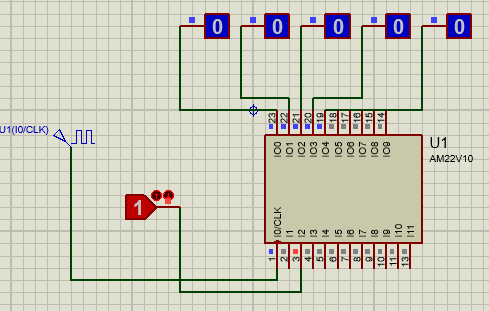
Al requerir representar el número 21 en binario, necesitamos 5 bits, por eso tenemos 5 estados y 5 FF-D de salida.

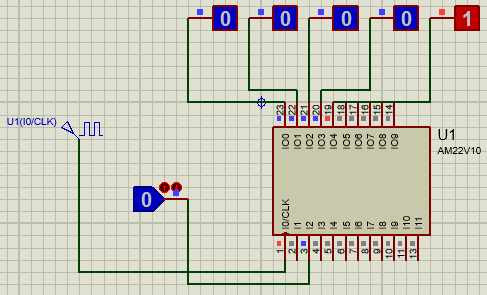
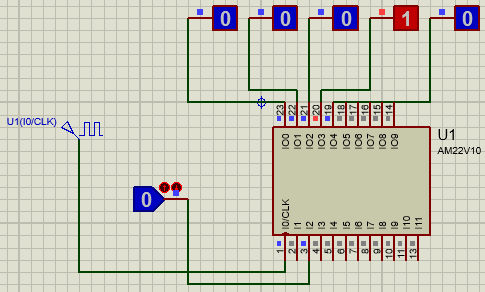
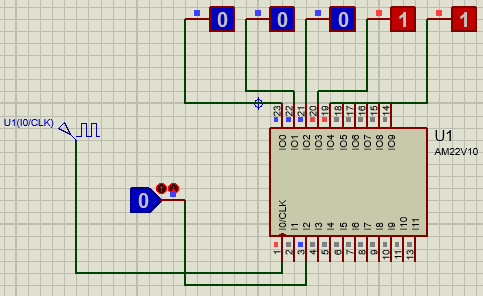
Después, calculamos las ecuaciones de los FF-D con los mapas de Karnaugh:

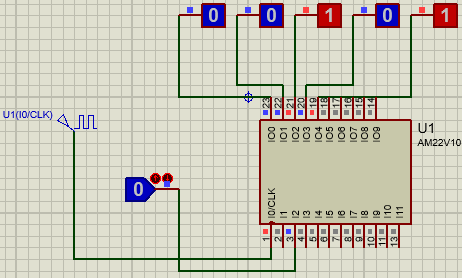
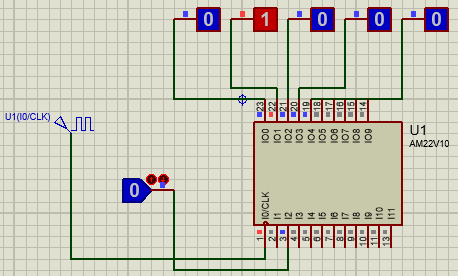
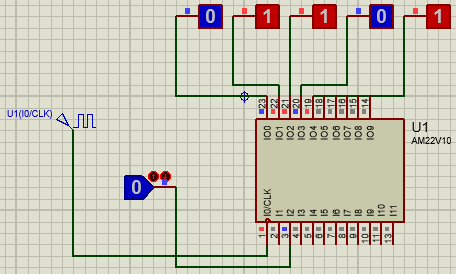


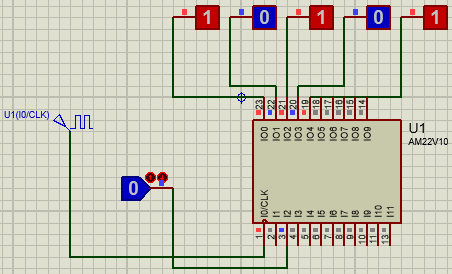
Una vez que tenemos simplificadas las ecuaciones de los FF-D, pasamos a la programación en VHDL, de la gal 22v10:

Después, generamos el archivo .jed, el cual nos va a permitir simular la programación de la gal 22v10 en proteus.

Por último, armamos el circuito en el simulador y realizamos las pruebas pertinentes.

**CAPTURAS DE PANTALLA**





**CONCLUSIONES**

En conclusión, se lograron en su totalidad los objetivos de la práctica:

* Diseñar un contador recursivo con la secuencia: 1, 2, 3, 5, 8, 13, 21.
* Usar Flip Flops D.
* Programar la secuencia en VHDL.
* Utilizar el simulador Proteus y la gal 22v10.
* Simular el programa.
* Verificar que funciones.

Cabe hacer las siguientes aclaraciones sobre la simulación:

* La gal 22v10 se encuentra en modo de trabajo en Flanco de Subida.
* El reloj tiene una frecuencia de 1Hz.
* La entrada I2 es un RESET asíncrono, que inhabilita el funcionamiento de la gal 22v10.

Con esto concluye la práctica.