

Nome: GABARITO Matrícula: 00/00000000

## Prova 2

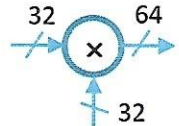
1) (6.5) Implemente as instruções abaixo nos Processadores Uniciclo, Multiciclo e Pipeline vistos em aula, indicando na folha de respostas as modificações necessárias à ULA e nas folhas em anexo as modificações necessárias aos Caminhos de Dados e sinais dos Blocos de Controle, para cada item.

a) (2.0) mul rd, rs, rt # R[rd]=(R[rs]×R[rt])[31:0] Tipo-R Opcode:0x2C Funct=0x02

Dica1: A instrução não salva o resultado nos registradores Hi e Lo.

Dica2: Use um bloco que realiza a multiplicação de duas words conforme a figura ao lado

DICA3: NÃO DETECTA OVERFLOW



b) (2.0) jalr rd, rs # PC=R[rs] R[rd]=PC+4 Tipo-R Opcode:0x00 Funct=0x09

Dica: Caso rd não seja definido o registrador destino default deve ser \$31

↳ problema 35 do MONTADOR

c) (2.5) Em jogos digitais é comum a necessidade de desenhar sprites na tela de forma espelhada. Crie uma nova instrução para a ISA MIPS que realize o espelhamento dos bytes de uma word em um registrador, isto é:

31... 24	23... 16	15... 8	7... 0	→	7... 0	15... 8	23... 16	31... 24
3	2	1	0	→	0	1	2	3



Para esta nova instrução defina também o nome, mnemônico, tipo, campos e valores que a identificam.

2) (4.5) Dado o diagrama temporal com os sinais de forma de onda em anexo, responda:

a) (0.5) Qual o tipo de processador é apresentado? (X) Uniciclo ( ) Multiciclo ( ) Pipeline

b) (0.5) Qual a frequência de clock utilizada? 125M Hz

c) (2.0) Preencha a tabela abaixo com os tempos de atraso dos componentes (considerando fios sem atrasos).

SEMPRE VERIFICAR O TIPO DO CASO!

	Tarefa	Tempo(ns)
1	Escrita no PC	9
2	Leitura da Memória de Instruções	17
3	Bloco de Controle	7
4	Leitura do Banco de Registradores	7
5	Cálculo de adição com a ULA	6
6	Leitura da Memória de Dados	13
7	Escrita no Banco de Registradores	13
8	Multiplexadores <i>mem2reg</i>	5
9	Bloco de Controle da ULA	—
10	Unidade de Extensão de Sinal	0

MEM2REG  
MEM2REG

NÃO MENSURÁVEL

d) (1.0) Considerando apenas os sinais observados, que todos os registradores possuem tempo de setup  $t_{su} = 2$  ns e os fios sem atraso, qual a máxima frequência de clock que poderia ser usada nesse processador? 19.23M Hz

e) (0.5) Qual o valor em hexadecimal do registrador \$t0 no instante de tempo 720ns? 0xFFFFFFFF

**Boa Sorte!!!**

05 /  
c) NOVA INSTRUÇÃO

MIRROR

mir  $r_d, r_s$  #  $r_d = \text{Espelho}(r_s) = \{r_s[0], r_s[1], r_s[2], r_s[3]\}$

OPCODE 0X03 TIPO-R

FUNCT 0X14 → TIPO LIVRE

2)

a) cada instrução executada em 1 ciclo de clock

b)  $f = \frac{1}{(440n - 360n)} = 12,5 \text{ MHz}$

d) Programa

0X00400000 ?

0X00400004 3C081001 Lui \$t0, 0X1001

0X00400008 8D080008 lw \$t0, 8(\$t0)

0X0040000C 01084020 add \$t0, \$t0, \$t0

0X00400010 2008FFFF addi \$t0, \$t0, -1

INSTRUÇÃO MAIS LENTA: LW

$$t_{\text{LW}} = (490n - 440n) + 2n$$

$$t_{\text{exec}} = 52n$$

$$\rightarrow f = \frac{1}{52n} = 19,23 \text{ MHz}$$

e) pela execução do Programa

em  $t = 720n$  →  $\$t0 = -1 = 0XFFFFFFF$



### c) MEDIDAS DE TEMPO

1. ESCRITA NO PC: DA BORDA DE SUBIDA DO CLOCK ATÉ PC FICAR ESTÁVEL

2. LEITURA DA MEMÓRIA DE INSTRUÇÃO  
DO TEMPO PC ESTÁVEL ATÉ SAÍDA MEM. FICAR ESTÁVEL

3. BLOCO DE CONTROLE: SÓ VEMOS O LEMEM  
DO TEMPO DA INSTRUÇÃO ESTÁVEL ATÉ O LEMEM MUDAR  
↳ INSTRUÇÃO

4. LEITURA DO BANCO DE REGISTRADORES  
DO TEMPO DA INSTRUÇÃO ESTÁVEL ATÉ SAÍDA LEITURA 1  
OU 2 FICAR ESTÁVEL  
↳ INSTRUÇÃO

5. CÁLCULO SOMA PELA ULA  
DO TEMPO QUE LEITURA 1 OU LEITURA 2 ESTÁVELS ATÉ  
SAÍDA DA ULA FICAR ESTÁVEL  
OBS.: INCLUI O TEMPO DO BLOCO CONTROLE ULA

6. LEITURA DA MEMÓRIA DE DADOS  
DO TEMPO QUE A SAÍDA DA ULA FICAR ESTÁVEL ATÉ  
A SAÍDA DA MEMÓRIA FICAR ESTÁVEL

7. ESCRITA NO BANCO DE REGISTRADORES  
DA BORDA DE SUBIDA DO CLOCK ATÉ SAÍDA DOS  
REGISTRADOR (RTB) FICAR ESTÁVEL  
OBS.: INCLUI O TEMPO DE LEITURA DO BANCO DE REGS

8. MULTIPLEXADORES: APENAS O MEM2REG É VISÍVEL  
DA SAÍDA DA ULA ESTÁVEL ATÉ BR ESCRITA FICAR  
ESTÁVEL OU

DA SAÍDA DA MEMÓRIA ESTÁVEL ATÉ BR ESCRITA  
FICAR ESTÁVEL

9. Bloco de controle da ULA: NÃO É VISÍVEL!  
Incluído no tempo do bloco de controle

10. Unidade de Extensão de sinal: 50 Fios  
logo  $t_{pe} = 0$

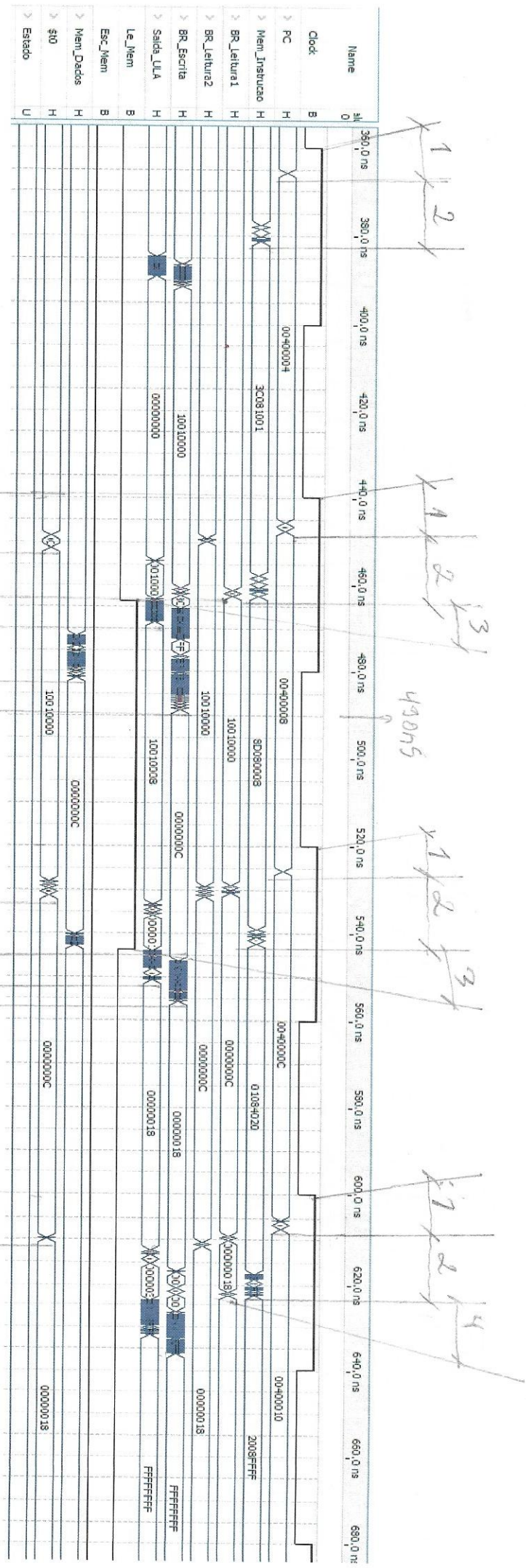


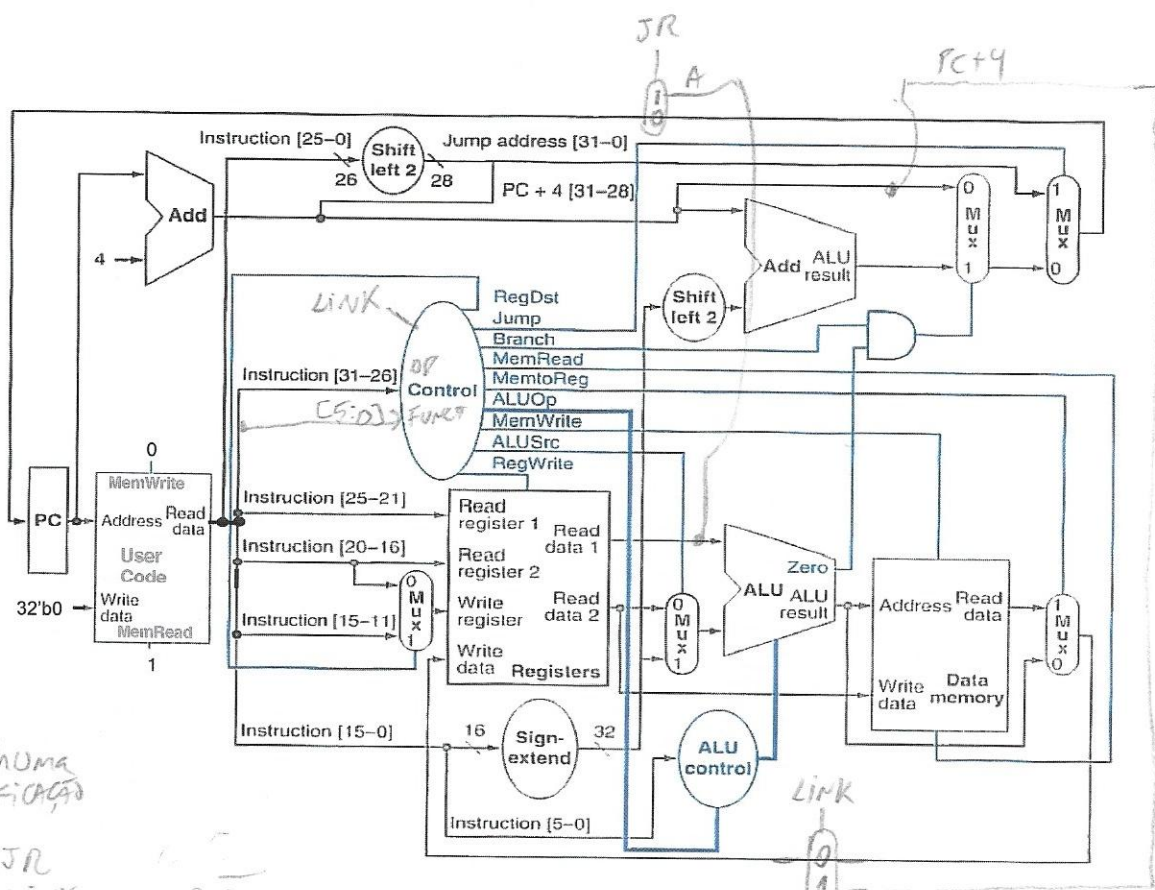
Lu: \$70, 0x1001

Lu: \$70, 8(470)

add \$70, \$70, \$70

add: \$70, \$70, -1





→ MUL: nenhuma modificação

→ JALR: - JR  
- LINK  
- FUNCT - 0,5

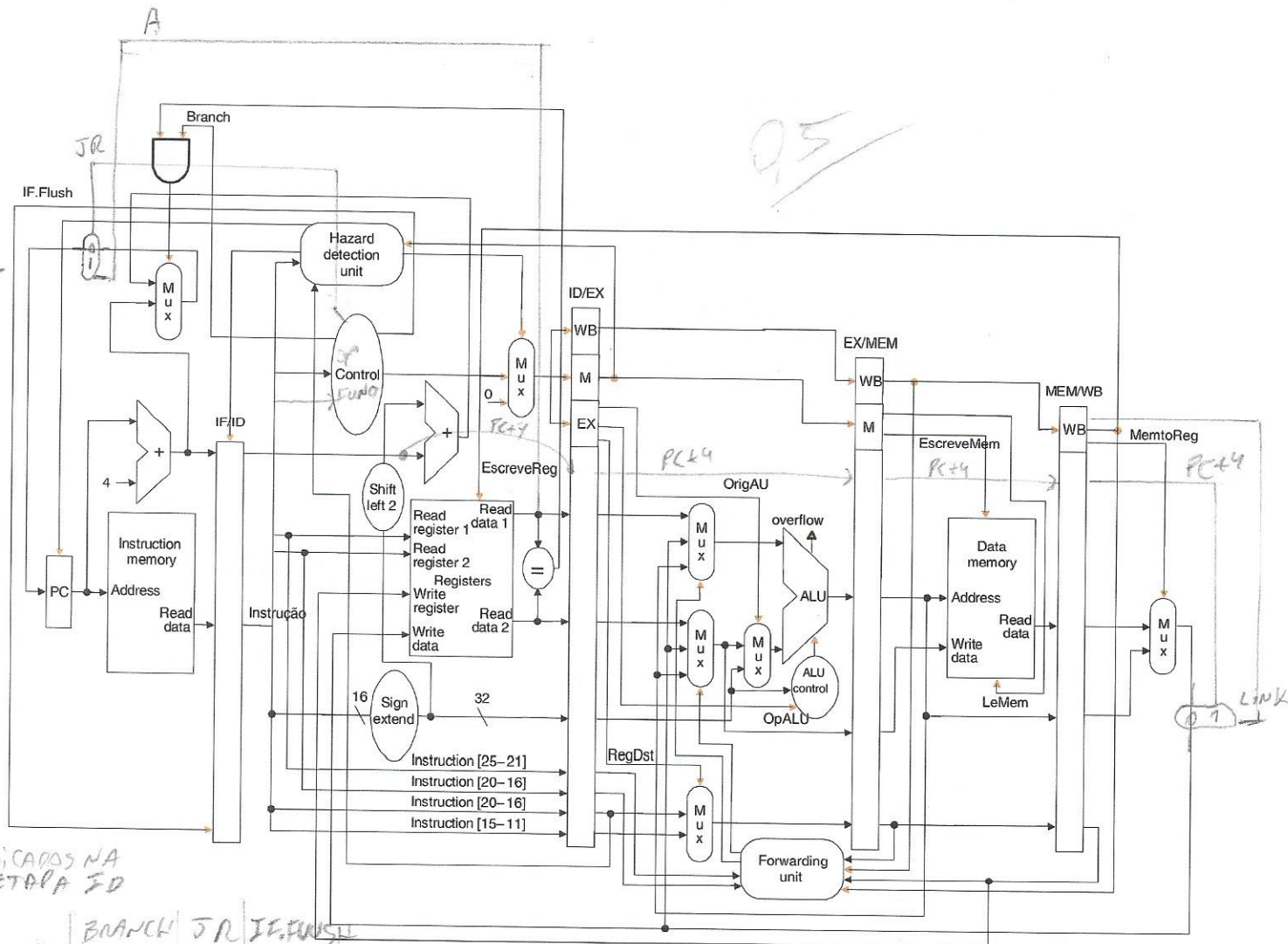
→ MIP: nenhuma modificação

0,5

Instrução	RegDst	OrigALU	Mempara Reg	Escreve Reg	Le Mem	Escreve Mem	Branch
formato R	1	0	0	1	0	0	0
lw	0	1	1	1	1	0	0
sw	X	1	X	0	0	1	0
beq	X	0	X	0	0	0	1
MUL	1	0	0	1	0	0	0
JALR	1	X	X	1	0	0	X
MIP	1	X	0	1	0	0	0

Instrução	ALUOp1	ALUOp0	LINK	JR				
formato R	1	0	0	0				
lw	0	0	0	0				
sw	0	0	0	0				
beq	0	1	0	0				
MUL	1	1	0	0				
JALR	X	X	1	1				
MIP	1	0	0	0				





APLICADOS NA  
ETAPA ID

BRANCH JR IF.FLUSH

TIPO-R	0	0	0
lw	0	0	0
sw	0	0	0
beq	1	0	1 → Branch não pronto
MUL	0	0	0
JALR	X	1	1
MIR	0	0	0

- MUL: N.M  
- JALR: JR  
- LINK  
- IF.FLUSH  
- LEUPCT  
- MIR: N.M

Linhas de controle do estágio de cálculo de endereço/execução					
Instrução	RegDst	OpALU1	OpALU0	OrigALU	
Formato R	1	1	0	0	
lw	0	0	0	1	
sw	X	0	0	1	
beq	X	0	1	0	
MUL	1	1	1	0	
JALR	1	X	X	X	
MIR	1	1	0	X	

Linhas de controle do estágio de acesso à memória			
Instrução	Branch	LeMem	Escreve Mem
Formato R	0	0	0
lw	0	1	0
sw	0	0	1
beq	1	0	0
MUL	X	0	0
JALR	X	0	0
MIR	X	0	0

Linhas de controle do estágio de escrita do resultado			
Instrução	Escreve Reg	Mem para Reg	LINK
Formato R	1	0	0
lw	1	1	0
sw	0	X	0
beq	0	X	0
MUL	1	0	0
JALR	1	X	1
MIR	1	0	0

