

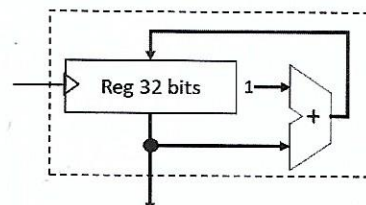


Nome: GABARITO

Matrícula: 17/0012345

## Prova 2

1) (6.0) A ISA RISC-V define 6 registradores do banco de registradores CSR para as funções de contagem de ciclos, contagem de instruções e um contador de tempo de 1ms de resolução. Nos processadores vistos em aula o banco CSR não é implementado. Se deseja implementar funcionalidades similares desses registradores usando apenas 3 registradores incrementadores, somente de leitura, de 32 bits, acionados pela borda de subida do controle, conforme o diagrama ao lado.



Implemente 3 novas instruções na ISA vista em aula modificando os caminhos de dados e controles dos processadores UNICICLO, MULTICICLO e PIPELINE nas folhas em anexo.

- a) (1.8) rdcycle t0 # t0=contador de ciclos
- b) (1.8) rdinstr t0 # t0=contador de instruções
- c) (1.8) rdtimer t0 # t0=contador de tempo
- d) (0.6) Defina o tipo (R, I, S, J, B ou U) e seus parâmetros (opcode, funct3, funct7, etc.) que você usaria para cada instrução.

Dica: Use um bloco fdiv para fazer um divisor de frequência, definindo apenas a frequência de entrada e a frequência de saída.

2) (3.0) Considerando apenas os seguintes tempos dos elementos dos caminhos de dados originais vistos em aula e apresentados nos anexos (sem considerar as suas modificações da questão anterior):

- Tempo de acesso à memória de dados ou de instruções para leitura: 500ps
- Tempo de acesso às memórias de dados para escrita: 250ps
- $t_{pd}$  de qualquer operação da ULA: 200ps
- $t_{pd}$  dos somadores de 32 bits: 100ps
- $t_{co}$  de qualquer registrador (flip-flop): 50ps
- $t_{su}$  de qualquer registrador (flip-flop): 25ps
- $t_{pd}$  de qualquer decodificador e multiplexador: 20ps
- $t_{pd}$  da unidade de geração de imediato: 20ps
- $t_{pd}$  das unidades de controle/circuitos combinacionais: 20ps
- $t_{pd}$  das portas AND e OR: 5ps

```
...  
lw t1, 0(fp)  
lw t2, 4(fp)  
add t3, t1, t2  
sw t3, 12(fp)  
lw t4, 8(fp)  
add t5, t1, t4  
sw t5, 16(fp)  
...
```

Dica: Reveja a estrutura interna do Banco de Registradores e do Controle Multiciclo.

Para a ISA reduzida de 9 instruções desenvolvida em aula, calcule: i) a máxima frequência de clock utilizável e ii) o tempo de execução do trecho de código dado, para os processadores:

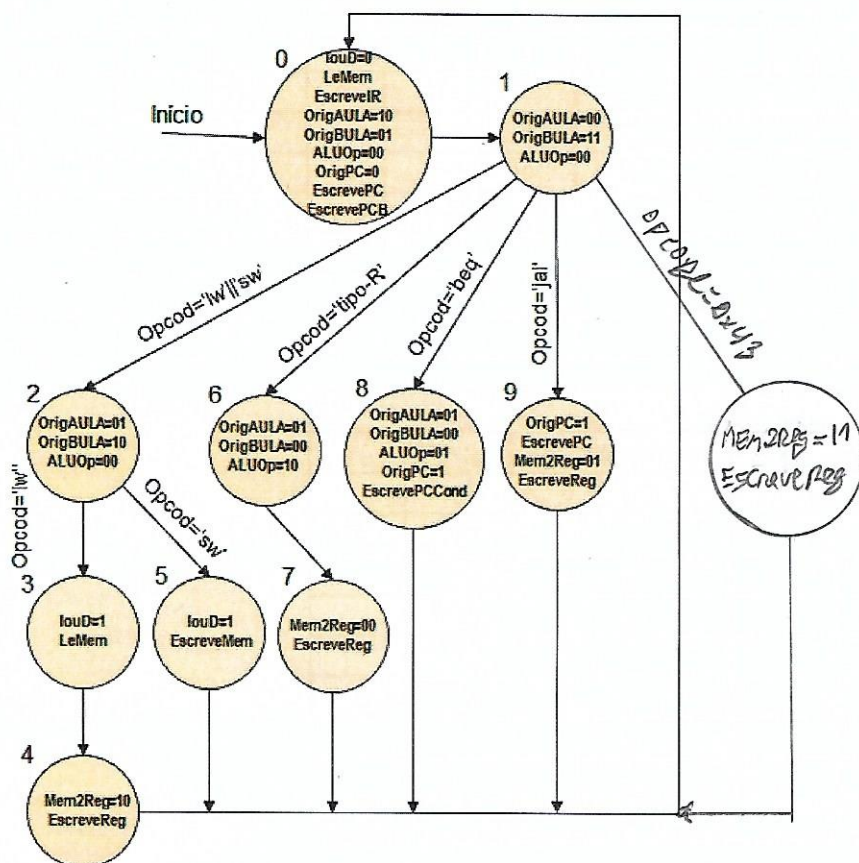
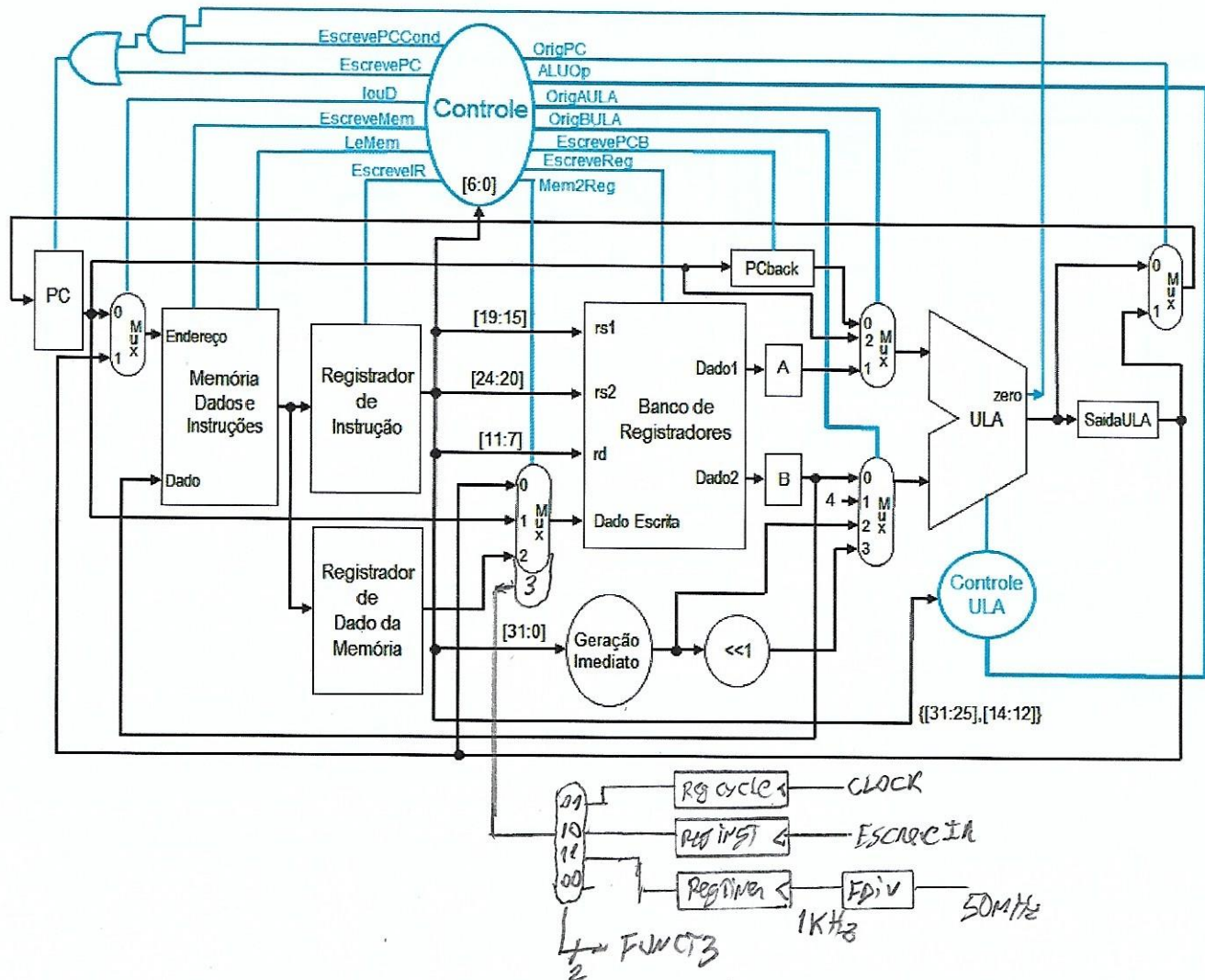
- a) (1.0) Processador Uniciclo;
- b) (1.0) Processador Multiciclo;
- c) (1.0) Processador Pipeline; onde todos os hazards são solucionados com forwards e reordenamento de instruções, o banco de registradores é escrito na borda de descida e o *branch* previsto como não tomado é avaliado no 2º ciclo.

3) (2.0) Suponha que tenhamos um processador com CPI básico de 2, considerando que todas as referências a dados acertem na cache primária e uma frequência de clock de 1.5GHz. Considere ainda um tempo de acesso à memória principal de 1000ns, incluindo todo tratamento de falhas. Suponha que a taxa de falhas por instrução da cache primária seja de 2%. Qual será o fator de desempenho de um novo sistema computacional frente ao anterior se aumentarmos a frequência de clock do processador para 2.0GHz, reduzirmos a CPI para 1 e acrescentarmos uma cache secundária que tenha um tempo de acesso de 10ns para um acerto ou uma falha, e que seja grande o suficiente para reduzir a taxa de falhas para a memória principal para 1%?

“640K is more memory than anyone will ever need on a computer.”  
Clarisse Lispector







OAC-A

2019/2

2º PROVA

GABARITO

1) d) Como as instruções pedidas não possuem número imediato, o mais simples é usar instruções do tipo-R com opcode próprio

então defino  $OPCODE = 0x43 = 100\ 0011$

↳ não utilizado ainda

$FUNC7 = 0x00 = 000\ 0000$

$VS1 = 00000$   $VS2 = 00000$

$FUNC3 = RDCYCLE = 001$

$RDINST = 010$

$RDTIMER = 011$ : para ser usado nos campos de dados

a) UNICICLO:  $RegCYCLE \rightarrow CONTROL = CLOCK$   
 $RegINST \rightarrow CONTROL = CLOCK$   
 $RegTIMER \rightarrow CONTROL = TIMER$

b) MULTICICLO:  $RegCYCLE \rightarrow CONTROL = CLOCK$   
 $RegINST \rightarrow CONTROL = ESTADO = 0 \rightarrow ESCREVER$   
 $RegTIMER \rightarrow CONTROL = TIMER$

c) PIPELINE:  $RegCYCLE \rightarrow CONTROL = CLOCK$   
 $RegINST \rightarrow CONTROL = CLOCK \& INST\ válida$   
 $RegTIMER \rightarrow CONTROL = TIMER$



2)

a) UNICICLO : instrução mais lenta  $\rightarrow$  LW

$$T = t_{CO} + t_{LEITURA} + t_{PD} + t_{PD} + t_{PD} + t_{LEITURA} + t_{PD} + t_{SU}$$

PC      MEM INST      MUX BANCO REG      MUX ORIG JEA      ULA      MEM DATA      MEM2 REG      BANCO REGS

$$T = 50 + 500 + 20 + 20 + 200 + 500 + 20 + 25 = 1,335 \text{ ns}$$

$$f_{\max} = 749,06 \text{ MHz} //$$

Programa EXECUTG I = 7 instruções

Programa EXECUTG I = 7 instruções  
Logo:  $t_{exec} = I \times CPI \times T = 7 \times 1 \times 1,335n = 9,345ns //$

b) MULTICICLO: etapa mais lenta : Busca da insinuação

$$T = t_{CO} + t_{PD} + t_{PD} + t_{LEITUNG} + t_{SU}$$

PC      MAX      CONTRÖLLE      MEM      IN  
IO+D                                  AU MD

$$T = 50 + 20 + 20 + 500 + 25 = 615 \text{ ps}$$

$$f_{\text{max}} = 1,626 \text{ GHz}$$

FW LW odd SW LW odd SW

Programa:  $N^{\circ}$  ciclos =  $5 + 5 + 4 + 4 + 5 + 4 + 4 = 31$  ciclos

Logo:  $t_{exec} = C \times T = 31 \times 615 p = 19,065 ns$

c) PIPELINE: etapa mais lenta: IF ou MEM: são iguais

$$T = \tau_{CO}^{PC} + \tau_{INRA}^{MEMINST} + \tau_{SU}^{IFID}$$

$$T = 50 + 500 + 25 = 575 \text{ ps}$$

$$f_{\max} = 1,739 \text{ GHz} //$$

Programa mais otimizado foi deixado como exercício AULA 16 slide 15

Nº ciclos (sem latência) = 7 slide 20

$$t_{\text{exec}} = C \times T = 7 \times 575 \text{ p} = 4,025 \text{ ns}$$

3) Questão idêntica à Questão 3 da P2 de 2015-2

Memória de dados sempre acerta.

$$\text{Penalidade de falha} = \frac{1000ns}{1/1,5GHz} = 1500 \text{ ciclos}$$

$$CPI_1 \text{ total} = 2 + 0,02 \times 1500 = 32$$

Processador novo

$$\text{Penalidade de falha} = \frac{1000ns}{1/2GHz} = 2000 \text{ ciclos}$$

MEM. Principal

$$\text{Penalidade de falha} = \frac{10ns}{1/2GHz} = 20 \text{ ciclos}$$

na cache de 2º nível

Logo:

$$CPI_2 \text{ total} = 1 + 0,01 \times 2000 + 0,02 \times 20 = 21,4$$

Assim:

$$\eta = \frac{I \times CPI_1 \times T_1}{I \times CPI_2 \times T_2} = \frac{32 \times \frac{1}{1,5G}}{21,4 \times \frac{1}{2G}} = 1,99376 //$$