



Nome:

GABANITO

Matrícula:  /

## Prova 2

1) (7.0) O acesso à memória continua sendo o grande gargalo para o aumento do desempenho de sistemas computacionais. Considere que um acesso à memória de dados (escrita ou leitura) ou de instruções (leitura) demande entre 50 e 200 ciclos de clock, quando então a memória indica que o dado está disponível para leitura ou que o mesmo já foi escrito.

a) (1.0) Altere o caminho de dados e o bloco de controle do processador uniciclo em anexo, de modo a permitir o correto funcionamento com o sistema de memória descrito. Explique o princípio de funcionamento desejado.

b) (3.0) Altere o caminho de dados e o bloco de controle do processador multiciclo em anexo, de modo a permitir o correto funcionamento com o sistema de memória descrito. Explique o princípio de funcionamento desejado.

c) (3.0) Altere o caminho de dados e o bloco de controle do processador pipeline em anexo, de modo a permitir o correto funcionamento com o sistema de memória descrito. Explique o princípio de funcionamento desejado.

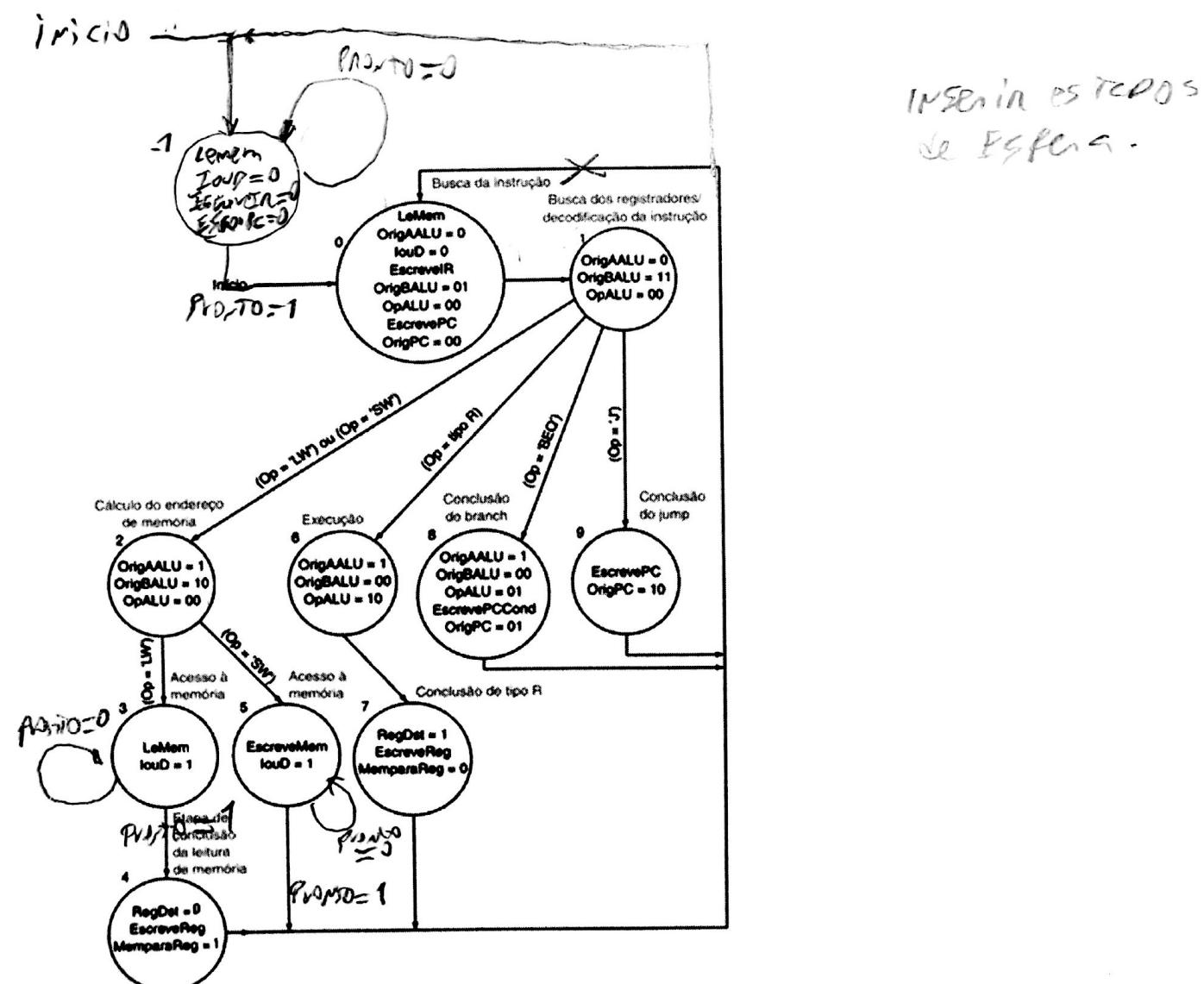
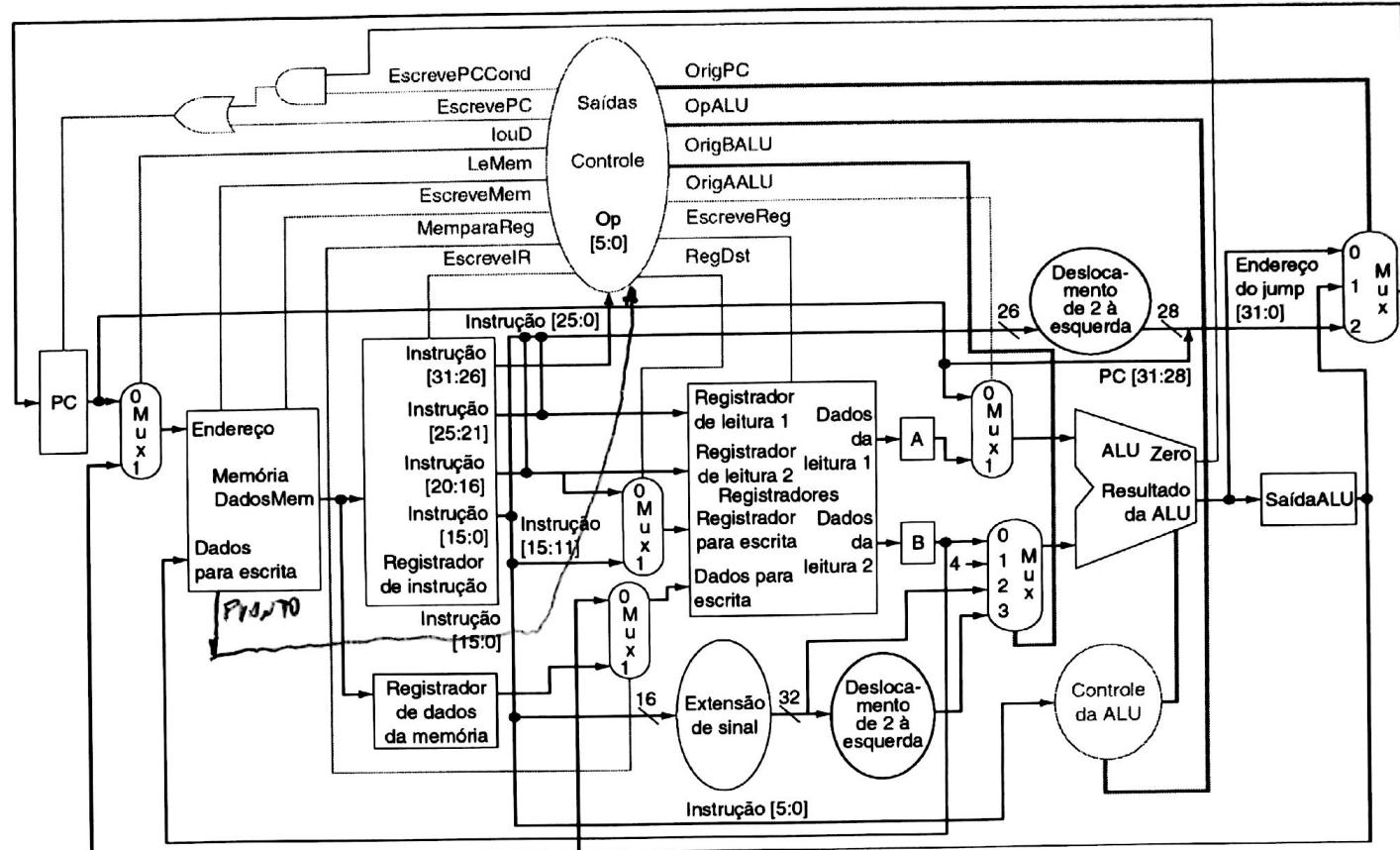
2) (3.0) O uso de memória cache aumenta consideravelmente o desempenho de um sistema computacional por explorar os princípios da localidade espacial e localidade temporal de dados e programas. Seja uma memória cache de instruções de 1 nível, com 16KiB de dados, com associação 8-way, blocos de 64 bytes e um sinal de *hit*. Considere que o endereçamento seja a byte, endereço de 28 bits e dados de leitura de uma word.

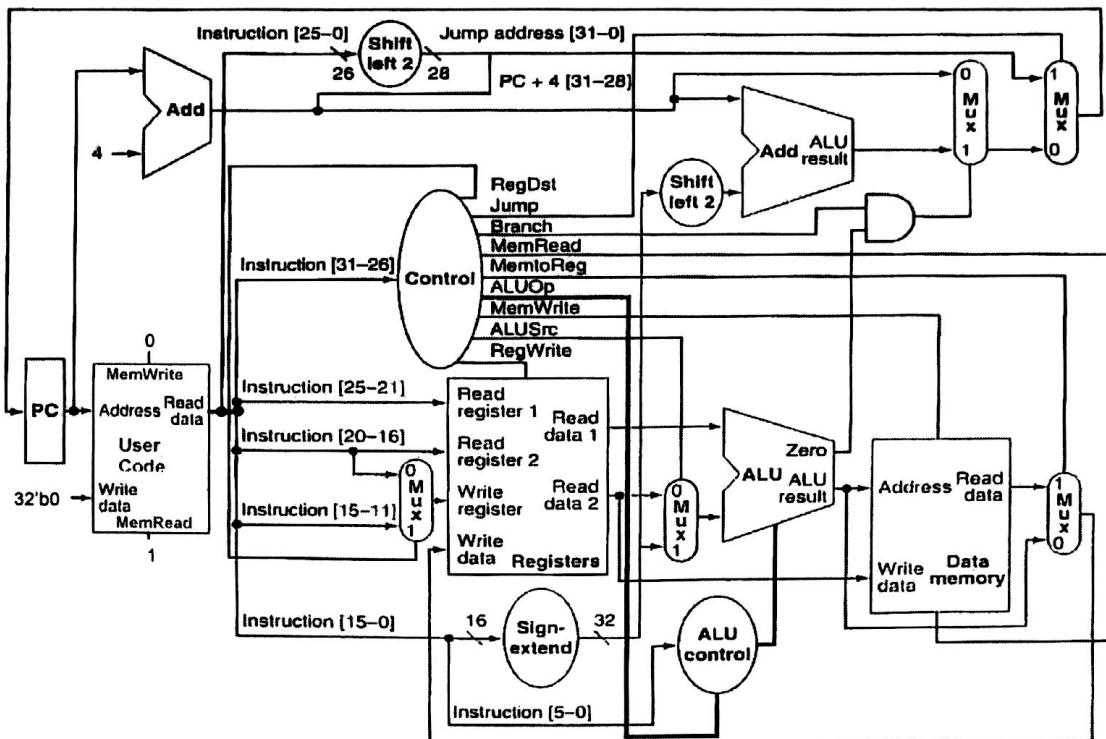
a) (2.0) Desenhe o diagrama do circuito dessa memória.

b) (1.0) Qual o tamanho real total em bits dessa memória cache?

3) (2.0) Suponha que tenhamos um processador com CPI básico de 2, considerando que todas as referências a dados acertem na cache primária e uma frequência de clock de 1.5GHz. Considere ainda um tempo de acesso à memória principal de 1000ns, incluindo todo tratamento de falhas. Suponha que a taxa de falhas por instrução da cache primária seja de 2%. Qual será o fator de desempenho do sistema computacional atual frente ao anterior se aumentarmos a frequência de clock do processador para 2.0GHz, reduzirmos a CPI para 1 e acrescentarmos uma cache secundária que tenha um tempo de acesso de 10ns para um acerto ou uma falha, e que seja grande o suficiente para reduzir a taxa de falhas para a memória principal para 1%?

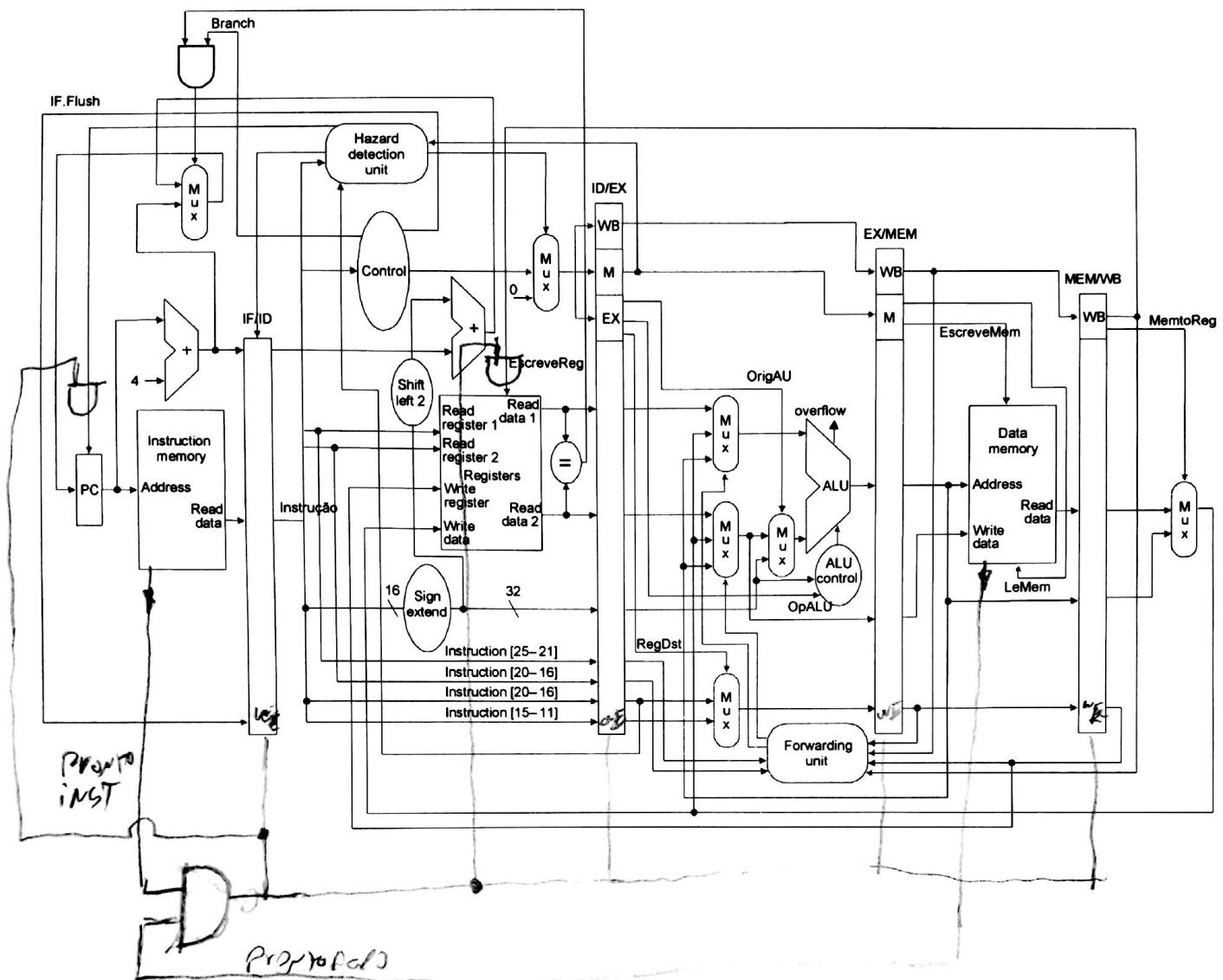
**Boa Sorte!!!**





Não é necessária nenhuma mudança no caminho de dados ou no control. Apenas requeira o fechar para fechar/200

Instrução	RegDst	OrigALU	Mempara Reg	Escreve Reg	Le Mem	Escreve Mem	Branch
formato R	1	0	0	1	0	0	0
lw	0	1	1	1	1	0	0
sw	X	1	X	0	0	1	0
beq	X	0	X	0	0	0	1



Instrução	Linhas de controle do estágio de cálculo de endereço/execução			
	RegDst	OpALU1	OpALU0	OrigALU
Formato R	1	1	0	0
lw	0	0	0	1
sw	X	0	0	1
beq	X	0	1	0

Instrução	Linhas de controle do estágio de acesso à memória		
	Branch	LeMem	Escreve Mem
Formato R	0	0	0
lw	0	1	0
sw	0	0	1
beq	1	0	0

Instrução	Linhas de controle do estágio de escrita do resultado	
	Escreve Reg	Mem para Reg
Formato R	1	0
lw	1	1
sw	0	X
beq	0	X

1)

a) No processador unículo, o período do clock deve permitir a execução da instrução mais lenta. Logo, basta mudar a freqüência para  $f_{clock} / 400$

$$\hookrightarrow 200 \text{ mem�} + 200 \text{ mem pass}$$

b) Princípio: devem ser inseridos estados de espera nos acessos à memória depois da instrução.

c) O pipeline deve ser largado até que os registradores estejam prontos, tanto de dados quanto de instruções.

2) Segundo Sice 21 aula 19

a) ENDEREÇO

$27 + TAG = \text{indice} \quad 10 \rightarrow \text{OFFSET BYTE}$

17      5      4

16 words      OFFSET WORD

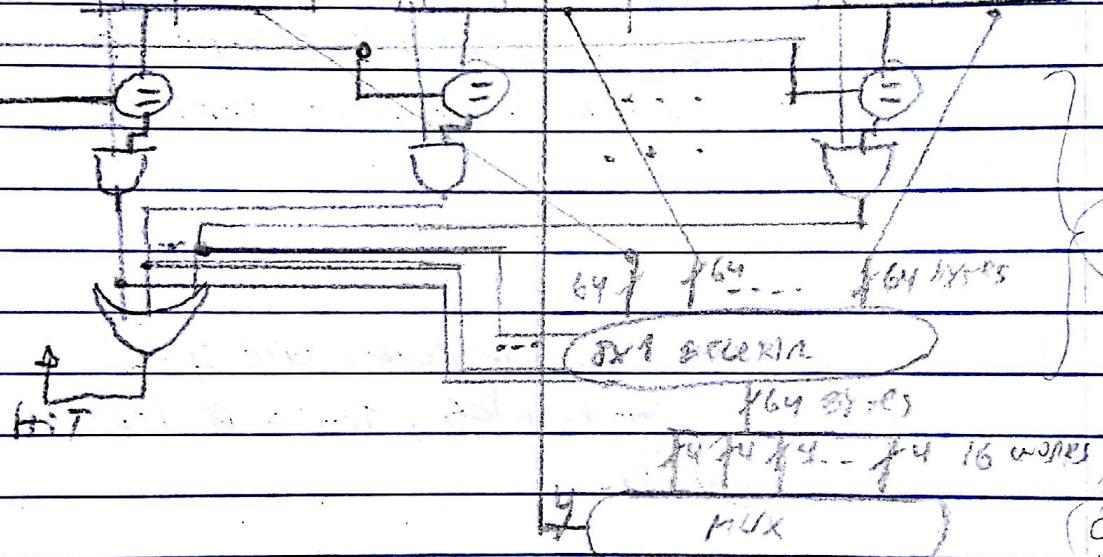
Bloco 1      Bloco 2      Bloco 8

v TAG Bloco 1

v TAG Bloco 2

v TAG Bloco 8

0 1112	64B	0	64B	0	64B	8
1		1			1	
2		2		0 0 0	2	
:		:			:	
$2^N - 1$		$2^N - 1$		$2^N - 1$		



$$2^N \times 64 \times 8 = 16 \times 2^{10}$$

$$2^N = 32$$

$$N = 5 \text{ bits index}$$

ways v TAG bloco 8 bits

$$\text{b)} 8 \times (1 + 17 + 64 \times 8) \times 32 = 132,680 \text{ bits}$$

$$= 132.5 \text{ KABITS}$$

3) SORTEIE CACHE INSTRUÇÕES! BODOS SEMPRE AUSAS!

Processador Antigo:

$$\text{Penalização Falha} = 1000n = 1500 \text{ ciclos}$$

$\frac{1}{1,56}$

$$CPI_{\text{TOTAL}} = 2 + 0,02 \times 1500 = 3,2$$

Processador Novo:

$$\text{Penalização Falha} = 1000n = 2000 \text{ ciclos}$$

MEM Principal  $\frac{1}{1,96}$

$$\text{Penalização Falha} = 10n = 20 \text{ ciclos}$$

2º Nível  $\frac{1}{1,56}$

$$\begin{aligned} CPI_{\text{TOTAL}} &= 1 + 0,01 \times 2000 + 0,02 \times 20 \\ &= 1 + 20 + 0,4 = 21,4 \end{aligned}$$

Logo

$$\eta = \frac{\sum CPI_i \cdot T_i}{\sum CPI_i \cdot T_c} = \frac{32 \times 1,56}{21,4 \times 1} = 1,99376$$