

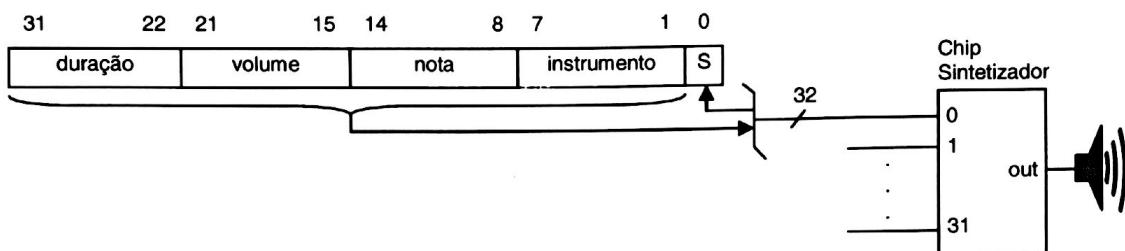


Nome: GABAN, 70

Matrícula: /

Prova 2

1)(6.0) A estrutura do processador MIPS é baseada em uma CPU principal e diversos coprocessadores, entre os quais figuram o Coprocessador 0, responsável pelo gerenciamento da memória e de interrupções/exceções, e o Coprocessador 1, Unidade de Ponto Flutuante. O fabricante que utiliza um processador MIPS em seus produtos pode adicionar outros coprocessadores caso seja necessário, criando novas instruções e funcionalidades. Sua empresa está desenvolvendo um novo sequenciador MIDI baseado no processador MIPS. Você dispõe de um chip sintetizador de áudio programável de 32 canais monofônicos independentes. Cada canal é capaz de gerar o som dos 128 instrumentos e as 128 notas musicais do protocolo General MIDI. O volume de uma nota é definido em 128 níveis e a sua duração codificada em 10 bits. O chip sintetizador controla o bit 0 de Status, que indica se o canal está sendo usado (Status=1) ou não (pronto para receber nova nota, Status=0), de acordo com a codificação abaixo:



1.1) (4.0) Desenvolva o Coprocessador 2 que tenha um banco de 32 registradores de 32 bits cada, onde os registradores são usados para enviar/receber os comandos de notas a cada um dos 32 canais do sintetizador. Altere o caminho de dados e o bloco de controle do processador MIPS MULTICICLO em anexo de modo a implementar as instruções:

- a) (2.0) mtc2 e mfc2, responsáveis pela transferência de dados entre os registradores da CPU principal e do Cop2.
- b) (2.0) lwc2 e swc2, responsáveis pela leitura e escrita de dados diretamente da memória para o Cop2.

1.2) (2.0) Em uma outra abordagem, o chip sintetizador de áudio é acessado via MMIO, usando 128 endereços a partir de 0xFFFF0200. Escreva um procedimento em Assembly que receba como argumentos os registradores \$a0 endereço inicial na memória e \$a1 endereço final de uma música definida pela sequência de comandos a serem tocadas pelo sintetizador, considerando que o bit 0 da word lida da memória indica se a nota é acorde ou não. Dica: Considere que seja usado apenas um único instrumento na música.

2) (2.0) Dado o processador MIPS UNICICLO em anexo, modifique o caminho de dados, o bloco de controle, a ULA e o bloco de controle da ULA, de modo a acrescentar a instrução definida abaixo:

31	26 25	21 20	16 15	11 10	6 5	0
SPECIAL2 011100	rs	rt 00000	rd	0 00000	CLO 10001	

6 5 5 5 5 6

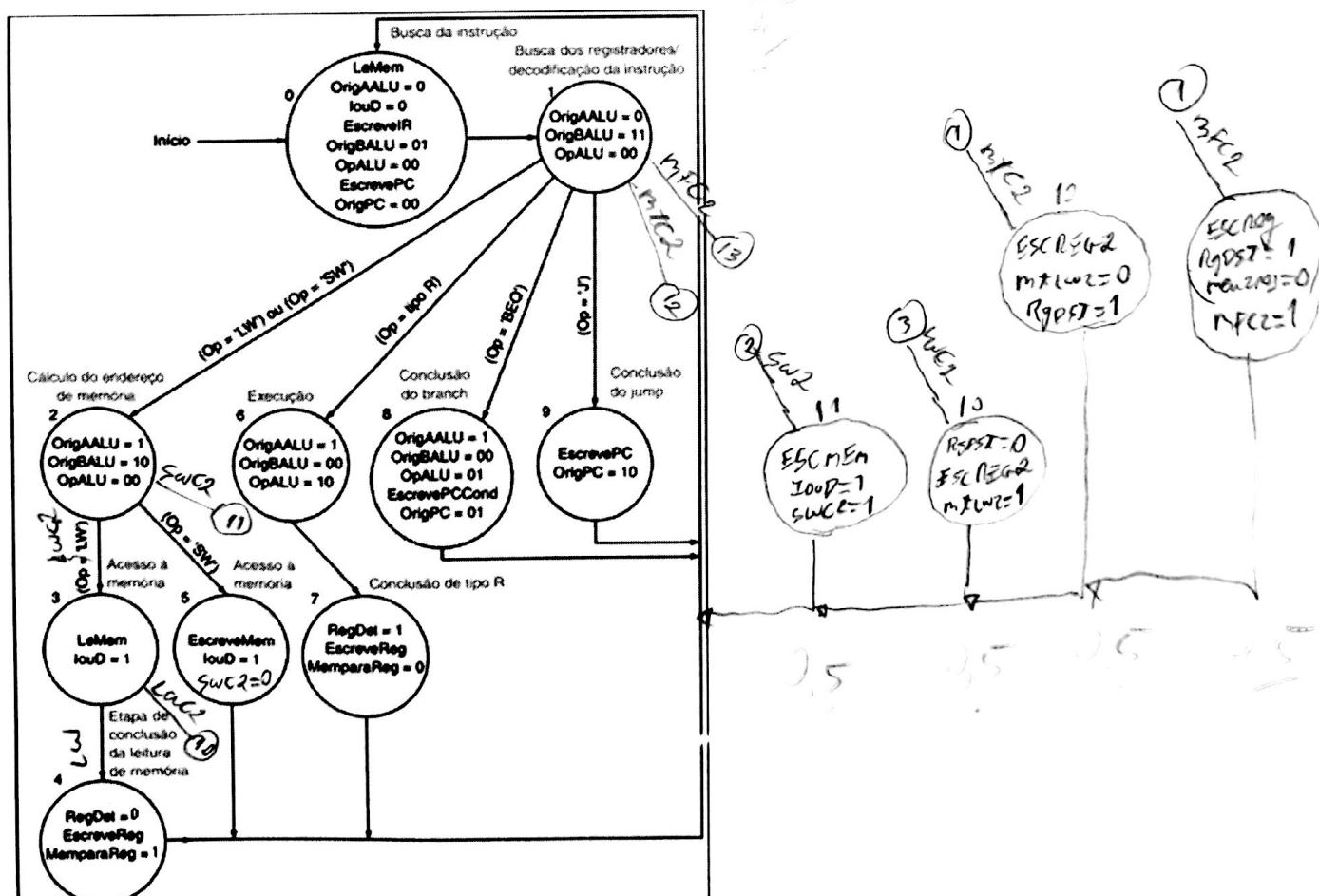
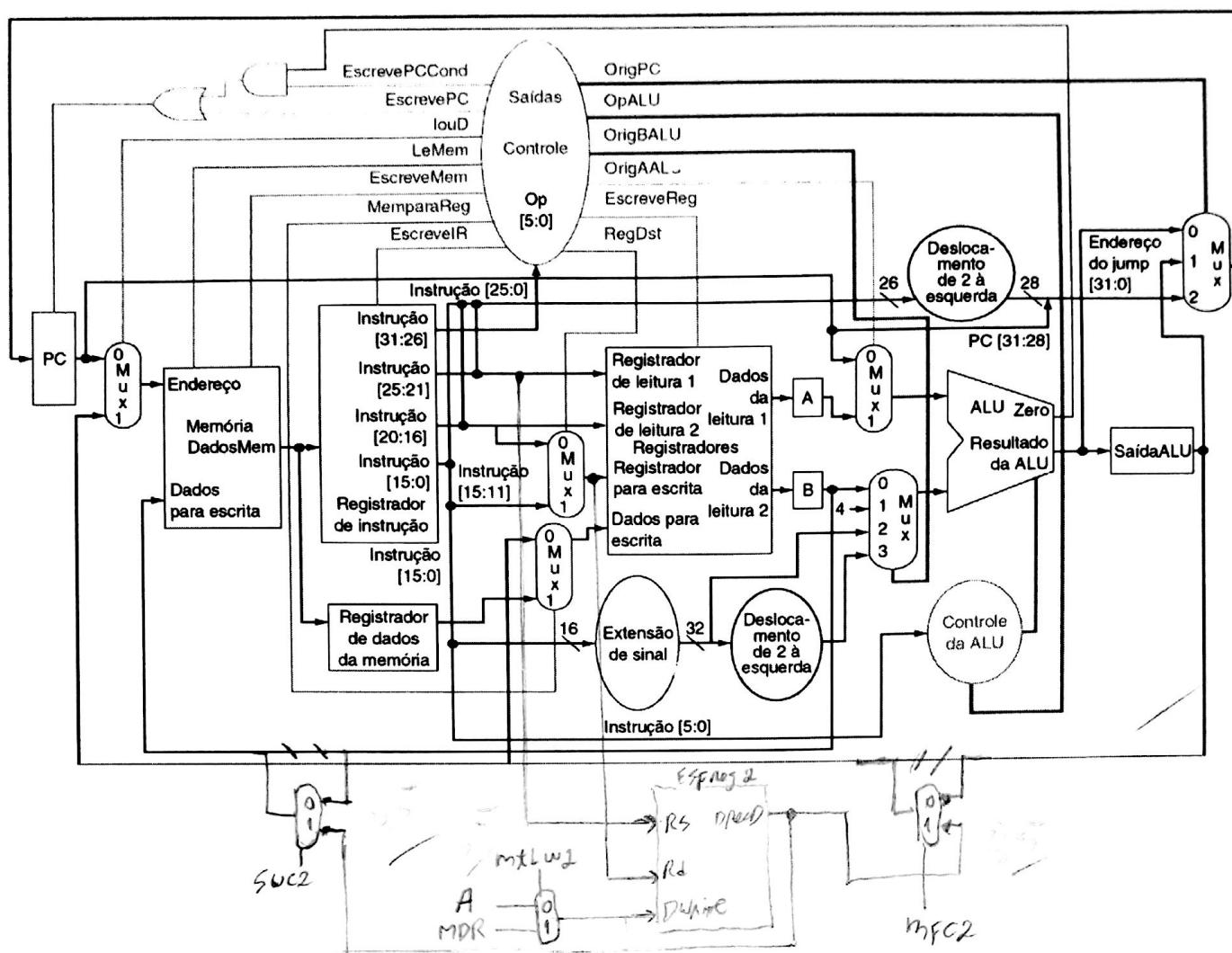
clo \$t1,\$t2 # Count number of leading ones Ex.: \$t1=0b11111001011001010100001010110000 → \$t2=5
Conta o número de 1's consecutivos do início da word

3) (1.0) Considere um processador MIPS com pipeline de 5 estágios (IF-ID-EX-MEM-WB), período de clock T, que não apresenta etapas com tempos ociosos. Se cada um dos estágios IF e MEM do Pipeline forem divididos em dois sub-estágios para cumprir o requerimento de 2 períodos de clock para uma leitura da memória, desconsiderando qualquer hazard e latência, qual o fator de desempenho esperado desse novo processador frente ao antigo caso o período de clock seja reduzido pela metade?

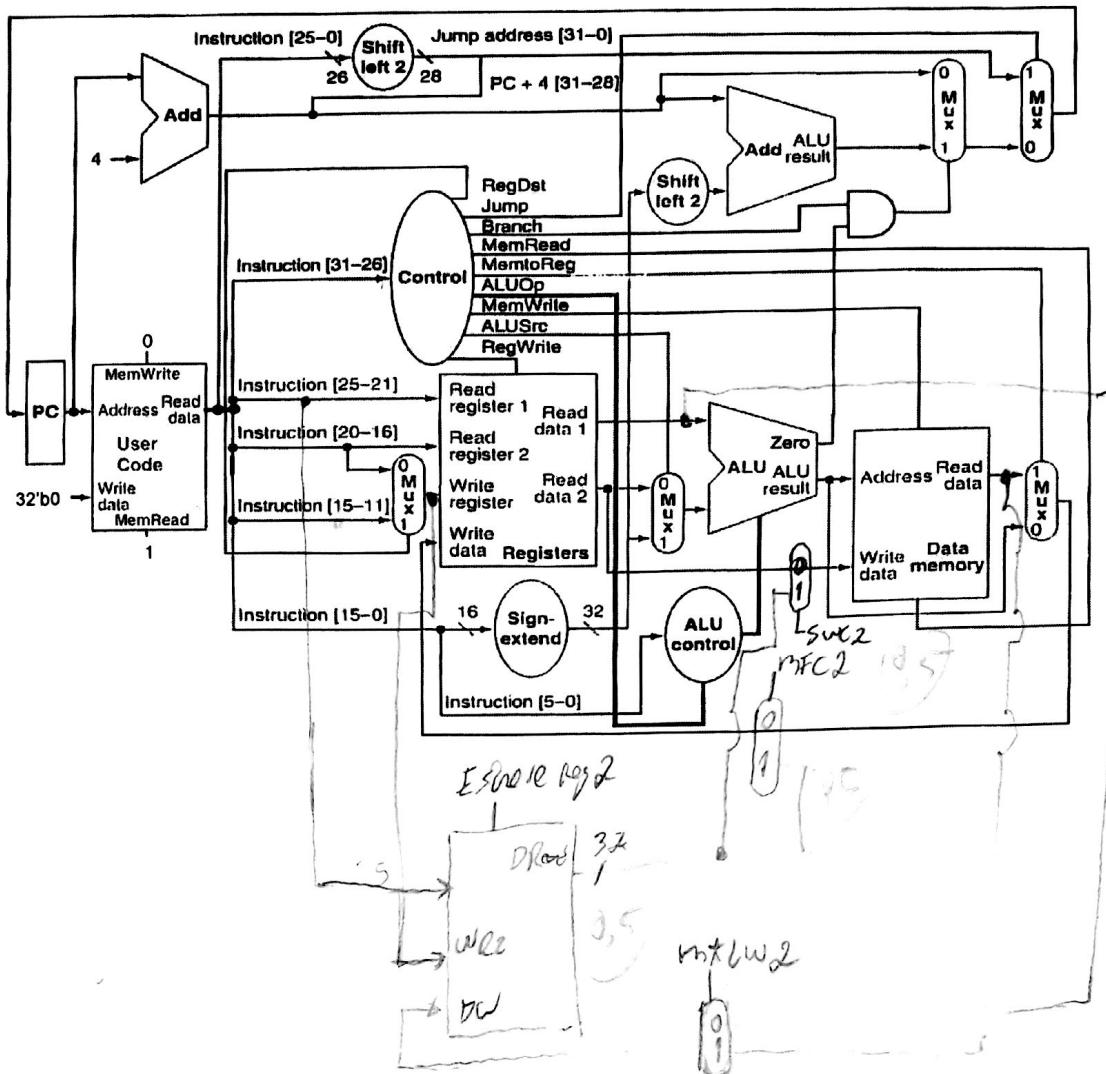
4) (2.0) Supondo que você dispõe de 300Kibits para construir uma memória cache associativa 4-Way. Qual o percentual máximo dessa memória poderá ser usada para dados, caso se use blocos de 8 words e endereçamento a byte de 36 bits?

Boa Sorte!!!

1.1) ROMELDI



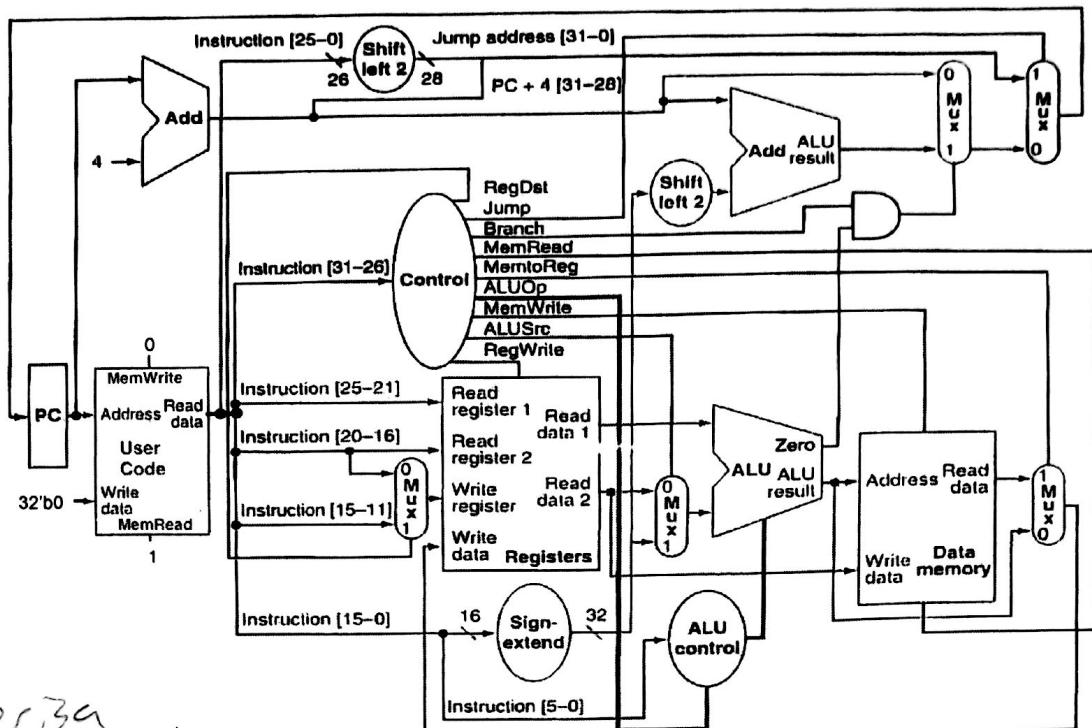
1.1) NO UNICILIO



Instrução	RegDst	OrigALU	Mempara Reg	Escreve Reg	Le Mem	Escreve Mem	Branch
formato R	1	0	0	1	0	0	0
lw	0	1	1	1	1	0	0
sw	X	1	X	0	0	1	0
beq	X	0	X	0	0	0	1
mfc2	X	X	X	0	0	0	0
mfc2	1	X	X	1	0	0	0
lwc2	0	1	X	0	1	0	0
swc2	X	1	X	0	0	1	0

Instrução	ALUOp1	ALUOp0	ESCREVE REG 2	mtlw2	mfc2	swc2	
formato R	1	0	0	X	0	0	
lw	0	0	0	X	0	0	
sw	0	0	0	X	0	0	
beq	0	1	0	2	0	0	
mfc2	X	X	1	0	0	0	
mfc2	X	X	0	X	1	0	
lwc2	0	0	1	1	0	0	
swc2	0	0	0	X	0	1	

2)



Não
precisa
modificar

ura fra folha
BLACTAL

Instrução	RegDst	OrigALU	Mempara Reg	Escreve Reg	Le Mem	Escreve Mem	Branch
formato R	1	0	0	1	0	0	0
lw	0	1	1	1	1	0	0
sw	X	1	X	0	0	1	0
beq	X	0	X	0	0	0	1
SPECIAL 2	1	0	0	1	0	0	0

05

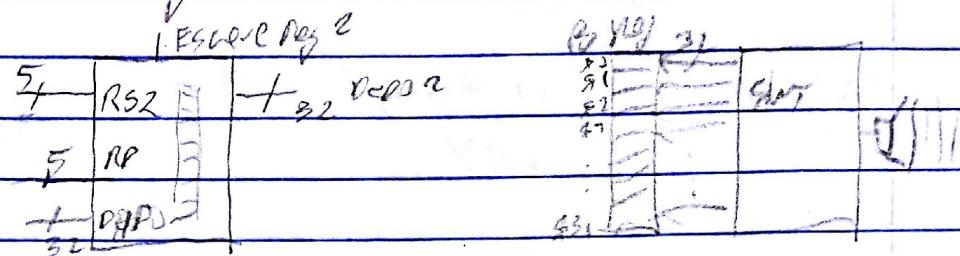
Instrução	ALUOp1	ALUOp0					
formato R	1	0					
lw	0	0					
sw	0	0					
beq	0	1					
ESPECIAL 2	1	1					

OAC-A 2015/1

2º Prova Gabarito

1.1) Banco de registradores do COOP2

Carregar - Ler o valor de um reg e escrever o valor de um reg em 1 período de clock.



rs rd
MTC2 STA \$2 \$2 ← \$10

MFC2 \$10, \$2 rs \$10 ← \$2

LWC2 \$2 100(\$10) \$2 ← MEM[910 + 100]

SWC2 \$2 100(\$10) MEM[910 + 100] ← \$2

1.2) # End. inicial \$01 End. Fim

PLAY: bne \$t0, \$t1, TOCA Início da última nota
jr \$ra # FIM

TOCA: la \$t0, 0xFFFF0200 # 1º END. MMIO
la \$t3, 0xFFFF027F # ÚLTIMO MMIO

BUSCA: lw \$t1, 4(\$t0) APROVANDO POR CANAL
andi \$t1, \$11, 1 DISPONÍVEL

beq \$t1, \$ZERO, ACHOU

addi \$t0, \$t0, 4

beq \$t0, \$t3, TOCA # chegou no último

busca

Volta para o

primeiro canal

E fica atrelada ao canal

ACHOU: $lw \$t1, 0(\$a0)$ # TOLCE CONAMDO AS
 $sw \$t1, 0(\$t0)$ CAMAS DISPARAR

TRAVA: $andi \$t1, \$t1, 1$ # ē um ACORDE ($B10=0$)
beq $\$t1, \$ZERO$, PRÓXIMA
 $lw \$t1, 0(\$t0)$ # já terminou o LOCAL
J TRAVA a nota?

PROXIM: addi \$a0, \$a0, 4
J PLAY

2)

0,5 - CAMINHO DE PASSOS: NÃO PRECISA MODIFICAR

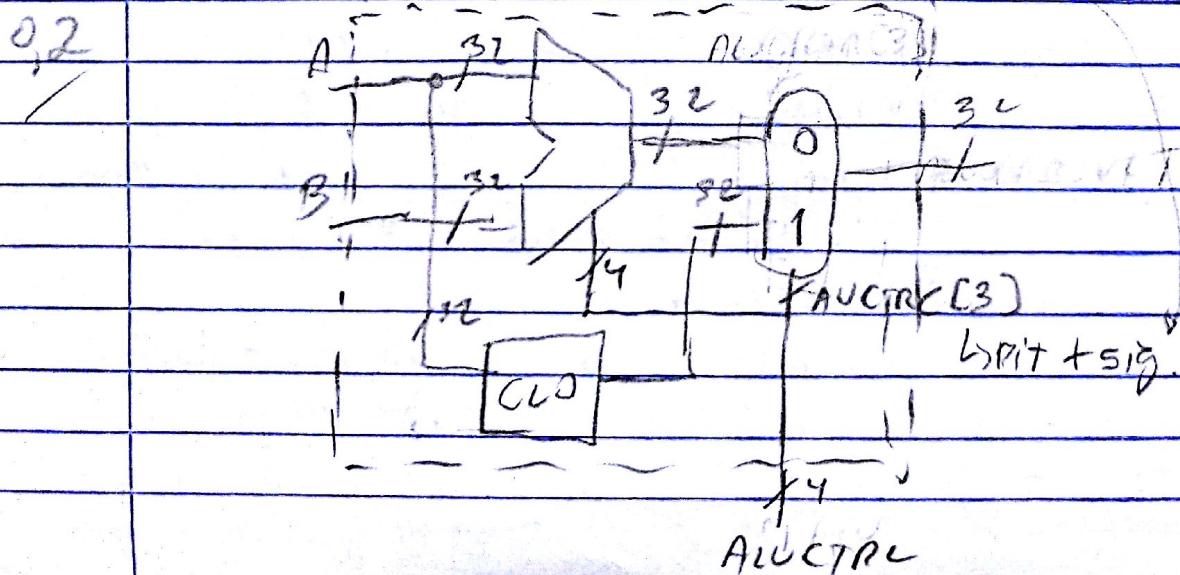
0,5 - BLOCO DE CONTROLE: NA TABELA EM ANEXO

SPECIF2 → igual as tipo-R

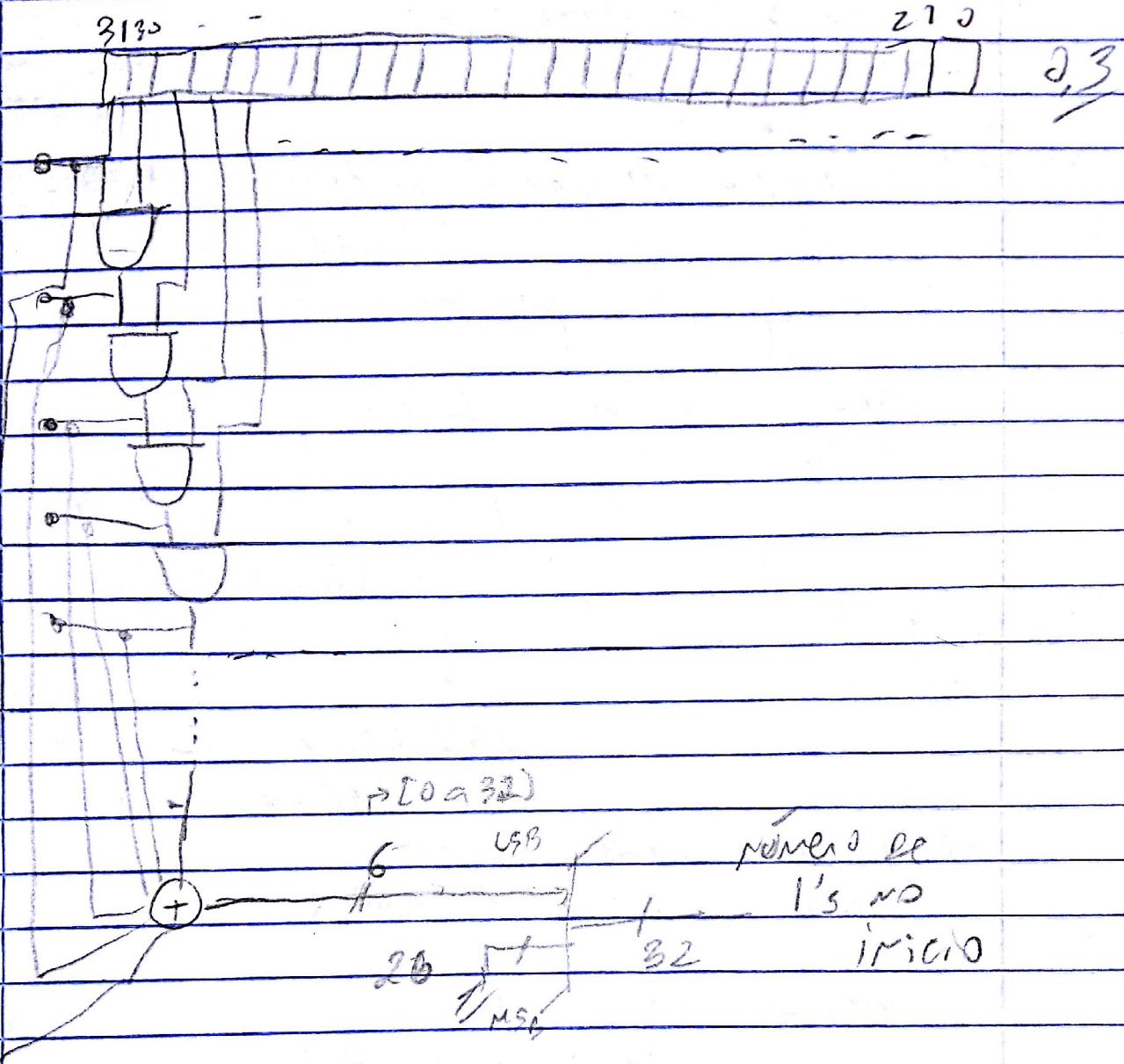
0,5 - BLOCO CONTROLADA:

OPACU	OPERACÕES	ALU CONTROL
00	+	0010
01	-	0110
10	FUNCT	0000/0001/0010/0110
11	CLO	0111 → definido Aqui;

- ULA: ALUCTRL



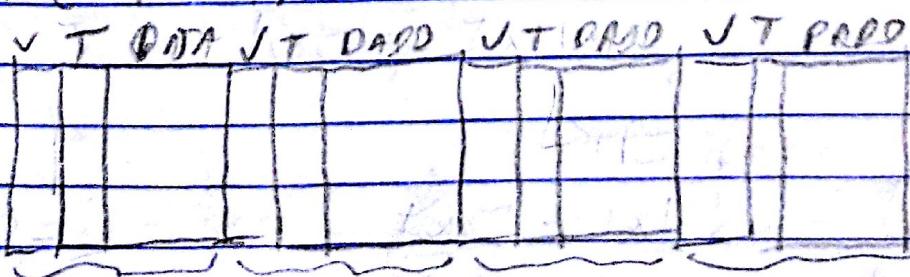
Circuito Clô :



3) PRELINE IDEAL: CPI=1 independent of

$$\text{WGT } \gamma = \frac{IX1XT}{IX1XT_2} = 2 \quad \text{Ansatz 10}$$

4) cache 4-way

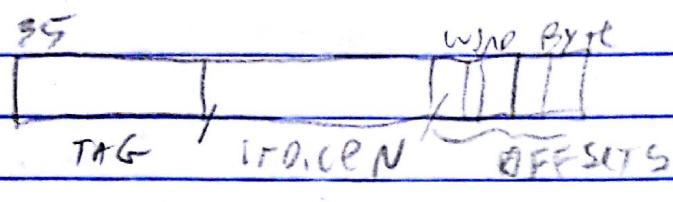


mem total maxima = 300 Kibits

BLOC 8x32 = 256 bits

Entrep 36 bits

Cores. maxima 4-way \rightarrow mem max = $300K / 4 = 75Ki$
per way



$$0 \leq (256 + \text{TAG} + 1) \cdot 2^N \leq 75 \times 2^{10}$$

$$12 \quad \text{TAG} = 36 - N - 3 - 2 = 31 - N$$

$$2^N \leq 75 \times 2^{10-N}$$

$$257 + 31 - N \leq 75 \times 2^{10-N}$$

$$288 - N \leq 75 \times 2^{10-N}$$

$$\text{for } N=10 \rightarrow 288 - 10 \leq 75 \times 2^0$$

$$278 \leq 750 \text{ (F)}$$

$$N=9 \rightarrow 288 - 9 \leq 75 \times 2^1$$

$$279 \leq 150 \text{ (F)}$$

$$N=8 \rightarrow 288 - 8 \leq 75 \times 2^2$$

$$280 \leq 300 \text{ (V)}$$

$N_{\max} = 8$

Assim. T Ampr. poss = $2^8 \times 256 = 64 \text{ Kibits}$

$$10 \quad \frac{1}{2} \max \text{ poss} = \frac{64 \text{ Ki}}{75 \text{ Ki}} = 85,33\%$$