



Universidade de Brasília
Departamento de Ciência da Computação

Disciplina: CIC 116394 – Organização e Arquitetura de Computadores – Turma A
Prof. Marcus Vinicius Lamar

2010/1

d0 d1 / d2 d3 d4 d5 d6

Nome: GABRILO

Matrícula: 09/12345

Prova 2

1) (6.0) Na implementação do processador MIPS uniciclo desenvolvida durante o curso, várias instruções bastante úteis estão ausentes. Mantendo a compatibilidade do código em linguagem de máquina à ISA MIPS:

1.1)(2.0) Redefina os requerimentos da ULA e seu controle (tabela verdade), e modifique adequadamente o caminho de dados do verso desta folha para implementar as seguintes instruções:

- a)(0.5) xor \$rd, \$rs, \$rt # R[\$rd]=R[\$rs] \oplus R[\$rt] OP CODE=0x00 FUNCT=0x26
b)(0.5) andi, ori, xori \$rt,\$rs,IMM # R[\$rt]=R[\$rs] op {16'b0,IMM} OP CODE=0x0C,0x0D,0x0E
c)(0.5) srl, srlv \$rd,\$rt,(SHAMT,\$rs) # R[\$rd]=R[\$rt] >> (SHAMT,R[\$rs]) OP CODE=0x00 FUNCT=0x02,0x06
d)(0.5) sll, sllv \$rd,\$rt,(SHAMT,\$rs) # R[\$rd]=R[\$rt] << (SHAMT,R[\$rs]) OP CODE=0x00 FUNCT=0x00,0x04

1.2)(3.0) Especifique todos os requerimentos da Unidade de Controle para a CPU completa, isto é, com a ISA com projetada em aula com as 8 novas instruções acima.

..1.3)(1.0) BÔNUS: Projete o circuito da ULA **combinacional** vista em aula, com a função srl incorporada.

2) (6.0) O acesso à memória sempre foi um dos maiores gargalos para o aumento do desempenho de sistemas computacionais. A criação da memória cache veio minimizar este problema, aumentando a velocidade de acesso à memória sem, virtualmente, reduzir seu tamanho. A fim de verificar o ganho de desempenho do uso desta tecnologia nas 3 implementações de processador MIPS vista em aula, considere os seguintes tempos de atraso das unidades operativas do caminho de dados:

Unidade	A sem cache	B com cache
Operação com a ULA	200ps	200ps
Somador de 32 bits	100ps	100ps
Multiplexador	20ps	20ps
Leitura/Escrita no Banco de Registradores	80ps	80ps
Leitura da memória	200ps	150ps
Escrita na memória	300ps	150ps

Dado o trecho de programa em assembly MIPS ao lado, onde os imediatos d₀, d₁ correspondem aos valores com 2 casas decimais obtidos do número de matrícula.
Responda as questões:

a)(1.0) Para a implementação uniciclo, qual serão as maiores frequências de clock utilizáveis em A e em B? Qual o fator de desempenho de B para A para o trecho de código?

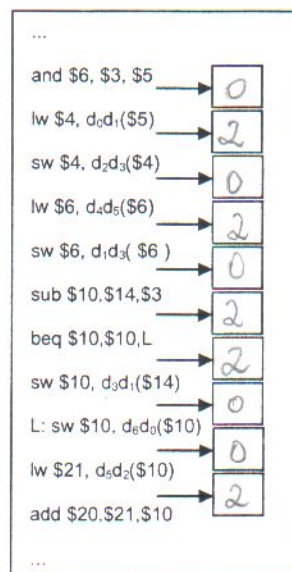
b)(1.0) Para a implementação multiciclo vista em aula, qual serão as maiores frequências de clock utilizáveis em A e em B? Qual o fator de desempenho de B para A para o trecho de código?

c)(1.0) Para uma implementação com pipeline ideal, qual serão as maiores frequências de clock utilizáveis em A e em B? Qual o fator de desempenho de B para A para o trecho de código?

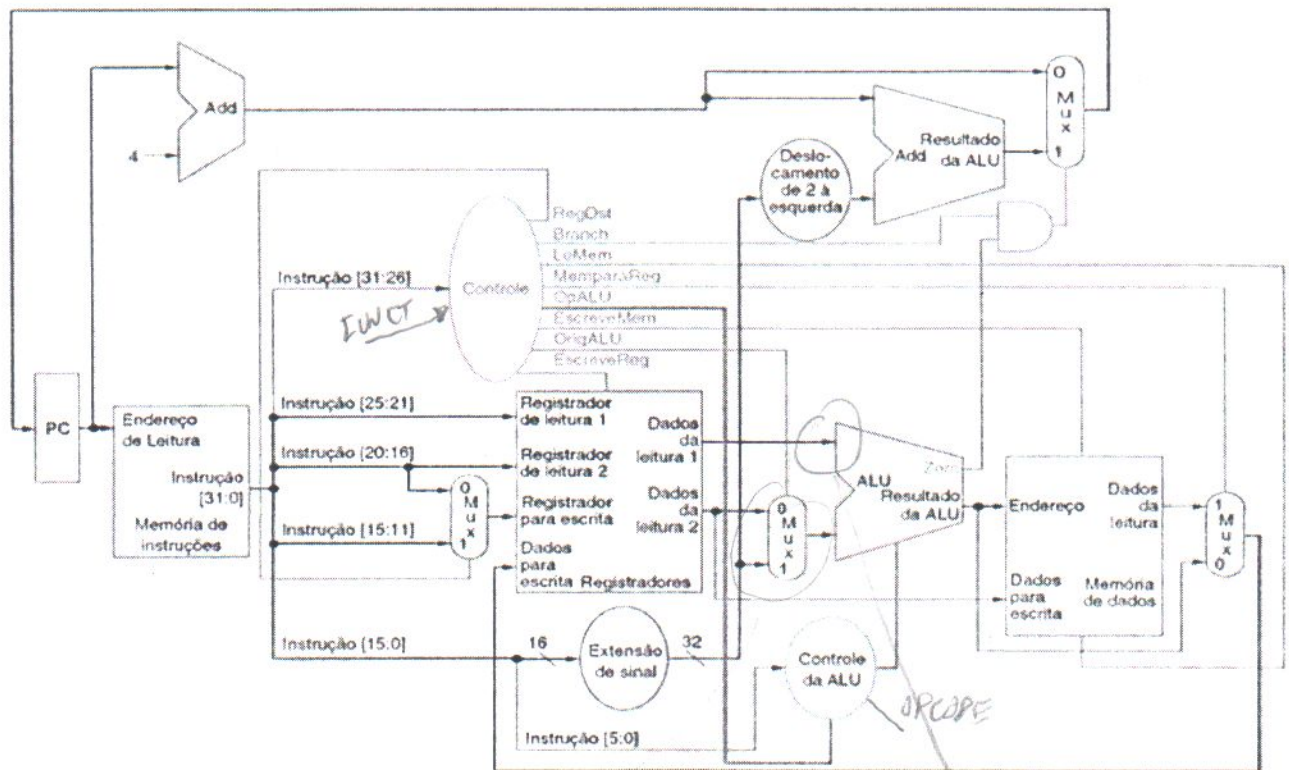
d)(1.0) Quais os tempos de execução de A e de B, para implementação em pipeline, se todos os hazards forem tratados apenas com inserção de bolhas? Indique no programa o número de bolhas necessário em cada posição. Considere que os registradores podem ser escritos e lidos no mesmo ciclo, que o branch não previsto é avaliado na etapa EX.

e)(1.0) Quais os tempos de execução de A e de B, para implementação em pipeline, se os hazards forem tratados eficientemente pelo processador com forwarding e/ou inserção de bolhas e/ou execução fora de ordem? Preencha o pipeline esquemático na folha em anexo, hachurando as unidades funcionais realmente utilizadas, indicando as instruções, bolhas e forwards sugeridos. Considere que os registradores podem ser escritos e lidos no mesmo ciclo, que o branch é avaliado na etapa ID e previsto como não tomado.

f)(1.0) BÔNUS: Considerando que cada etapa do pipeline de 5 estágios vista em aula foi dividida em 2 sub-etapas e que foram incluídas 3 unidades funcionais a mais de cada recurso do caminho de dados. Qual a CPI ideal desse novo processador?



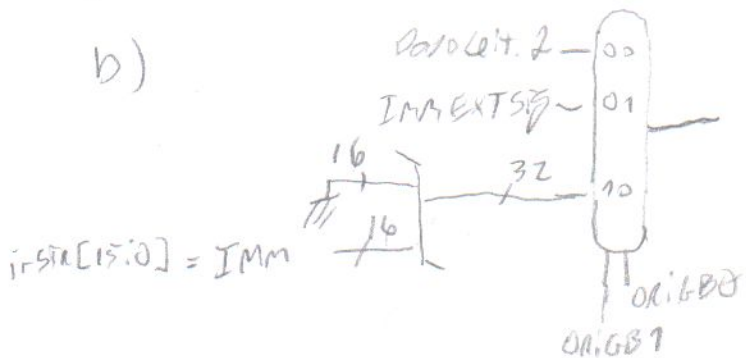
Muita hora nessa calma! Boa Sorte!!!



1.2)

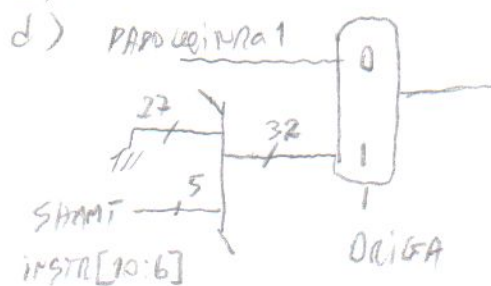
a) NÃO ALTERA

b)



c)

d)





Disciplina: CIC 116394 – Organização e Arquitetura de Computadores
Prof. Marcus Vinicius Lamar

Matrícula:

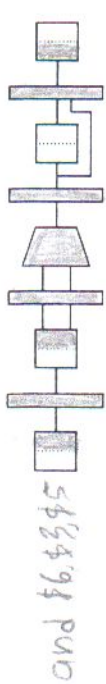
1, 2 = controle direto : sem controlador de vlc uma vez que o bloco controlador
de vlc recebe o campo INCT P1 SLL X SLL V

[illegible]

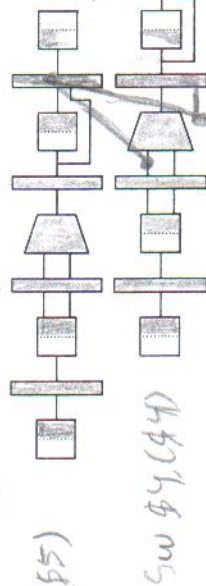
e)

SU C1 F5000P e BOLLHA

IF ID EX MEM WB



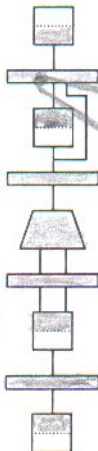
LW \$4,(\$5)



SW \$4,(\$4)



LW \$6,(\$6)



SW \$6,(\$6)



SUB \$10,\$9,\$3



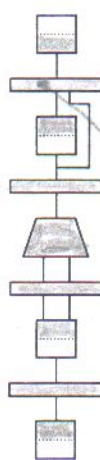
BEQ \$10,\$10,L



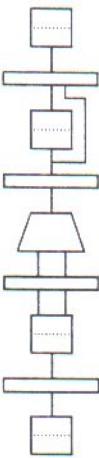
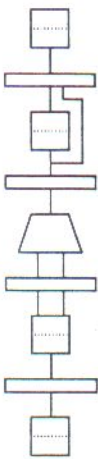
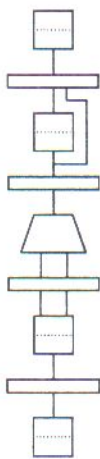
SW \$10(\$10)



LW \$21,(\$10)



ADD \$22,\$21,\$10



Universidade de Brasília

Departamento de Ciência da Computação

Disciplina: CIC 116394 – Organização e Arquitetura de Computadores

Prof. Marcus Vinicius Lamar

Nome:

Matricula:

1 BOLLHA + MEM WB → ULA
MEM WB → DATA ESCRITA

1 BOLLHA + MEM WB → ULA
MEM WB → DATA ESCRITA

1 BOLLHA + EX MEM → REG
EX MEM → REG

1 BOLLHA EX MEM → REG

1 BOLLHA + MEM WB → ULA

$$T_A = 15 \times 300P = 4,5ns$$

$$T_B = 15 \times 220P = 3,3ns$$

OAC - A

2ª Prova
Gabarito

2010/1

1)

1.1) Requerimentos da ULA:

ALU CTRL

FUNÇÃO

Requerimentos do
CONTROLE DA ULA

0000

AND A & B

0001

OR A | B

0010

ADD A + B

0110

SUB A - B

0111

SLT A < B ? 1:0

1100

NOR ~ (A | B)

1001

XOR A ^ B

1011

SLL B << A

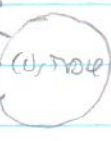
1111

SRL B >> A

OPCODE

FUNCT

OPALU



ALU CTRL

OPALU

FUNÇÃO

INSINUAÇÃO

00

ADD

LW, SW

01

SUB

DEB

10

FUNCT

TIPO-R XOR, SLL, SRL

11

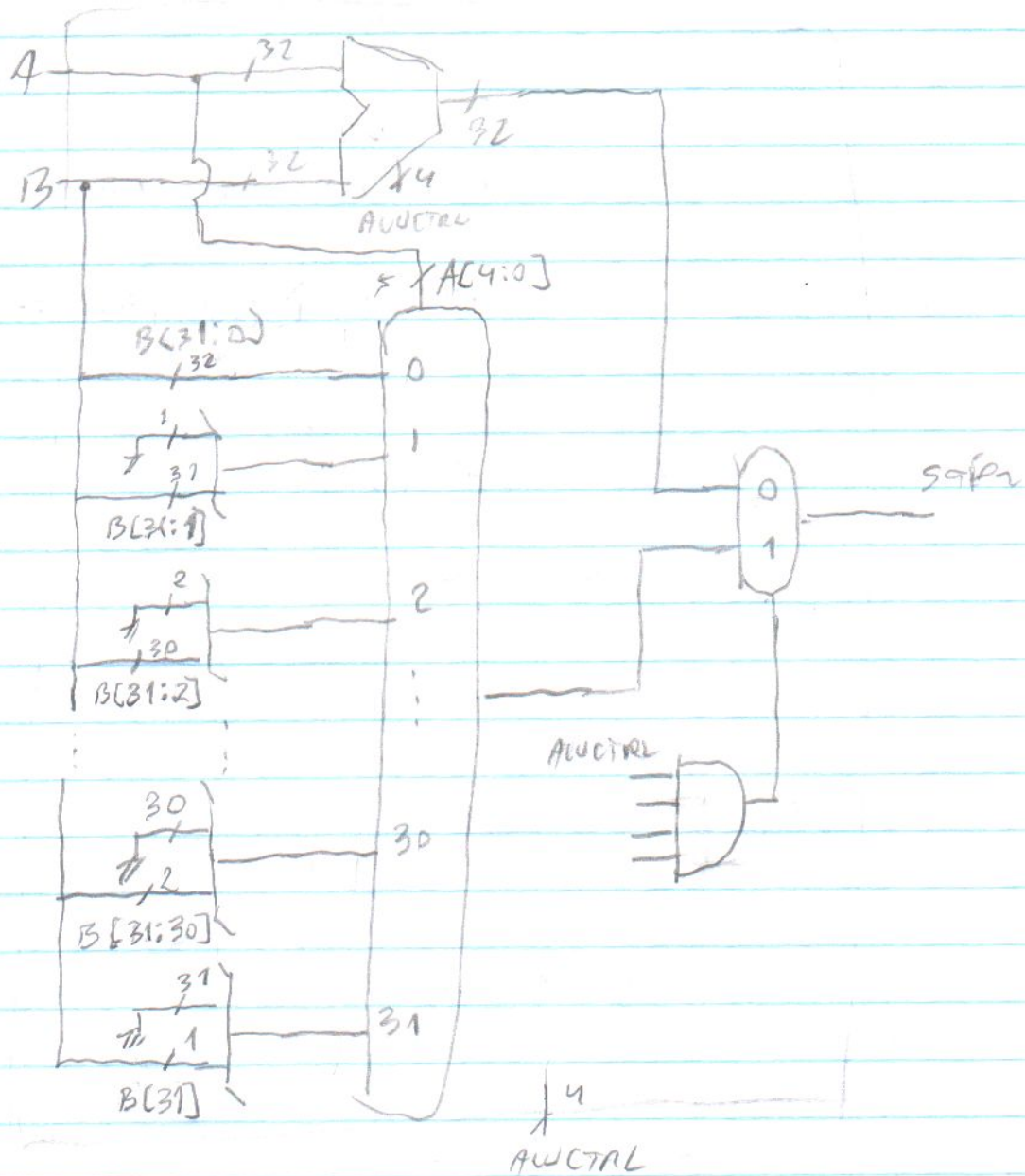
OPCODE

TIPO-I ANDI, ORI, XORI, ADDI...

Requerimento do CONTROLE DA ULA

INSTA	OPCODE	FUNCT	OPALU	ALU CTRL
LW	0X23	—	00	0010
SW	0X23	—	00	0010
DEB	0X04	—	01	0110
AND	0X00	0X24	10	0000
OR	0X00	0X25	10	0001
ADD	0X00	0X20	10	0010
SUB	0X00	0X22	10	0110
SLT	0X00	0X2A	10	0111
XOR	0X00	0X26	10	1001
SLL	0X00	0X00	10	1011
SLLV	0X00	0X04	10	1011
SRL	0X00	0X02	10	1111
SRLV	0X00	0X06	10	1111
ANDI	0X0C	—	11	0000
ORI	0X0D	—	11	0001
XORI	0X0E	—	11	1001

1.3) ULA COMBINACIONAL CI SRL $AWCTRL = 1111$



2)

a) UNICICLO : INSTANCIA + LINGA

	A ^{instancia}	B
LLW	$200 + \cancel{20} + 80 + 20 + 200 + 200 + 20 + 80 = 800$	$150 + 80 + 20 + 200 + 150 + 20 + 80 = 700$
SW	$200 + 80 + 20 + 200 + 300 = 800$	$150 + 80 + 20 + 200 + 150 = 600$
BEB	$200 + 80 + 20 + 200 + 20 = 520$	$150 + 80 + 20 + 200 + 20 = 470$
TIPO-R	$200 + 80 + 20 + 200 + 20 + 80 = 600$	$150 + 80 + 20 + 200 + 20 + 80 = 550$

$$T_A = 800 \text{ ps} \rightarrow f_A = 1,25 \text{ GHz} //$$

$$T_B = 700 \text{ ps} \rightarrow f_B = 1,428 \text{ GHz} //$$

$$\eta = \frac{T_A}{T_B} = \frac{10 \times 1 \times 800 \text{ p}}{10 \times 1 \times 700 \text{ p}} = 1,1428 \quad \text{B é } 1,1428 \text{ vezes + rápido} //$$

b) MULTICICLO : ETAPA + LINGA

	A	B
leitura mem	200p	150p
leitura REG	80	80
OP ALU	$20 + 200 = 220$	$20 + 200 = 220$
LE mem	200	150
ESC mem	300	150
ESC REG	$20 + 80 = 100$	$20 + 80 = 100$

$$T_A = 300 \text{ ps} \rightarrow f_A = 3,33 \text{ GHz} //$$

$$T_B = 220 \text{ ps} \rightarrow f_B = 4,54 \text{ GHz} //$$

$$\eta = \frac{T_A}{T_B} = \frac{42 \times 300}{42 \times 220} = 1,3636 \quad \text{B é } 1,3636 \text{ vezes + rápido} //$$

	A	B	
c) IF	$20 + 200 = 220$	$20 + 150 = 170$	Pipeline Ideal
ID	80	80	
EX	$20 + 200 = 220$	$20 + 200 = 220$	
MEM	300	150	
WB	$20 + 80 = 100$	$20 + 80 = 100$	

Logo:

$$T_A = 300 \text{ ps} \rightarrow f_A = 3,33 \text{ GHz}$$

$$T_B = 220 \text{ ps} \rightarrow f_B = 4,54 \text{ GHz}$$

$$N = \frac{T_A}{T_B} = \frac{1 \times 300}{1 \times 220} = 1,3636 \quad B \text{ é } 1,36 \text{ vezes + rápido}$$

d) $T_A = 20 \times 300 \text{ p} = 6 \text{ ns}$
 $T_B = 20 \times 220 \text{ p} = 4,4 \text{ ns}$

e) com execução Fora de Ordem, Forward e BOLA

LW \$4, (\$5)

and \$6, \$3, \$5) \rightarrow MEMWB \rightarrow ALU + MEMWB \rightarrow Escrita

SW \$4, (\$4)

LW \$6, (\$6)

SUB \$10, \$14, \$13 \rightarrow MEMWB \rightarrow ALU + MEMWB \rightarrow Escrita

SW \$6, (\$6)

BEQ \$10, \$10, 2

$$\left. \begin{array}{l} \text{EX MEM} \rightarrow \text{ALU} \\ \text{EX MEM} \rightarrow \text{ALU} \end{array} \right\} \begin{array}{l} T_A = 11 \times 300 = 3,3 \text{ ns} \\ T_B = 11 \times 220 = 2,42 \text{ ns} \end{array}$$

1 BOLA

LW \$21, (\$10)

SW \$10, (\$10)

add \$20, \$21, \$10 \rightarrow MEMWB \rightarrow ALU

f) $IPC = \frac{2 \times 4}{(1+3)} = 2 \rightarrow CPI = \frac{1}{2} = 0,5 \text{ ciclos}$
 $\frac{1 \text{ inst} \times 4}{1 \text{ inst} \times 4}$