



Nome: GABARITO

d0 d1 / d2 d3 d4 d5 d6 d7 d8

Matrícula: 18/0123456

Prova 2

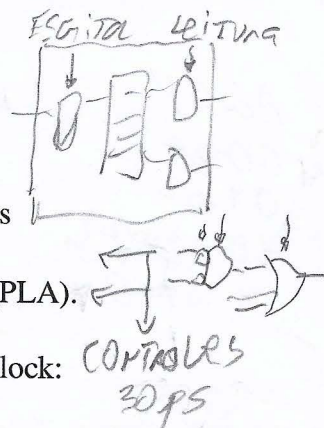
- 1) (2.0) Dado o processador RISC-V Pipeline na figura em anexo e sua tabela verdade do controle.
 - a) (1.0) Complete o caminho de dados do processador acrescentando e definindo todos os sinais e blocos faltantes. Identifique e enumere ①②③④... as modificações feitas
 - b) (1.0) Complete adequadamente a tabela verdade do bloco de controle do processador acrescentando e definindo os sinais faltantes. Considere que o beq é **não** previsto.
- 2) (6.0) Mantendo a compatibilidade binária com a ISA RISC-V RV32I implemente as instruções abaixo nos processadores Uniciclo e Multiciclo vistos em aula, indicando nas folhas em anexo as modificações necessárias nos caminhos de dados e nos blocos de controle.
 - a) (2.0) addi rd, rs1, IMM
 - b) (2.0) auipc rd, IMM
 - c) (2.0) andi rd, rs1, IMM

- 3) (3.0) Considerando os seguintes tempos dos elementos dos caminhos de dados em anexo (sem as modificações da questão 2, mas com as modificações da questão 1):

- Qualquer operação com a ULA: 200ps
- Somadores de 32 bits: 100ps
- Leitura/escrita nas memórias de dados e instruções: 500ps
- Todos os registradores: tempo de setup 50ps e tempo clock-output 50ps
- Tempo de propagação de todos os multiplexadores/decodificadores 40ps
- Qualquer porta lógica (qualquer número de entradas): 10ps
- Circuitos combinacionais são sempre realizados por soma de produtos (PLA).
- Fios sem atraso

Para a ISA reduzida desenvolvida em aula calcule as máximas frequências de clock:

- a) (1.0) Processador Uniciclo
- b) (1.0) Processador Multiciclo
- c) (1.0) Processador Pipeline (sem qualquer hazard e com o banco de registradores escrito na borda de descida do clock).



a) UNICICLO: instrução + leitura → 2W

$$T = 50 + 500 + 50 + 40 + 40 + 200 + 500 + 40 + 40 + 50 = 1470 \text{ ps}$$

PC ou saída ULA REG MUX MUX ULA MEM MUX DECOD TSETUP REG

$f = 680,2 \text{ MHz}$

b) MULTICICLO: ETAPA + LEITA → LEITURA da MEM (instr ou dado)

$$T = 50 + 40 + 500 + 50 = 640 \text{ ps}$$

PC ou saída ULA TCO MUX MEM IR ou MUX

$f = 1,5625 \text{ GHz}$

c) PIPELINE: ETAPA + LEITA → LEITURA MEM INSTRUÇÃO OU DADO

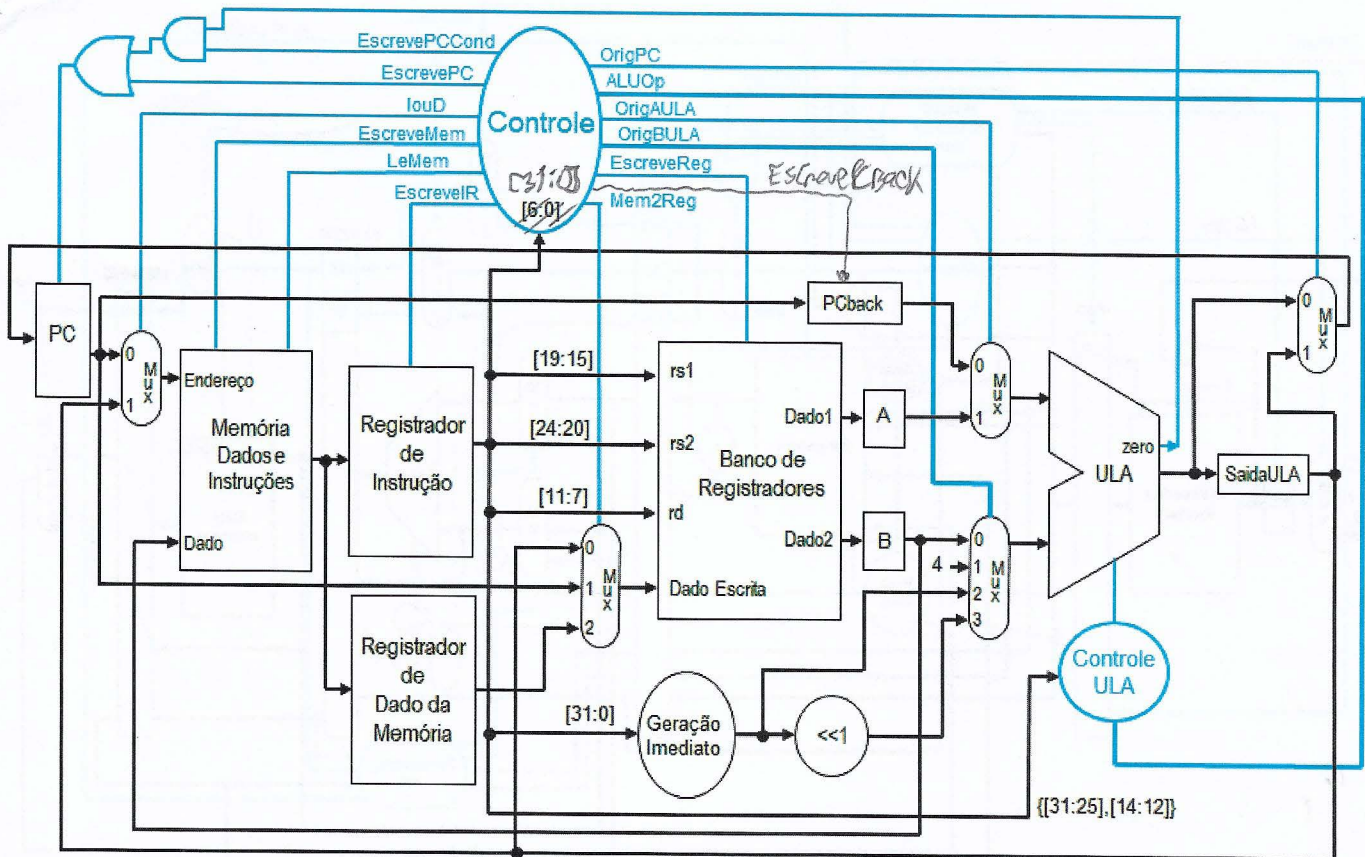
$$T = 50 + 500 + 50 = 600 \text{ ps}$$

PC ou EX MEM TCO MEM TSV

$f = 1,666 \text{ GHz}$

OBS.: MUX ANTES do PC!

Boa Sorte!!!



ALUOP
 00 → +
 01 → -
 10 → FUNCY
 11 → AND

ENTRADA DA CONTROLE → 32 BITS DA INSTRUÇÃO
 GERADOR DE IMEDIATO MOVIMENTA E/OU CRIA NOVAS INSTRUÇÕES
 NOVO SINAL DE CONTROLE

a) ALU CTRL 0,5
 b) 0 0,5
 c) ENTRADA CONTROLE 0,5

