



Nome: GABANIDO

Matrícula: 09/1234567

## Prova 2

1) (5.0) Na implementação do processador MIPS pipeline desenvolvida durante o curso, várias instruções bastante úteis estão ausentes. Mantendo a compatibilidade do código em linguagem de máquina à ISA MIPS:

1.1)(3.0) Redefina os requerimentos da ULA e seu controle (tabela verdade), e modifique adequadamente o caminho de dados do verso desta folha para implementar as seguintes instruções:

a)(0.5) nor \$rd, \$rs, \$rt	# R[\$rd]=~(R[\$rs] + R[\$rt])
b)(0.5) nori \$rt,\$rs,IMM	# R[\$rt]=R[\$rs] op {16'b0,IMM}
c)(1.0) sllv,srlv,srav \$rd,\$rs,\$rt	# R[\$rd]=R[\$rs] (<<,>>,>>) R[\$rt]
d)(1.0) jal LABEL	# PC=EndLABEL R[\$ra]=PC+4

1.2)(2.0) Especifique todos os requerimentos da Unidade de Controle para a CPU completa, isto é, com a ISA com projetada em aula com as 6 novas instruções acima.

2) (5.0) O acesso à memória é um dos maiores gargalos para o aumento do desempenho de sistemas computacionais. A criação da memória cache veio minimizar este problema, aumentando a velocidade de acesso à memória sem, virtualmente, reduzir seu tamanho. A fim de verificar o ganho de desempenho do uso desta tecnologia nas 3 implementações do processador MIPS vista em aula, considere os seguintes tempos de atraso das unidades operativas do caminho de dados:

Unidade	A sem cache	B com cache
Operação com a ULA	250ps	250ps
Somador de 32 bits	150ps	150ps
Lógica Combinacional do Controle	80ps	80ps
Lógica Combinacional do Controle da ULA	30ps	30ps
Multiplexadores	20ps	20ps
Leitura/Escrita no Banco de Registradores	100ps	100ps
Leitura da memória de Instruções	1ns	200ps
Leitura da memória de Dados	2ns	220ps
Escrita na memória de Dados	2ns	250ps

Dado o trecho de programa em assembly MIPS ao lado, onde o registrador \$6 possui um endereço válido diferente de zero.

Responda as questões:

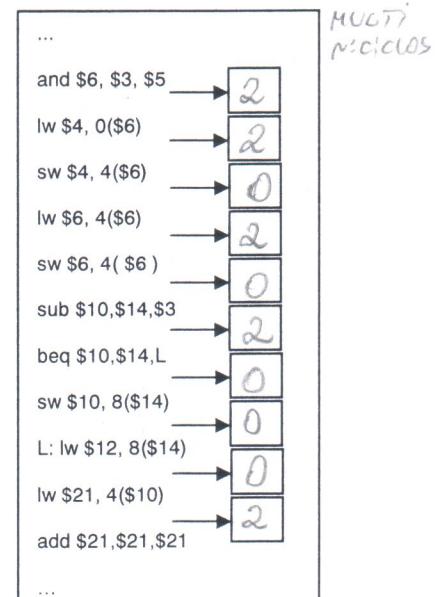
a)(1.0) Para a implementação uniciclo, qual serão as maiores frequências de clock utilizáveis em A e em B? Qual o fator de desempenho de B para A para o trecho de código?

b)(1.0) Para a implementação multiciclo vista em aula, qual serão as maiores frequências de clock utilizáveis em A e em B? Qual o fator de desempenho de B para A para o trecho de código?

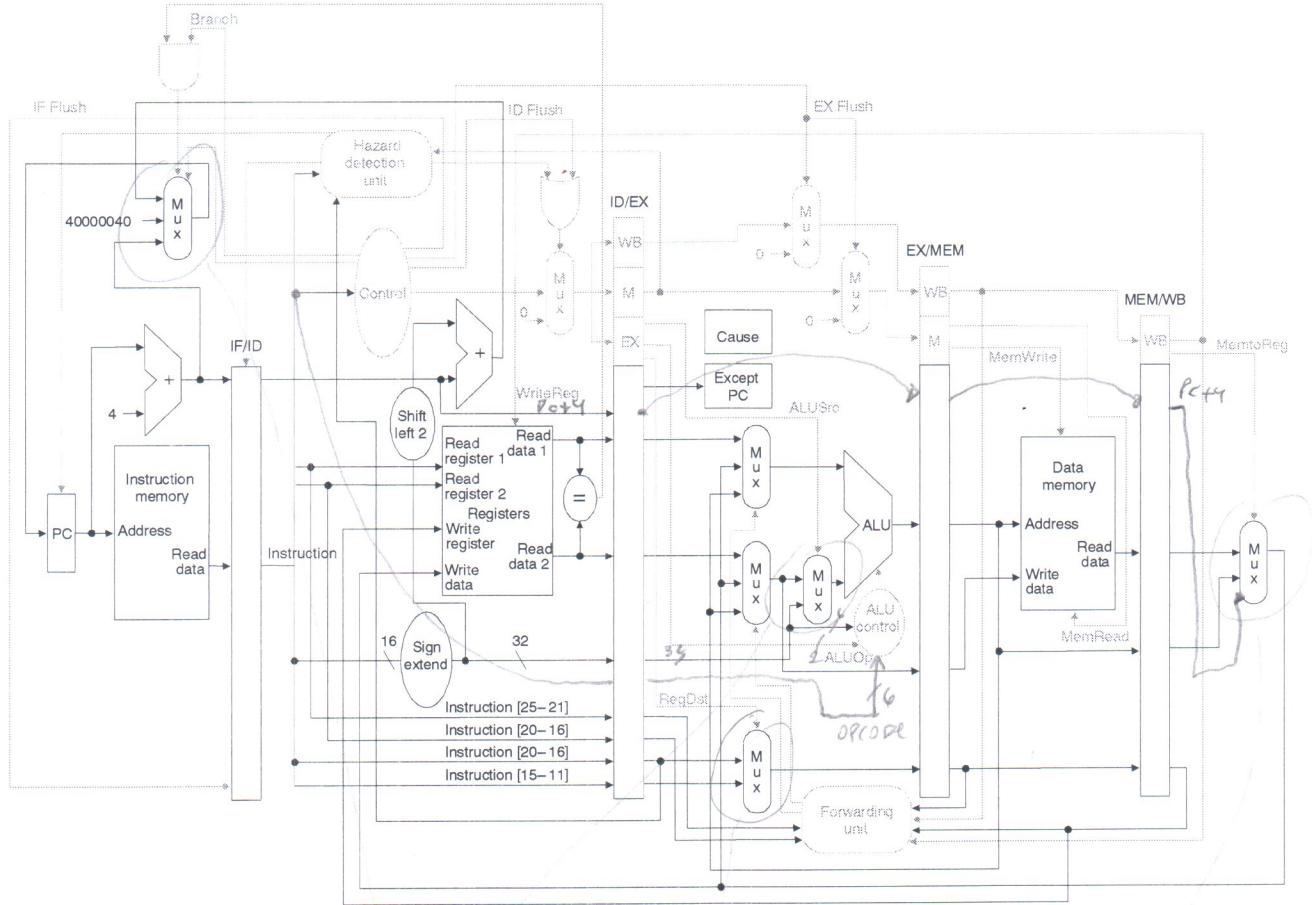
c)(1.0) Quais os tempos de execução de A e de B, para implementação em pipeline, se todos os hazards forem tratados apenas com inserção de bolhas? Indique no programa o número de bolhas necessário em cada posição. Considere que os registradores podem ser escritos e lidos no mesmo ciclo, que o branch previsto como não-tomado é avaliado na etapa EX.

d)(2.0) Quais os tempos de execução de A e de B, para implementação em pipeline, se os hazards forem tratados eficientemente pelo processador com forwarding e/ou inserção de bolhas e/ou execução fora de ordem? Preencha o pipeline esquemático na folha em anexo, hachurando as unidades funcionais realmente utilizadas, indicando as instruções, bolhas e forwards sugeridos. Considere que os registradores podem ser escritos e lidos no mesmo ciclo, que o branch é avaliado na etapa ID e previsto como não-tomado.

Bonus: (1.0) Um processador MIPS uniciclo realiza uma tarefa em 10ms. Considerando uma implementação em pipeline de 10 estágios com aceleração ideal, responda: (a) O que é aceleração ideal? (b) Qual o tempo de execução da tarefa neste processador?



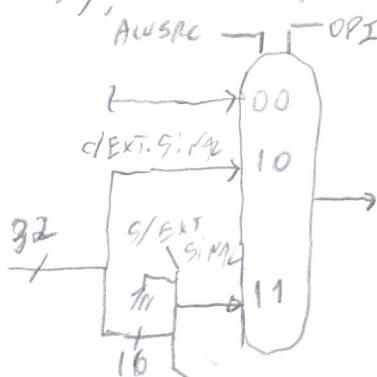
Boa Sorte!!!



a) NÃO MODIFICA NADA SÓ ULG

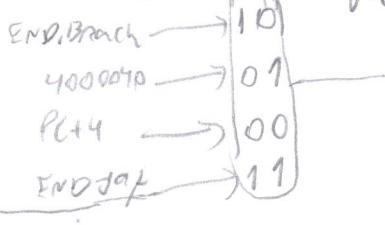
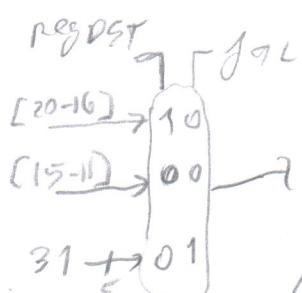
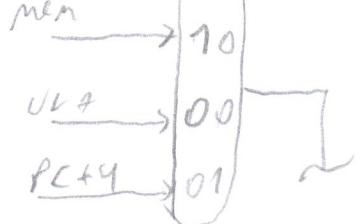
Figura 1: Caminho de Dados Pipeline com tratamento de exceções.

b), OPSEL → ID/EX → ALU/MUL



c) NÃO MUDA NADA / SÓ a ULG

d) mem2reg fal



INSIN. 26  
28  
(PC+4)(31, 28)  
(31, 28)

Branch  
CF 260  
fal



Universidade de Brasília

Departamento de Ciência da Computação

201012

Disciplina: CIC 116394 – Organização e Arquitetura de Computadores  
Prof. Marcus Vinicius Lamar

Z-PROVQ

Nome: Gabarido

Matrícula:

1,20

EX EX EX WB EL WB M&M MEM IO EX EQ IO IO

íP : Io EX MÉM WB  
and \$6,\$3,\$5      EXP MÉM → ULA

lw \$4,0(\$6)      MÉM → WB  
sw \$4,4(\$6)

lw \$6,4(\$6)

sw \$6,4(\$6)

sw \$10,\$14,\$3

BEQ \$10,\$14,

sw \$10,\$14

l: lw \$12,\$14

lw \$21,\$10

add \$21,\$21,\$21



# Universidade de Brasília

Departamento de Ciéncia da Computação

Disciplina: CIC 116394 - Organização e Arquitetura de Computadores  
Prof. Marcus Vinicius Lamar

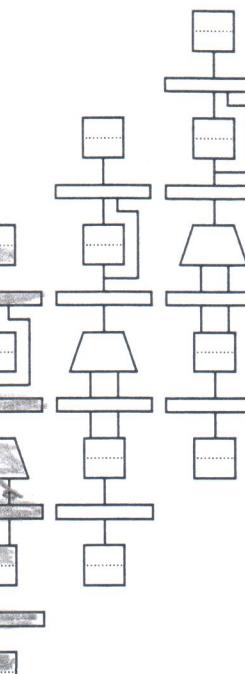
Matrícula: 29 Prova  
Nome: Gabo.110

Matrícula: 29 Prova

MÉM → ULA  
+1 Bolha { MÉM → ULA  
MÉM → DADO ESCrita

+1 Bolha { EXMEM → REG

+1 Bolha { MÉMWB → ULA  
MÉMWB → ULA



OAC TURMA A  
2º Período  
Gabarito

2010/2

1)

### 1.1) Requerimentos da ULA

<u>ALUCTRL</u>	<u>Função</u>	<u>OPCODE</u>	Requerimento do controlador da ULA	
0000	AND			
0001	OR		X6	
0010	ADD		FUNCT 6	ALUCTRL
0110	SUB		OPAU X2	
0111	SLT			
1100	NOR	OPAU	Função	instrução
1011	(A < B) lógico	00	ADD	LW, SW
1111	(A > B) lógico	01	SUB	BEB
1110	(A > B) aritmético	10	FUNCT	Tipo-R
		11	OPCODE	Tipo-I

Estruturas

Saída

<u>INSTR</u>	<u>OPCODE</u>	<u>FUNCT</u>	<u>OPAU</u>	<u>ALUCTRL</u>
LW	0x23	-	00	0010
SW	0x2B	-	00	0010
BEB	0x04	-	01	0110
AND	0x00	0x24	10	0000
OR	0x00	0x25	10	0001
ADD	0x00	0x20	10	0010
SUB	0x00	0x22	10	0110
SLT	0x00	0x24	10	0111
NOR	0x08	0x27	10	1100
NORI	0x14	-	11	1100
↳ ou valor de OPCODE não usado				
SLLV	0x00	0x04	10	1011
SRLV	0x00	0x06	10	1111
SRAV	0x00	0x07	10	1110
JAL	0x03	-	XX	XXXX

$$B.N. \\ 20 + 30 \\ C_{TL} \\ C_{TL} + C_{LA} = 110 - 100 \\ 10 \text{ amais}$$

2) a) UNICICLO: instrução + longa

	A s/cache	B c/cache
LW	$1000 + 100 + 250 + 2000 + 20 + 100 = 3480$	$800 + 100 + 250 + 220 + 20 + 100 = 900$
SW	$1000 + 100 + 20 + 250 + 2000 = 3380$	$200 + 100 + 20 + 250 + 250 = 830$
BEQ	$1000 + 100 + 20 + 250 + 20 = 1400$	$200 + 100 + 20 + 250 + 20 = 600$
T-R	$1000 + 100 + 20 + 250 + 20 + 100 = 1500$	$200 + 100 + 20 + 250 + 20 + 100 = 700$

$$TA = 3480 \text{ ps} \rightarrow f_A = 287,35 \text{ MHz}$$

$$TB = 900 \text{ ps} \rightarrow f_B = 1,111 \text{ GHz} //$$

$$\eta = \frac{t_A}{t_B} = \frac{N.I \times 1 \times 3480}{N.I \times 1 \times 870} = 3,866 //$$

b) MULTICICLO: ENTRADA + LENTA OBS.: MEM INST = PADS //

	A	B
Leitura Mem	$2000 + 20 + 80$	$220 + 20 + 80$
Leitura Reg	$100 + 80$	$100 + 80$
OP ALU	$250 + 30 + 80$	$250 + 30 + 80$
Lê Mem	$2000 + 20 + 80$	$220 + 20 + 80$
ESC Mem	$2000 + 20 + 80$	$250 + 20 + 80$
ESC Reg	$20 + 100 + 80$	$20 + 100 + 80$

$$TA = 2100 \text{ ps} \rightarrow f_A = 476,17 \text{ Hz}$$

$$TB = 360 \text{ ps} \rightarrow f_B = 2,777 \text{ GHz} //$$

$$\eta = \frac{t_A}{t_B} = \frac{N.CIC \times 2100}{N.CIC \times 360} = 5,833 //$$

c) Pipeline:

	A	B
IF	1000	200
IO	150 <sup>→ 50 nops</sup>	150
EX	$20+20+150 = 190$ <sup>+ 10 nops</sup>	$20+20+250 = 290$ <sup>+ 10 nops</sup>
MEM	2000	250
WB	$20+100 = 120$	$20+100 = 120$

$$T_A = 2000 \rightarrow f_A = 500 \text{ MHz}$$

$$T_B = 290 \rightarrow f_B = 3.44 \text{ GHz}$$

ABE: \$6 ≠ 0

↳ \$3 ≠ 0

↳ \$10 ≠ \$14

↳ BEM N. Tomar

$$t_A = 21 \times 2000 = 42 \text{ ns} //$$

$$t_B = 21 \times 290 = 6,09 \text{ ns} //$$

BONUS: Ciclo  $\rightarrow t = 10 \text{ ns}$

Pipeline 10 estágios

Aceleração ideal: 10

↳ 0

b)  $t_{pipe} = 1 \text{ ms}$

a)

Aceleração Ideal:

- N.º de instruções (latência  $\rightarrow 0$ )

- estágios balanceados  $\rightarrow$  menor latência

- corações ideais  $\rightarrow$  menor Hazards