Disciplina: CIC 116394 – Organização e Arquitetura de Computadores – Turma A 2010/1 Prof. Marcus Vinicius Lamar d₀ d₁ / d₂ d₃ d₄ d₅ d₆ d₇

Prova 1

- 1) (9.0) O padrão IEEE 754 para representação de números reais em formato de ponto flutuante foi criado a fim de tentar normatizar a representação desses números. No entanto, dependendo da aplicação do processador, outros formatos podem ser mais eficientes. A fabricante de processadores gráficos (GPU) NVIDIA, observando que para fins de visualização gráfica, a representação em ponto flutuante não necessita ser tão precisa e a fim de aumentar a capacidade de processamento de suas GPUs criou um novo formato. A NVIDIA utiliza um formato *half* de ponto flutuante, baseado no padrão IEEE 754 (*single* e *double*), de apenas 16 bits; sendo 1 bit para indicar o sinal, 5 bits para representar o expoente e o restante dos bits para representar a fração.
- a) (0.5) Considerando que as mesmas características do IEEE754 foram adotadas para a representação do 0 (zero), $\pm \infty$ ($\pm infinito$) e NaN (*Not A Number*), escreva em hexadecimal um exemplo de cada uma dessas 4 entidades.
- b) (0.5) Calcule a faixa dinâmica de representação do formato *half*, isto é, calcule em decimal o menor valor positivo representável e o maior valor positivo representável sem overflow ou underflow.
- c) (2.0) Com esse novo formato, processadores de 32 bits são capazes de armazenar um número complexo utilizando apenas um registrador, colocando a parte real nos 16 bits mais significativos e a parte imaginária nos 16 bits menos significativos. Escreva em hexadecimal o conteúdo dos registradores \$f0 e \$f1:

$$\$f0 = \pi - \frac{\pi}{2}i$$
 $\$f1 = -0.000114440917969 + 6.144 \times 10^4 i$

- d) (3.0) Escreva um procedimento em Assembly MIPS que dado um número complexo *half* armazenado no registrador \$f0 retorne em \$f12 a parte real e em \$f13 a parte imaginária, ambos no formato IEEE754 precisão simples.
- e) (1.0) Um core de um processador NVIDIA da série GeForce 9400GT, mostrada na Fig.1, possui um clock de 550MHz e é capaz de realizar esta operação em 5 ciclos. Qual o fator de desempenho da sua implementação em d), utilizando um processador MIPS uniciclo de frequência de clock de 1GHz?
- f) (1.0) Uma placa de vídeo NVIDIA possui 64Mbytes de memória. Supondo que toda memória seja utilizada para armazenar uma imagem quadrada, onde cada pixel é representado com 24 bits (8 bits para cada componente de cor RGB). Qual o tamanho máximo, em pixels, desta imagem? Qual o número de cores que podem ser representadas?



Figura 1: Placa de Vídeo GeForce 9400GT

g) (1.0) Implemente a instrução abaixo, existente na arquitetura de uma GPU NVIDIA, como uma pseudo instrução MIPS. (Obs.: Pseudo instruções não podem acessar a memória e LABEL deve ser obrigatoriamente um endereço de 32 bits qualquer)

2) (2.0) Dado o código em Assembly MIPS ao lado, em que o label INICIO corresponde ao endereço 0x00400000 da memória.

O que será escrito na tela? Justifique.

INICIO: lui \$a0, 0xFFd₃d₄ la \$t1,0x0810000B la \$t2,JUMP

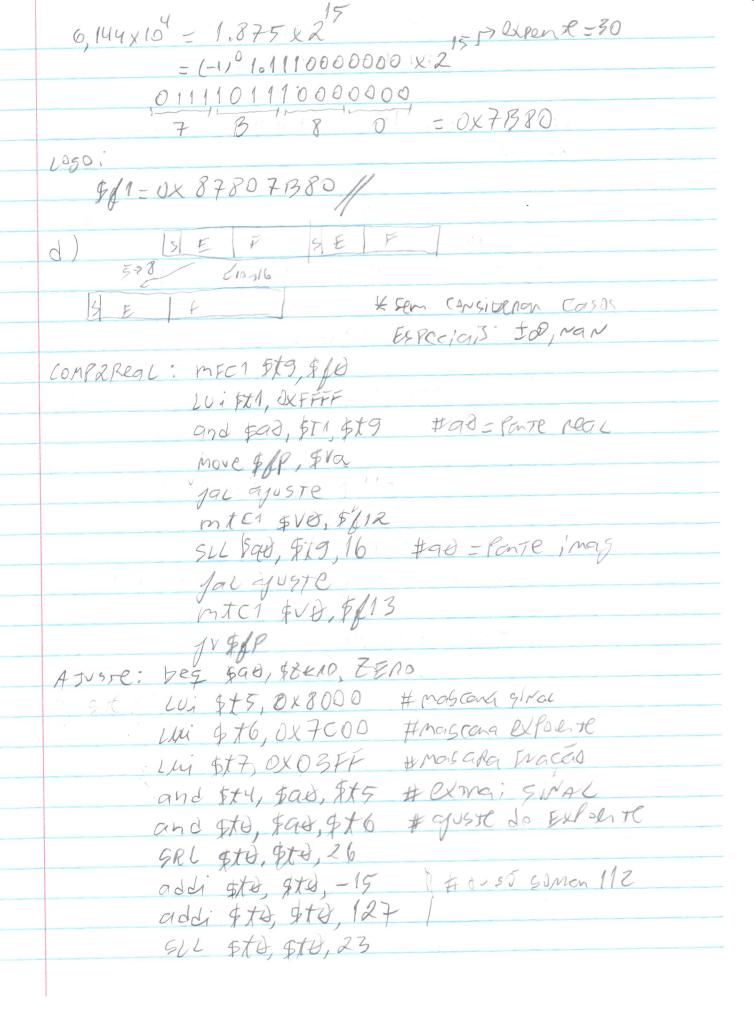
sw \$t1,0(\$t2)

JUMP: beq \$a0,\$zero,FIM la \$t1, 0x208400d₅d₆

> sw \$t1,20(\$t2) li \$a0, 0x00d₃d₄

FIM: li \$a1, 0xFFd₃d₄

li \$v0,1 syscall



OR Sto Sto, \$ 14 # INSERC SINGE and \$13, \$ad, \$17 # ayuste Fracas GRL 9+3, \$+3, 3 or \$ va, \$ta, \$t3 # Inslie Fracas ZERO: MORGUZ, \$ZERO 1v fra Ng/a e) t1= 5x 1 = 10h5 $7 - \frac{1}{10} = \frac{100}{10} = \frac{37 \times 1}{10} = \frac{3705}{10}$ $7 - \frac{1}{10} = \frac{100}{10} = \frac{0,27}{10}$ 1) Menoriai 69 MBYtes Imagen: LXLX3 bytes = 69MBytes LXL = 69 M + L= 169 M - 8 KDYTCS L= 4729,65 4 Logo L=4729 x4729 pixels N-ceres = 229 = 16.777.216 coros/ 9) Rept \$11 LABEC BEQ \$\$1, \$2=20, SA; add; \$t1, \$t1,-1 LUj gat, LAGRE[31.16) OR; fat, bat, LAGECCIS...O)

2)			
V	iricio: Lui	gat, DXFF23	20.10.0
04		\$11,00810	Petel
08	Sa ORI	\$11, \$11,000B	-> \$\$1 = 0000 1000 0001
00		\$t2, Junf (31:16)	0000 0000 8000 1017
10	co Orgi	\$12 \$12, JUNGCIS:0	
14	5W	\$ 11,0(\$+2)	A
18	JUM! 379	s far frene Fin	-> 1 0x40002C
10	Mu	\$11,0x2084	V ,
20	J. JLI	\$t1, 571, 0x0045	
24	Ju Sw	\$t1, 20 (\$t2)	
28	21	\$98,00023	
20	Fim: Lig	F91, 0x FF23	4
30	Li	\$ ve, 1 > pni	ns in
34	549	Call	
1090: Sera	escrito 9	Fat em secima	_
900 -	0x FF23 0	000	

Sera MOS MOS MOS 0: -14483456