



d0 d1 / d2 d3 d4 d5 d6

Nome: GABARITO Matrícula: 00/990000

Prova 2

1) (6.0) Na implementação MIPS uniciclo simplificada desenvolvida durante o curso várias instruções bastante úteis estão ausentes. Mantendo a compatibilidade do código em linguagem de máquina à ISA MIPS para cada instrução abaixo:

- 1.1) modifique adequadamente o caminho de dados no verso desta folha;
- 1.2) modifique adequadamente a unidade de controle.

a)(1,0) div \$rs,\$rt	# Lo=R[rs]/R[rt] Hi=R[rs]%R[rt]
b)(1,0) mfhi \$rd	# R[rd]=Hi
c)(2,0) bgezal \$rs, LABEL	# se R[rs]>=0 então vai para LABEL e armazena endereço de retorno em \$ra considere opcode=0x15 e rt=0x00
d)(2,0) pop \$rd	# Retira valor da pilha e coloca em \$rd, e atualiza o topo (\$sp) considere opcode=0x00 funct=0x1d rs=0x00 e rt=0x00

2) (5.0) Considerando apenas os seguintes tempos de atraso do bloco operativo de uma CPU MIPS:

Operação Lógica com a ULA (and,or): 200ps
Operação Aritmética com a ULA (add,sub,slt): 250ps
Leitura do Banco de Registradores: 100ps
Escrita no Banco de Registradores: 150ps
Leitura da memória: 400ps
Escrita na memória: 600ps

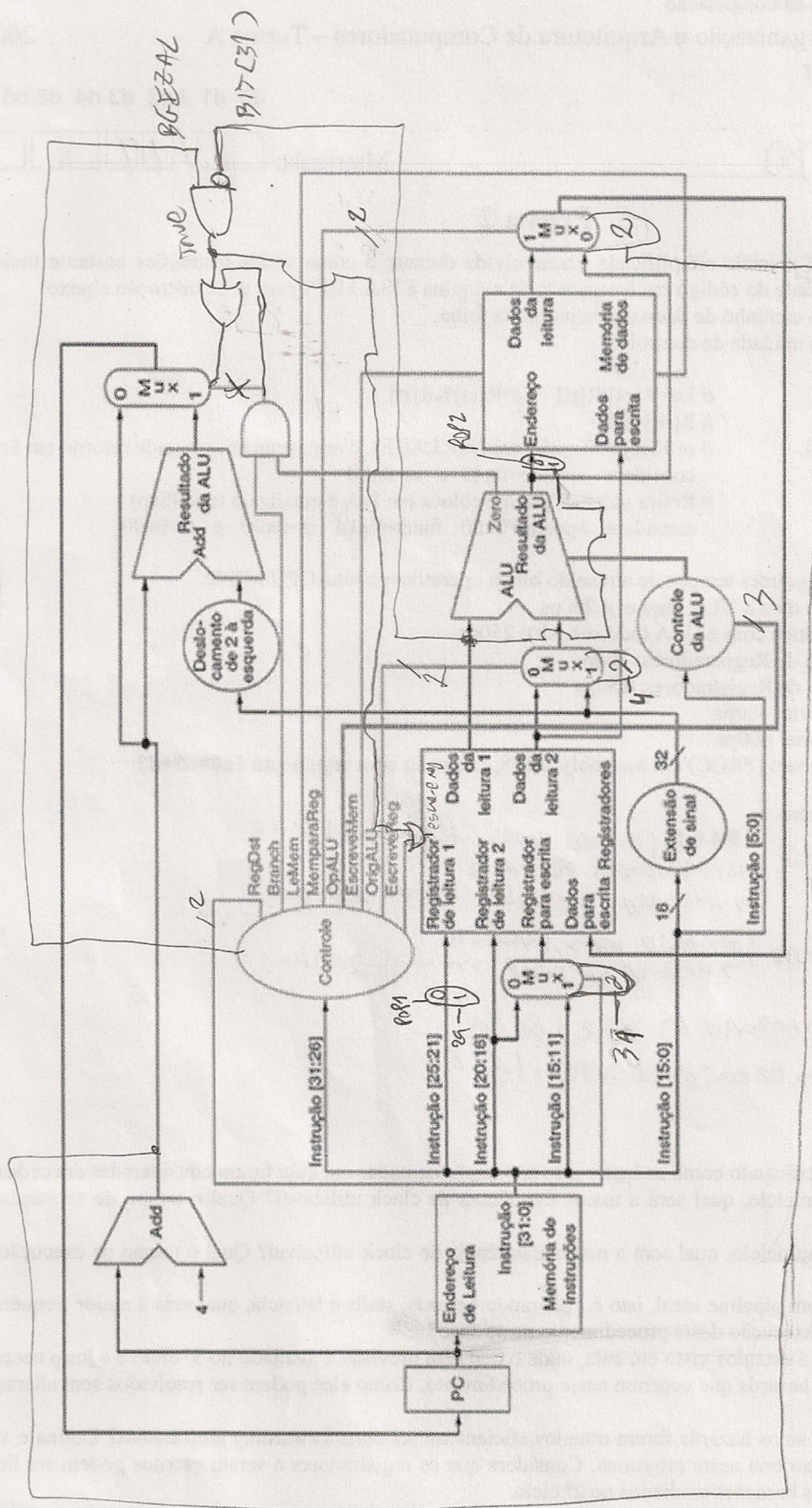
Com relação ao seguinte procedimento (PROC) em assembly MIPS, chamado com argumento \$a0=d2+d3:

```
1 PROC: and $t0,$zero,$zero
2 lw $t4,100($fp) # $t4 = 1 } HAZARD DADOS: FORWARD + 1 BOLHA
3 sub $t1,$a0,$t4 } HAZARD DADOS FORWARD
4 LOOP: beq $t1,$t4, OUT } HAZARD DADOS FORWARD
5 div $a0,$t1 } HAZARD CONTROL, PREVISÃO, 2 BOLHAS
6 mfhi $t2
7 bne $t2,$zero, OUT2 } HAZARD DADOS, FORWARD
8 add $t0,$t0,$t4 } HAZARD CONTROL, PREVISÃO 2 BOLHAS
9 OUT2: sub $t1,$t1,$t4
10 j LOOP } HAZARD CONTROL, 1 BOLHA
11 OUT: slt $v0,$t0,$t4
12 jr $ra } HAZARD CONTROL, 1 BOLHA
13 sub $t0,$t0,$t4
14 add $t2,$t1,$t3
```

Responda as questões abaixo especificando como as instruções não implementadas em aula foram consideradas em cada caso:

- a)(0,5) Para uma implementação uniciclo, qual será a maior frequência de clock utilizável? Qual o tempo de execução deste procedimento neste caso?
- b)(0,5) Para uma implementação multiciclo, qual será a maior frequência de clock utilizável? Qual o tempo de execução deste procedimento neste caso?
- c)(0,5) Para uma implementação com pipeline ideal, isto é, ignorando hazards, stalls e latência, qual será a maior frequência de clock utilizável? Qual o tempo de execução deste procedimento neste caso?
- d)(1,0) Considerando o pipeline de 5 estágios visto em aula, onde o beq sem previsão é avaliado no 3º ciclo e o jump necessita 2 ciclos. Identifique e classifique os hazards que ocorrem neste procedimento. Como eles podem ser resolvidos sem alteração no programa? (Resposta nesta folha!)
- e)(1,0) Qual o tempo de execução, se os hazards forem tratados eficientemente com forwarding e/ou bolhas? Defina o tipo de previsão mais adequado ao beq e ao bne neste programa. Considere que os registradores a serem escritos podem ser lidos no mesmo ciclo que serão escritos e os branches avaliados no 2º ciclo.
- f)(1,5) Para os tempos dos elementos funcionais do caminho de dados definidos acima projete um workload (com instruções lógicas, aritméticas, loads, stores, branches e jumps) para o qual as implementações uniciclo e multiciclo tenham o mesmo desempenho. Que conclusões você tira?

Boa Sorte!!!



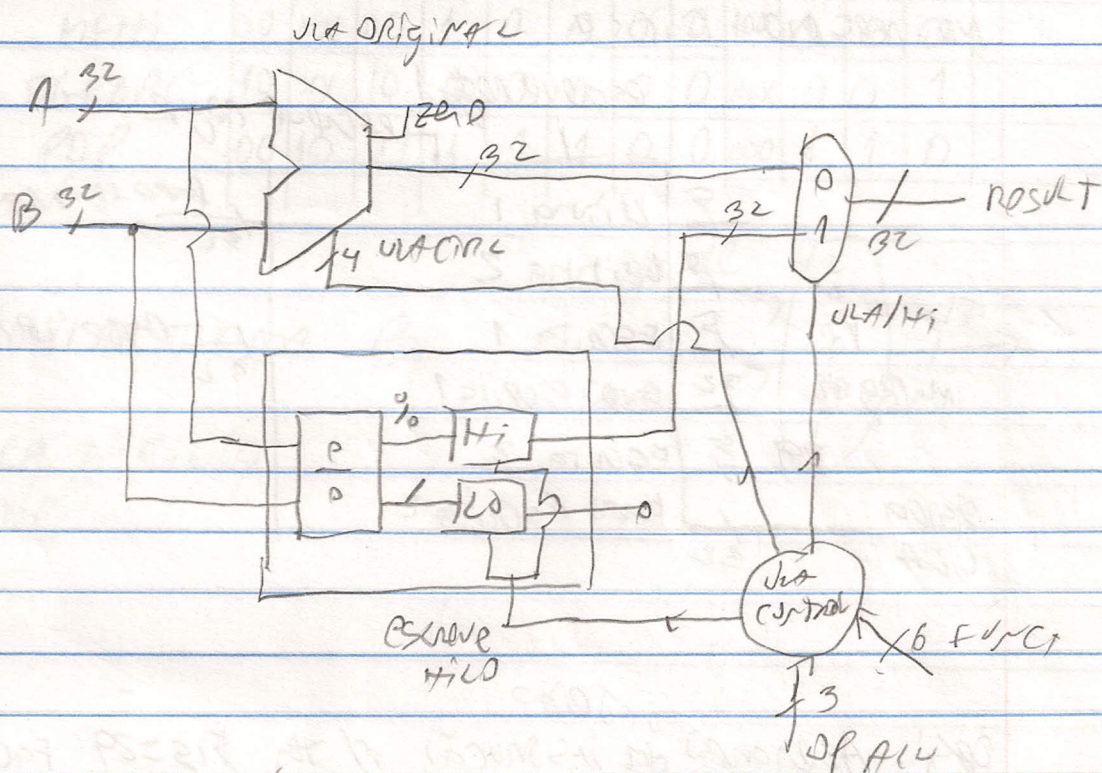
OAC - TURMA A

2ª PROVA

GABARITO

1.17

a) b) Da aa a unidade de divisão e registros
hi e lo interpretados à via:



OP ALU	ALUCIAL	ESCR. H. LD	ULP/H:
+ 000	+	0	0
- 001	-	0	0
FUNCT 010	FUNCT	0	0
DIV 011	X	1	0
MFHi 100	X	0	1

} ALUCIAL
} ORIGINAL

Lithium FerriZ

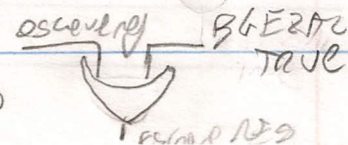
c) BGEZAL GIS, LABEL

simplesmente avalia o bit[3] de ns

6788 For $\theta \in [0, \pi]$ $\theta \geq 0$

Preserve $IC + Y \rightarrow gva(31)$

anura Eschwe Neg (—————)



d) POP \$rd : \rightarrow len \$SP

→ let $R_d = \text{MEM}(\$SP)$

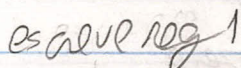
→ calculate $\$SP+4 \rightarrow \SP

Logo precisa em \$EP, e aparecer em \$EP e em

Re no mesmo ciclo de clock.

Arthur o Banco de Reg 11 resolveu em 2 Regs

NO MESMO CÍRCULO



escape reg 2

7. Uitgang

5. Leituna 2

5. Escrita 1

32 Data escrita 1

29 5 / Egnita 2

2. बोध रेखा

94109

UZA

32

1. 100 000 000

32

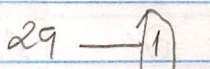
1. Das Leitwort

32

Opzi. Alerando de insinuca) n/ m \$rs=29 facicitoria 720

Como não é o caso precisamos

Le SSP



(25:21)

L Ref 1

12 Da Menden SSP

розутаро

1700

Leitfaden 1

0

$$-1$$

— Enlace

MEM

Pol 2

102) CONTROLE

INSTRUÇ�O	reg dst	reg src	reg reg	Esquerda 1	Esquerda 2	LE m�n	Esquerda m�n	BRANCH	OPCODE	POP1	POP2	BEZAL
IPOR	01	00	00	1	0	0	0	0	010	0	0	0
LW	00	01	01	1	0	1	0	0	000	0	0	0
SW	XX	01	XX	0	0	0	1	0	000	0	0	0
BEQ	XX	00	XX	0	0	0	0	1	001	0	0	0
DIV	XX	00	XX	0	0	0	0	0	011	0	0	0
MFTI	00	XX	00	1	0	0	0	0	100	0	0	0
BGEZAL	10	XX	10	0	0	0	0	0	XXX	0	0	1
POP	00	10	01	1	1	1	0	0	000	1	1	0

2) SIMILAR TURN B

↓
Beq 3  ciclo
Bne

