

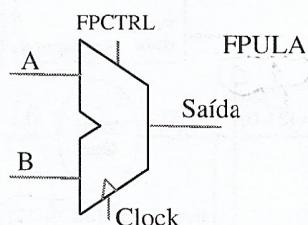
d0 d1 / d2 d3 d4 d5 d6 d7 d8

Nome: GABARITO Matrícula: 18/0012345

Prova 2

1) (7.0) Hoje em dia, grande parte dos processadores de alto desempenho utilizam o padrão IEEE 754 para a representação e realização de operações em ponto flutuante, tendo incorporado um módulo FPU (*Float Point Unit*) à organização do processador. Ao contrário da ISA RV32IMF que acrescenta um novo banco de registradores ao processador, você deve projetar a incorporação da FPU no processador RISC-V de forma que o mesmo banco de registradores original da ISA RV32I contenha tanto números inteiros quanto floats (precisão simples). A FPULA, mostrada abaixo, possui um multiplicador de frequências interno (PLL) que possibilita que todas as operações sejam efetuadas em um ciclo de clock do processador.

FPCTRL	Operação da FPULA
00	Soma
01	Subtração
10	Multiplicação
11	Divisão



Mantendo a compatibilidade binária com a ISA RISC-V RV32IMF implemente as instruções abaixo nos processadores Uniciclo, Multiciclo e Pipeline vistos em aula, indicando nas folhas em anexo as modificações necessárias nos caminhos de dados (1.0) e nos blocos de controle (1.0).

- a) (2.0) auipc rd, Imm
- b) (2.0) jalr rd, rs1, Imm
- c) (2.0) fadd.s, fsub.s, fmul.s, fdiv.s rd,rs1,rs2
- d) (1.0) Cite duas vantagens e duas desvantagens do uso dessa metodologia (Banco de Registradores único) para implementação da ISA RV32IMF.

2) (3.0) Considerando apenas os seguintes tempos dos elementos dos caminhos de dados originais vistos em aula e apresentados nos anexos (sem considerar as modificações das questões anteriores):

- Tempo de propagação de qualquer operação da ULA: 200ps
- Tempo de propagação dos somadores de 32 bits: 100ps
- Tempo de acesso às memórias de dados e instruções para leitura ou escrita: 500ps
- Tempo de acesso ao banco de registradores para leitura ou escrita: 50ps
- Tempo de propagação de todos os multiplexadores: 20ps
- Tempo de atraso das unidades de controle: 20ps

Para a ISA reduzida desenvolvida em aula calcule as máximas frequências de clock para:

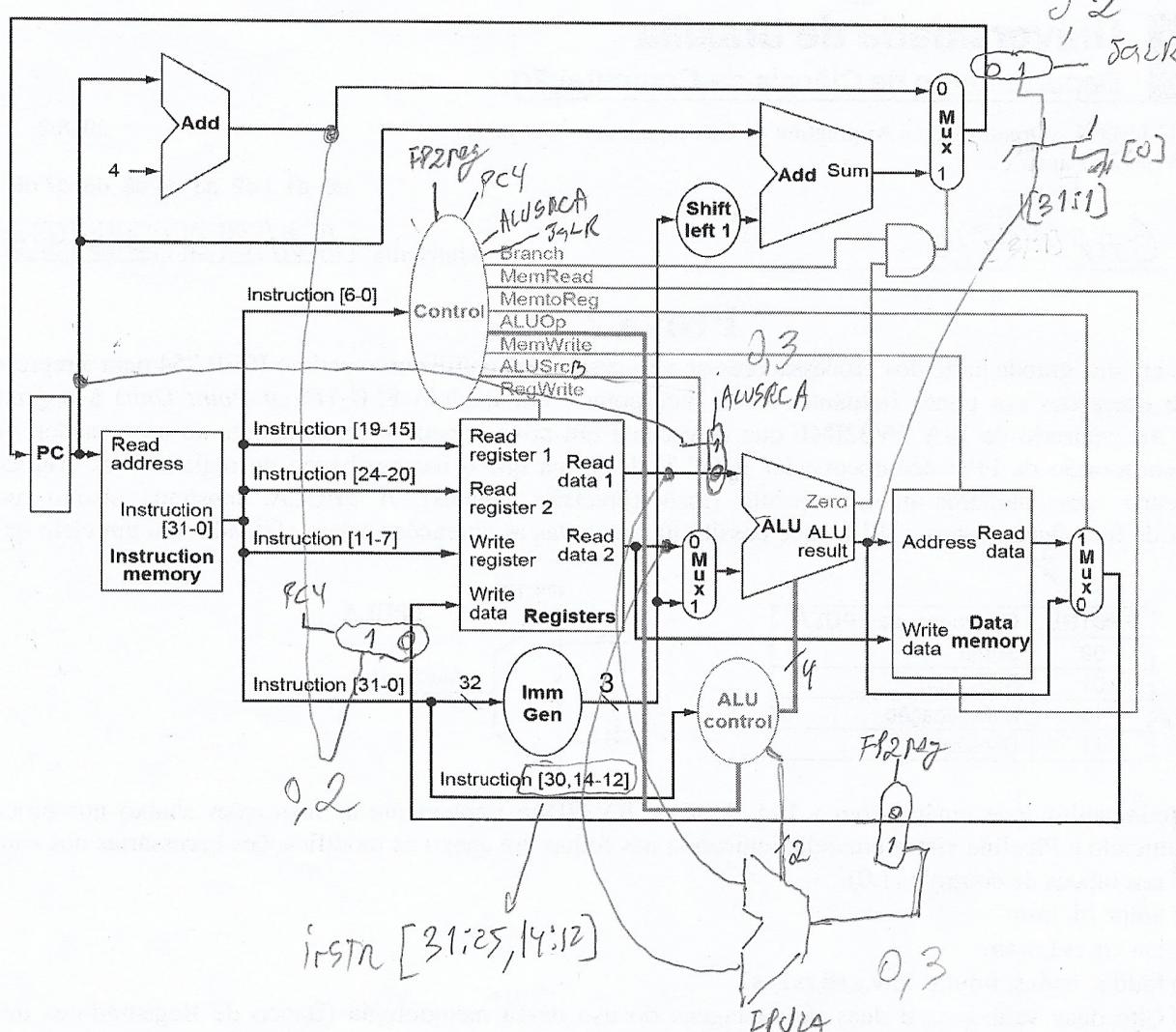
- a) (1.0) Processador Uniciclo
- b) (1.0) Processador Multiciclo
- c) (1.0) Processador Pipeline

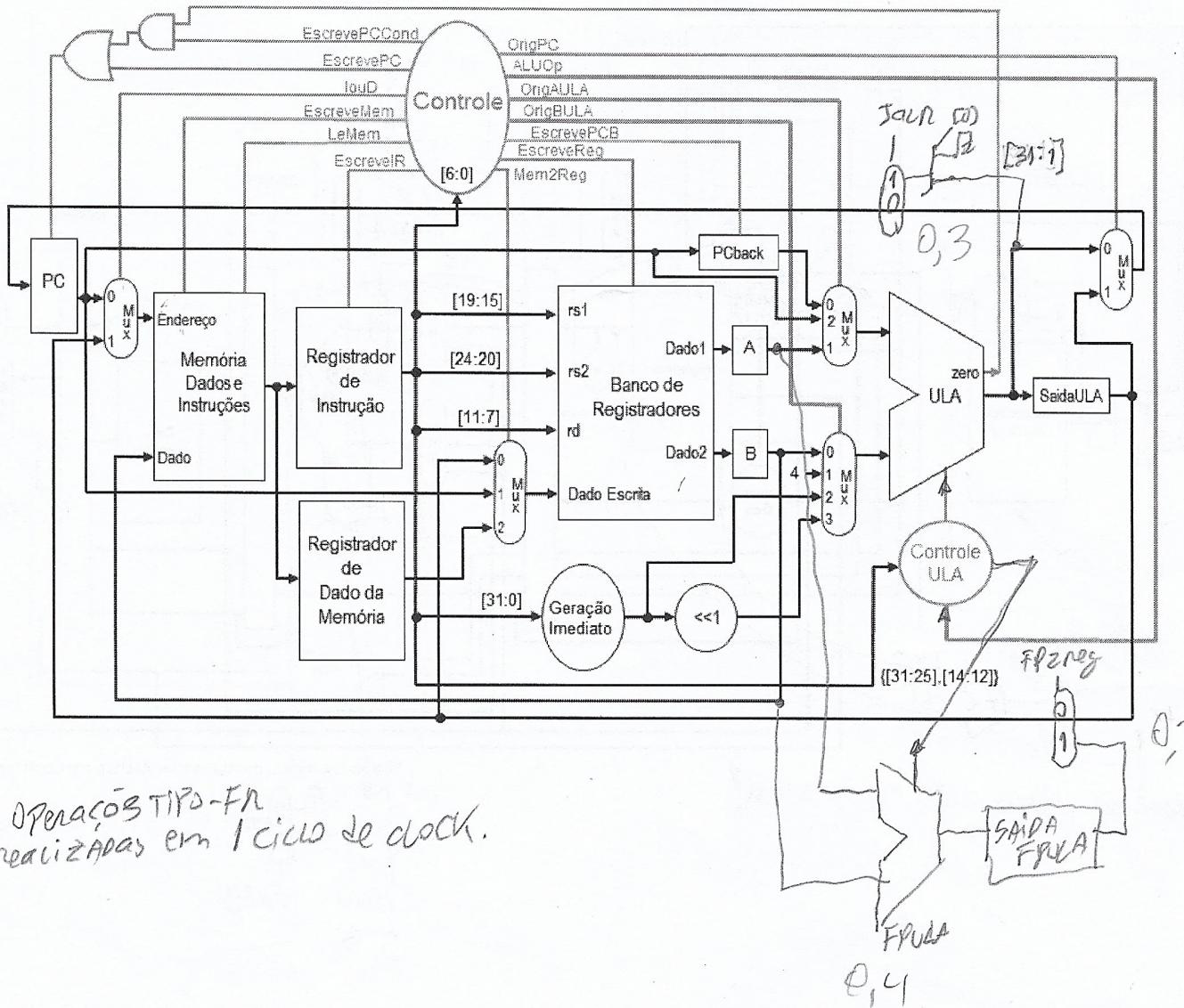
3) (1.2) Complete a tabela abaixo com os tempos e valores atualizados de acordo com a sua pesquisa.

Tecnologia da Memória	Tempo de acesso típico (ns)	\$ por GiB em 2018

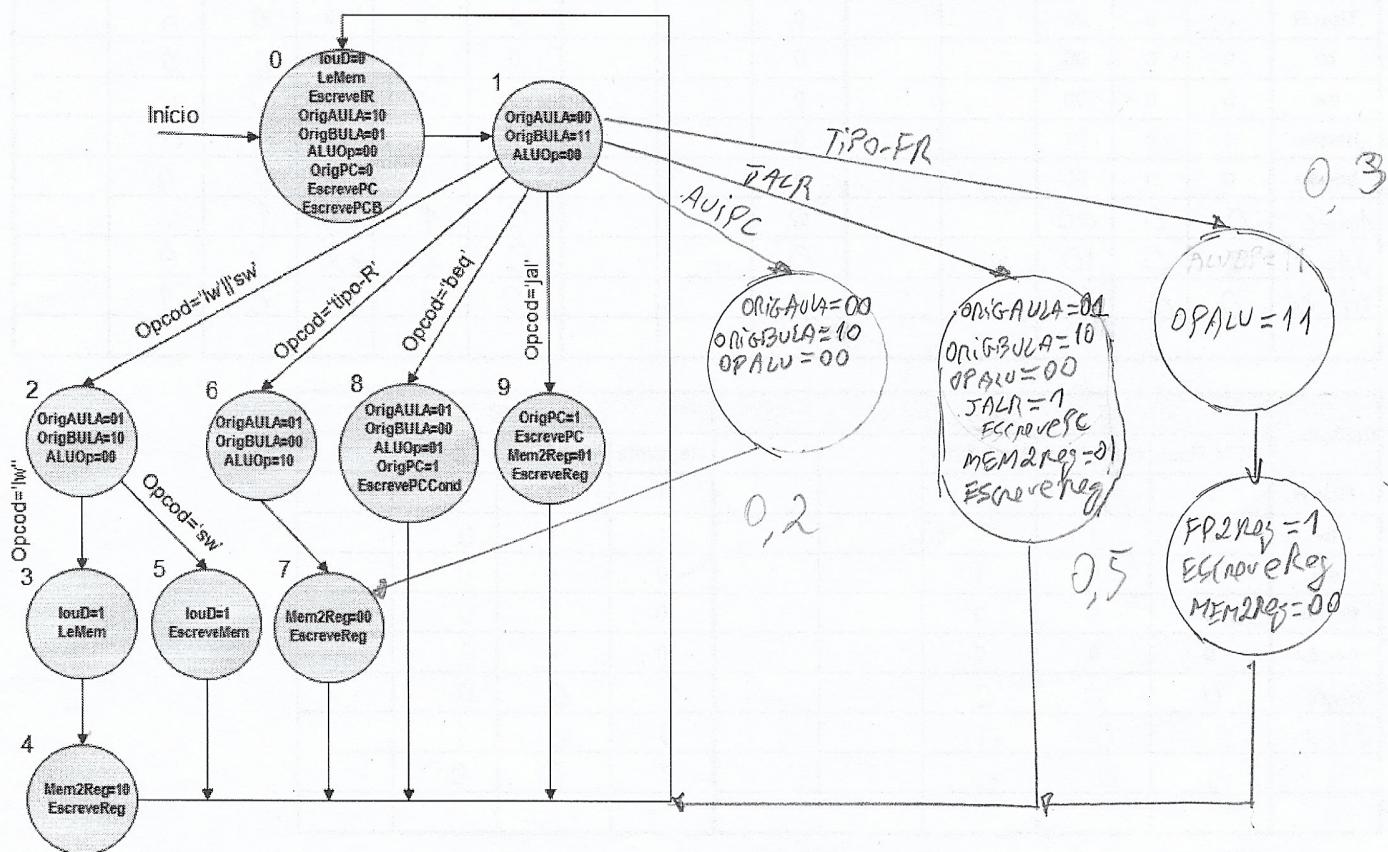
de acordo com a pesquisa

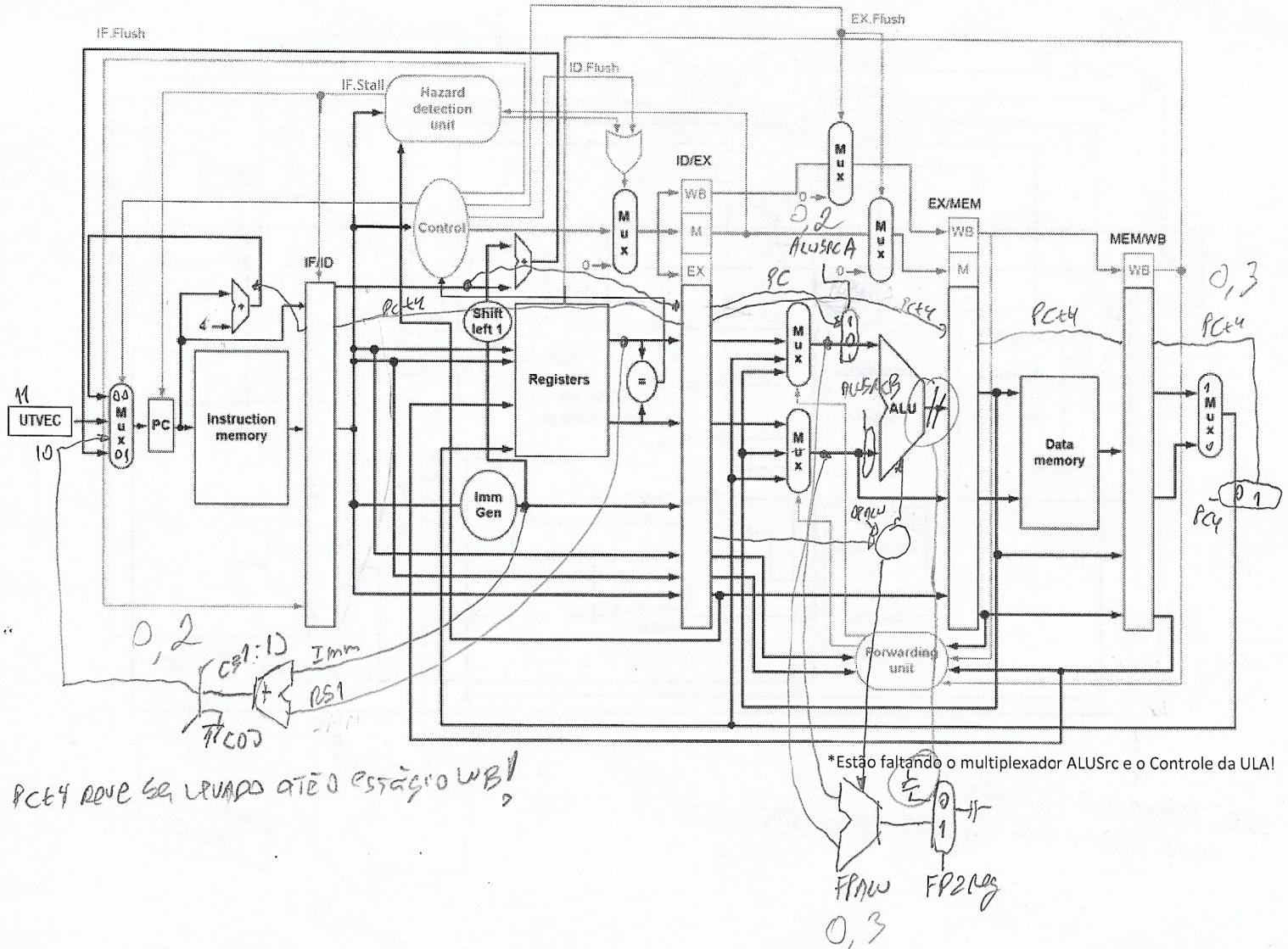
Boa Sorte!





OBS.: Operações TIPO-FR
realizadas em 1 ciclo de clock.





Estágio	MEM					WB		
	MEM.Flush	MemRead	MemWrite			RegWrite	Mem2Reg	PC4
Tipo R	0	0	0			1	0	0
lw	0	1	0			1	1	0
sw	0	0	1			0	x	0
beq&=	0	0	0			0	x	0
beq&≠	0	0	0			0	x	0
Avisos	0	0	0			1	0	0
JAZA	0	0	0			1	x	1
Tipo FR	0	0	0			1	0	0

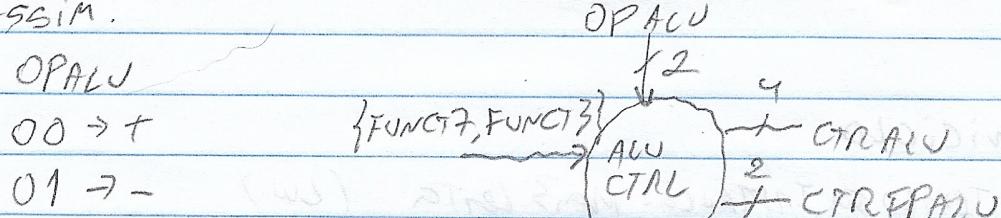
1) Para implementação da FPU → 2 alternativas

a) Criar um controle específico para FPU

b) Incorporar no controle da ULA as funções de controle FPU

Considerando o caso b) usaremos o OPALU = 11 como indicativo que é uma operação float

Assim:



modificação no ALUCTRL

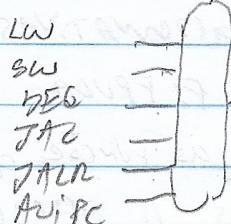
OPALU	FUNCT7	FUNCT3	CTRALU	CTRFLPAU
ADD	10	0000000	000	0010 XX
SUB	10	0100000	000	0110 XX
AMO	10	0000000	111	0000 XX
OR	10	0000000	110	0001 XX
SLT	10	0000000	010	0111 XX
FADD	11	0000000	XXX	XXXX 00
FSUB	11	0000100	XXX	XXXX 01
FMUL	11	0001000	XXX	XXXX 10
FDIV	11	0001100	XXX	XXXX 11
lw	00	XXXXXXX	XXX	0010 XX
sw	00	XXXXXXX	XXX	0010 XX
BEQ	01	XXXXXXX	XXX	0110 XX

MODIFICAÇÃO NO GERADOR de IMEDIATO A-740

AUIPC : iIMEDIATO = { INSTR[31:12], 12'b0 }

JALR : iIMEDIATO = { 20{INSTR[31]}, INSTR[31:20] }

IMEDIATOS / 7 OPCODE



2)

a) UNICICLO

T = TEMPO da INSTRUÇÃO MAIS LENTA (LW)

* DESCONSIDERANDO tSW e tCO DO REGISTRAOR PC *

mem BR JALR JAL mem mem BR

$$T = 500 + 50 + 20 + 200 + 500 + 20 + 50$$

$$T = 1340 \text{ ps} \rightarrow f_{uni} = 746,27 \text{ MHz}$$

b) MULTICICLO

T = tempo da ETAPA mais DEMORADA

IODD MEM

$$T = 20 + 500$$

$$T = 520 \text{ ps} \rightarrow f_{multi} = 1,923 \text{ GHz}$$

c) PIPE LIN

T = tempo da ETAPA mais DEMORADA

IF ou MEM

$$T = 500 \text{ ps} \rightarrow f_{pipe} = 2,00 \text{ GHz}$$

1) DISJUNTORES

d) VANTAGENS

- CIRCUITO + SIMPLES

- MAIS BARATO

desvantagens

- DEVE SE TOMAR MAIOR

CUIDADO COM O USO PLS

REGS

- N.º DE REGS DEVIDO

é REDUZIDO

Há 2 tipos de DISJUNTORES

disjuntores

disjuntores

disjuntores

disjuntores

disjuntores

mais caro, mas flexível

mais barato, mais rígido

mais caro, mais rígido

mais barato, mais rígido