

Laboratório 6



1 ENTREGA

Entregar cada projeto em documento digital uma semana depois da liberação para execução:

- 1) Escrever o código VHDL, compilar e simular o funcionamento;
- 2) Entregar o **código VHDL**, o diagrama **RTL** e o resultado da **simulação**;
- 3) Os trabalhos serão aceitos, APENAS, se estiverem funcionando.
- 4) A entrega poderá ser realizada após à data estipulada, pelo prazo até uma semana, com redução do peso para 70% da nota nominal, limitando-se à data da avaliação bimestral;
- 5) Como processo de avaliação, o aluno poderá passar por avaliação oral nos tocantes à simulação ou construção do código, podendo ocorrer descontos na nota ou invalidação da entrega;

2 DESENVOLVIMENTO DO PROBLEMA

- 1) Buscar a solução em VHDL para o problema lógico propostos no trabalho.

3 DEMANDA TÉCNICA

- 1) A função XOR e XNOR, com as mesmas entradas, em VHDL utilizando funções NOT, AND e OR;
- 2) Um decodificador BCD para um display de 7 segmentos, apenas com código concorrente;
- 3) A solução em VHDL para o problema da lista 3 (2BIM-2) - cruzamento de rodovia;
- 4) A solução em VHDL para o problema da lista 3 (2BIM-2) – multiplicador de 2 bits;
- 5) Contador progressivo, assíncrono, modulo 32;
- 6) Contador progressivo/regressivo, síncrono, modulo 100;
- 7) FSM da máquina de lavar (laboratório 4) utilizando os mesmos sensores e motores/bombas;
- 8) FSM de um detector de palavra. Escolha uma palavra de até 5 caracteres ASCII;
- 9) FSM de um semáforo duplo, com temporização adequada entre as vias;
- 10) FSM para um relógio digital, com saída para displays de 7 segmentos;

4 APRESENTAÇÃO

- 1) Documento digital contendo o código VHDL, o diagrama em RTL e a simulação no Waveform Simulator. O código deve possuir comentários suficientes para sua compreensão.



5 FORMAÇÃO DA EQUIPE

Individual;

6 EXEMPLO

Contador Síncrono, Progressivo, módulo 16

```

ENTITY contador_sync IS
    PORT (clk : IN BIT;
          c : OUT NATURAL RANGE 0 to 15); -- 0 a 15 -> DCBA
END contador_sync;
ARCHITECTURE progressivo OF contador_sync IS
    SIGNAL x : NATURAL RANGE 0 TO 15 := 0;
BEGIN
    PROCESS(clk)
        BEGIN
            IF (clk'EVENT AND clk = '1') THEN
                x <= x + 1;
            END IF;
        END PROCESS;
    c <= x;
END progressivo;

```

-- executa o processo na borda
-- borda de subida
-- incremento de um, a cada borda

