



**UNIVERSIDADE FEDERAL DE ITAJUBÁ
ENGENHARIA DE COMPUTAÇÃO**

**Eduardo Alves Carvalho - 2021017550
José Eduardo Izidoro Júnior - 2021024170
Bruna Custódio Alves - 2021032144
Vivian Leite Fragoso - 2021032743**

**Projeto de Eletrônica
Digital I - ELTD01A**



Questão 01. Projete um contador binário síncrono.

Lógica para realizar a contagem cíclica:

ESTADO ATUAL			PRÓXIMO ESTADO			SAÍDA DAS TRANSIÇÕES DOS FLIP FLOPS			
A	B	C	A	B	C	T	D	J	K
0	1	0	0	0	1	0	0	1	X
0	0	1	1	0	1	1	0	X	0
1	0	1	1	1	1	0	1	X	1
1	1	1	1	0	0	0	0	X	1
1	0	0	0	1	1	1	1	1	X
0	1	1	0	1	0	0	1	X	1

Os outputs para cada caso foram gerados a partir da tabela de transição de cada flip-flop.

Expressão booleana das saídas:

$$T = A\bar{C} + \bar{A}B$$

$$D = \bar{A}B + \bar{A}\bar{B}C$$

$$J = 1$$

$$K = B$$

Abaixo segue o raciocínio para a **condição de parada da contagem** quando F for 1 e o contador estiver em 111.

Mapa de Karnaugh:

F / A1	A2/A3			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	1	0
10	0	0	0	0



Entende-se que é 1 para 1111, que representa ABCD, ou seja, F1. A1. A2. A3 = 1, em seguida invertemos esse sinal na saída, para quando for 0 habilitar a contagem e quando a entrada for 1 ele interromper a contagem na condição especificada.

Questão 02. Projete a memória RAM-s.

Memória B

A memória B é a primeira a ser ativada após o seletor receber ($sA[6..5] = 00$ e $sCe = 1$) no qual o mapa deve ser lido a partir dos zeros para que nós tenhamos apenas portas **or** e **not**, como segue abaixo no mapa:

Mapa de Karnaugh para a seleção da memória B:

sCe	sA[6]/sA[5]			
	00	01	11	10
0	0	0	0	0
1	1	0	0	0

Após ler os 0 no mapa e aplicar D'Morgan chegamos na seguinte expressão:

$$\text{Mem - B} = \overline{sCe} + sA[6] + sA[5]$$

Memória C

Após receber 1 do seletor(sCe) sendo a segunda memória a ser ativada ($sA[6..5]=01$) o sub-circuito crw que toma a decisão de ler ou escrever e certificar que cnr e cnw não serão 0 simultaneamente, evitando a danificação da memória.

Mapa do Sub-Circuito Crw

Entradas		Saída		
mem_C	SRnW	cnr	cnw	
1	0	1	0	Condição de Escrita
1	1	0	1	Condição de Leitura
0	0	1	1	Habilitado todos em 1



0	1	1	1	para garantir que não danifique a memória
---	---	---	---	---

Expressão booleana obtida após ler 0 nas saída é:

$$\text{Cnr} = \overline{\text{Mem} - \text{C}} + \overline{\text{SR}}$$

$$\text{Cnw} = \text{SR} + \overline{\text{Mem} - \text{C}}$$

Mapa de Karnaugh para a seleção da memória C:

sCe	sA[6]/sA[5]			
	00	01	11	10
0	0	0	0	0
1	0	1	0	0

Após ler os 0 no mapa e aplicar D'Morgan chegamos na seguinte expressão:

$$\text{Mem} - \text{C} = \overline{\overline{\text{sCe}} + \overline{\text{sA}[6]} + \overline{\text{sA}[5]}}$$

Memória A

Já a memória A é a última a ser ativada (sA[6..5]=1 0 e Sce 1), aqui também vamos ler o circuito a partir dos 0 para que possamos utilizar apenas **not** e **or**, apenas a condição sCe, sA[6], sA[5] = 110 recebe 0, pois a **memória A** é habilitada com 0 e não com 1 diferentemente das outras.

Mapa de Karnaugh para a seleção da memória A :

sCe	sA[6]/sA[5]			
	00	01	11	10
0	1	1	1	1
1	1	1	1	0

Após ler os 0 no mapa e aplicar D'Morgan chegamos na seguinte expressão:

$$\text{Mem} - \text{A} = \overline{\text{sCe}} + \overline{\text{sA}[6]} + \text{sA}[5]$$



Devido a memória - A ler apenas 4 bits foi desenvolvido a seguinte lógica para que ela leia e escreva no endereço de memória corretamente.

Mapa de Karnaugh para o funcionamento da memória A para 4 bits:

Mem_a /sA[6]	sA[5]/sA[4]			
	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	1	1	1	1
10	1	1	1	1

Após ler os 0 no mapa e aplicar D'Morgan chegamos na seguinte expressão:

$$\text{Ance} = \text{Mem} - a + sA[5] + sA[4] + \overline{sA[6]}$$

