

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduard de la Cruz	2 - 12	Carlos Pichardo	20/1/2025

Title: Arquitectura de computadores RISC-V

Keyword	Topic: RISC-V ISA 2
<ul style="list-style-type: none"> • AND • OR • XOR • Mascara de bits • Suma (ADD) • Operaciones (SUB) 	<p>Notes: Se abordan las instrucciones tipo R, centrándose en operaciones aritméticas (suma y resta) y lógicas (AND, OR, XOR).</p> <p>Las instrucciones tipo R componen un formato uniforme, incluye un registro destino y dos registros fuente. El código máquina de estas instrucciones se organiza en 32 bits.</p> <p>Las operaciones lógicas se explican en ejemplos prácticos:</p> <ul style="list-style-type: none"> • AND: Se usa para crear máscaras. • OR: Permite activar bits seleccionados. • XOR: Hace una inversión de bits dependiendo del valor en el segundo registro.
Questions	
<p>¿Cuál es el formato básico de las instrucciones tipo R?</p>	

Summary:

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Edward de la Cruz	3-12	Carlos Pichardo	20/11/2025

Title: *Arquitectura de computadores RISC-V*

Keyword • VHDL • Verilog • Simplicidad	Topic: <i>RISC-V ISA 3</i>
Questions • ¿Qué tiene los campos Funct3 y Funct4?	Notes: y su implementación en lenguajes como VHDL o Verilog. Más registros implican mayor lógica, afectando la velocidad y codificación de las instrucciones, lo que requiere compromisos en el diseño. El tutorial se centra en la arquitectura de hardware y no en la programación de alto nivel, destacando principios de diseño como mantener operaciones frecuentes rápidas y simples.

Summary: *La arquitectura tiene un núcleo minimalista, con un conjunto reducido de instrucciones, lo que la hace ideal para una amplia gama de aplicaciones.*

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduard de la Cruz	4-12	Carlos Pichardo	20/1/2023

Title: *Arquitectura de computadores RISC-V*

Keyword	Topic: RISC-V ISA 4
<ul style="list-style-type: none"> • Complemento a dos • desplazamiento lógico • Código máquina 	<p>Notes: Se explica las instrucciones de compute con constantes en el procesador RISC-V.</p> <p>A diferencia de las instrucciones que operan solo con registros, estas permiten sumar, restar, comparar y realizar operaciones lógicas con un valor constante directamente codificado en la instrucción. El formato de estas instrucciones es similar a las que usan solo registros, pero el campo del segundo registro es reemplazado por el inmediato. Se destaca la importancia de las instrucciones con inmediatos para optimizar el código y hacer más eficientes las operaciones comunes.</p>
Questions	
<p>¿Cómo se representa un número negativo en formato inmediato?</p>	

Summary: Las instrucciones RISC-V que permiten operaciones con valores constantes. Se detallan el formato de estas instrucciones, su funcionamiento y se presentan ejemplos prácticos.

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduard de la Cruz	5-12	Carlos Pichardo	22/1/2023

Title: *Arquitectura de computadores RISC-V*

Keyword <ul style="list-style-type: none"> • Instrucciones de carga • Instrucciones de almacenamiento • memoria • offset • byte 	Topic: <i>RISC-V ISA 5</i> Notes: <i>Se explican las instrucciones de carga y almacenamiento complementando las instrucciones aritméticas y lógicas vistas.</i> <i>Estas instrucciones permiten mover datos entre la memoria y los registros del procesador, siendo fundamentales para cualquier programa. El formato de estas instrucciones es similar a las instrucciones de tipo L, con un registro base, un offset y un registro destino o fuente.</i> <i>RISC-V permite acceso a memoria no alineados, lo que brinda flexibilidad en el manejo de datos.</i>
Questions <i>¿Cuál es la diferencia entre una instrucción de carga y una de almacenamiento?</i>	

Summary: *Como el procesador interactúa con la memoria utilizando las instrucciones de carga y almacenamiento.*

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduard de la Cruz	6-12	Carlos Pichardo	22/1/2023

Title: *Arquitectura de computadores RISC-V*

Keyword	Topic: RISC-V ISA 6
<ul style="list-style-type: none"> Contador de programa Bifurcación Instrucciones de control 	Notes: <i>Se explica cómo un programa se almacena y ejecuta en un procesador RISC-V. Se introduce el concepto de programa almacenado en la memoria, donde las instrucciones son representadas como números binarios y se almacenan secuencialmente. Se detalla el funcionamiento del controlador en el programa, que indica la dirección de la memoria de la instrucción a ejecutar. Se profundiza en el formato de estas instrucciones y en cómo se calculan los desplazamientos relativos para realizarlos.</i>
Questions <i>Cómo se almacenan las instrucciones de un programa en la memoria?</i>	

Summary: *Aquí se explicó cómo un programa se almacena en la memoria y cómo el procesador RISC-V lo ejecuta instrucción por instrucción.*

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduard de la Cruz	7 - 12	Carlos Pichardo	22/1/2025

Title: *Arquitectura de computadores RISC-V*

Keyword

- ALU
- Unidad aritmética lógica
- Diseño digital

Topic: *RISC-V diseño 1*

Notes:

Se introduce el diseño de un procesador RISC-V, comenzando por la implementación de las instrucciones de tipo R, que opera entre registros. Se explica cómo el conjunto de instrucciones define las operaciones que puede realizar el procesador y cómo se traduce esto en una arquitectura hardware. Se detalla el diseño del banco de registros, que almacenan los datos, y la unidad aritmética lógica (ALU), que realiza las operaciones. También se enfatiza la importancia de decodificación de las instrucciones para seleccionar la operación correcta en la ALU.

Questions

¿Cómo se implementa un banco de registros en hardware?

Summary:

Se enfocó en las instrucciones de tipo R. Se explica cómo implementar el banco de registros y la ALU, así como el proceso de decodificación de las instrucciones para seleccionar la operación a realizar.

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduard de la Cruz	8-12	Carlos Pichardo	22/1/2025

Title: Arquitectura de computadores RISC-V

Keyword Immediate opcode Multiplexor	Topic: RISC-V diseño básico 2																				
Notes: Implementar las instrucciones tipo L complementando el diseño de las instrucciones de tipo R. Las instrucciones tipo L involucran operaciones entre un registro y una constante. Se explica cómo adaptar el diseño del banco de registros y ALU para manejar tanto registros como inmediatos.																					
Questions ¿Cuál es la diferencia entre una instrucción tipo R y una de tipo L?	<table border="1"> <thead> <tr> <th>operación</th> <th>Código</th> </tr> </thead> <tbody> <tr> <td>Suma</td> <td>0000</td> </tr> <tr> <td>Resta</td> <td>0001</td> </tr> <tr> <td>SLI</td> <td>0010</td> </tr> <tr> <td>SLT</td> <td>0100</td> </tr> <tr> <td>SLTU</td> <td>0110</td> </tr> <tr> <td>Xor</td> <td>1000</td> </tr> <tr> <td>SRL</td> <td>1010</td> </tr> <tr> <td>SRA</td> <td>1011</td> </tr> <tr> <td>OR</td> <td>1100</td> </tr> </tbody> </table>	operación	Código	Suma	0000	Resta	0001	SLI	0010	SLT	0100	SLTU	0110	Xor	1000	SRL	1010	SRA	1011	OR	1100
operación	Código																				
Suma	0000																				
Resta	0001																				
SLI	0010																				
SLT	0100																				
SLTU	0110																				
Xor	1000																				
SRL	1010																				
SRA	1011																				
OR	1100																				

Summary: Se explica cómo implementar las instrucciones de tipo L en un procesador RISC-V. Se detalla el diseño del hardware, incluyendo el banco de registros, la ALU y el multiplexor.

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduardo de la Cruz	9-12	Carlos Pichardo	23/11/2023

Title: Arquitectura de computadora RISC-V

Keyword
 • Procesador
monociclo
 • Lectura
instantánea
 • Escritura
sincroni-
zada

Topic: RISC-V diseño básico 3

Notes: Implementar la instrucción de carga de palabra (load word). Se detalla el proceso de cálculo de la dirección de memoria, la lectura del dato desde la memoria y su almacenamiento en el registro destino. Además, se discuten aspectos importantes como el direccionamiento por byte de la memoria, la sincronización de la escritura y la simplificación del diseño para un procesador monociclo.

Questions
 ¿Cómo se maneja el direccionamiento por byte en la memoria?

• Lectura instantánea: sin esperar ciclo de reloj
 • Escritura sincronizada: con cada ciclo de reloj

Summary: Se explica cómo cargar datos desde la memoria a un registro en el procesador.

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduardo de la Cruz	10 - 12	Carlos Pichardo	23/1/2023

Title: *Arquitectura de computadores RISC-V*

Keyword	Topic: RISC-V diseño 4
<ul style="list-style-type: none">• Procesador monociclo• ALU• RISC-V	<p>Notes: <i>Se complementan las instrucciones del tutorial anterior.</i></p>

Pases para la direccion de memoria:

- Identificar registro base
- Obtener el inmediato
- Extender el signo del inmediato
- Sumar el registro base y el inmediato

Questions
<p><i>¿Cuál es la diferencia entre carga y almacenamiento?</i></p> <p><i>También se enfatiza la importancia de la escritura de la memoria y se muestra como adaptar el diseño del procesador para incluir esta nueva instrucción.</i></p>

Summary: *Se explica como guardar un valor de un registro en una direccion de memoria especifica.*

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduardo de la Cruz	11-12	Carlos Pichardo	23-1-2025

Title: *Arquitectura de componentes RISC-V*

Keyword
• Memoria
ROM
• Ciclo de reloj
• Señal de control

Topic: *RISC-V diseño básico 5*

Notes: *Se centraliza en el programa almacenando en memoria y el controlador de programa.*

Se detalla como el contador incrementa de 4 en 4 para ejecutar instrucciones almacenadas el formato binario 32 bits.

Questions
• ¿Qué rol desempeñan los multiplexores en este diseño?

Además se describe como las instrucciones se decodifican para operar con registros, realiza cálculos con la ALU, y gestiona la memoria de datos y programa, explicando el flujo de datos y control. También se aborda la ejecución simultánea de señales y como deben estar sincronizadas con el ciclo de reloj.

Summary: *Se explica el funcionamiento del contador de programa y la memoria, sincronizados por el ciclo de reloj.*

NAME	PAGES	SPEAKER/CLASS	DATE - TIME
Eduardo de la Cruz	12-12	Carlos Pichardo	23/1/2023

Title: *Arquitectura de componentes RISC-V*

Keyword	Topic: RISC-V diseño básico 6
<ul style="list-style-type: none"> Instrucciones tipo branch SLT Salto condicional les 	Notes: Se aborda la implementación de instrucciones de control de flujo en un procesador monobucleo. Explica como crear instrucciones tipo branch como: Branch if less than Branch if equal
Questions	
<ul style="list-style-type: none"> ¿Que ventajas tiene crear nuevas operaciones en la ALU? 	Utilizando operaciones en la ALU como: Set less than XOR Se concluye con un procesador funcional con soporte para 6 instrucciones de control.

Summary: *Se explica como implementar instrucciones como branch if less than, etc, usando operaciones en la ALU.*