《数字电路》课程实验

实验2：CPU设计

----实验过程与结果分析报告

选课编号：XX 姓名（邓皓宇）选课号（XX）

选课编号：XX 姓名（熊仔羿）选课号（XX）

信息与通信工程学院

2022年11月

## 实验目的

1.掌握简化CPU的结构组成、模块划分和工作原理。

2.掌握精简指令集的概念，并设计CPU的指令集。

3.用Verilog语言设计编写并调试CPU内部各模块电路，并在此基础上设计完整CPU。

4.掌握激励文件的编写方法，学会验证各个模块功能时序的正确性。

5.掌握外围接口电路的设计方法，并学会利用FPGA开发板的按键、LED等外设构造简单的控制系统。

6.编写汇编程序，并依据设计的指令集编译为对应的机器码，控制CPU实现特定功能。

## 二、实验内容

任务1：基础模块（ALU、寄存器阵列、寻址单元）的建模及仿真

任务2：数据通路的设计

任务3：控制通路的设计

任务4：CPU的整合及验证

任务5：XXXXXXXXXXX（如果有做选做内容可以填入）

## 三、实验设备

软件： PC 机操作系统 WinXP 或 Win7、 Quartus II 13.1、 ModelSim-Altera 10.1d

硬件： DE1-SOC 实验板，计算机一台

仪器：示波器，逻辑分析仪

## 四、实验原理

任务1

**目标：** **基础模块（ALU、寄存器阵列、寻址单元）的建模及仿真**

**任务计划：**

**实验原理：**

任务2

**目标：**

**任务计划：**

**实验原理：**

自行按上诉格式添加任务3、4、5……

## 五、实验步骤

**任务1的步骤如下：**

1. 第一步
2. 第二步
3. 第三步
4. 第四步
5. XXXXXXXXX（自行添加）

**任务2的步骤如下：**

1. 第一步
2. 第二步
3. 第三步
4. 第四步
5. XXXXXXXXX（自行添加）

自行按上诉格式添加任务2、3、4、5……

## 六、实验结果

**任务1**

ALU：

1. verilog关键代码（带注释）

//----------------------------------------------------------------------

//--SAYEH (Simple Architecture Yet Enough Hardware) CPU

//----------------------------------------------------------------------

//Arithmetic Logic Unit (ALU)

`timescale 1 ns /1 ns

//以下为用户的宏定义，以方便操作

`define B15to0H 10'b1000000000

`define AandBH 10'b0100000000

`define AorBH 10'b0010000000

`define notBH 10'b0001000000

`define shlBH 10'b0000100000

`define shrBH 10'b0000010000

`define AaddBH 10'b0000001000

`define AsubBH 10'b0000000100

`define AmulBH 10'b0000000010

`define AcmpBH 10'b0000000001

//模块的声明

module ArithmeticUnit (

A, B,

B15to0, AandB, AorB, notB, shlB, shrB, AaddB, AsubB, AmulB, AcmpB,

aluout, cin, cout, zout

);

input [15:0] A, B;//两个输入的16位运算数

input B15to0, AandB, AorB, notB, shlB, shrB, AaddB, AsubB, AmulB, AcmpB;//模式选择

input cin;//C标志位输入

output [15:0] aluout;//数据输出

output cout,zout;//C，Z的标志位输出

//开始声明存储变量

reg [15:0] aluout;

reg cout,zout;

//进行运算

//运算模式判断

always @(

A or B or B15to0 or AandB or AorB or notB or shlB or shrB or AaddB or AsubB or AmulB or AcmpB or cin

)

begin

//清空标志位以及输出

cout = 0; aluout = 0;zout=0;

//模式选择

case ({B15to0, AandB, AorB, notB, shlB, shrB, AaddB, AsubB, AmulB, AcmpB})

`AcmpBH: begin

aluout = A;

if (A> B) cout = 1; else cout = 0;//进行A和B的大小判断

end

`AaddBH: begin

aluout = A + B + cin;//输出为A + B + cin

end

`AsubBH: begin

aluout = A - B - cin;//输出为A - B - cin

end

`AmulBH: begin

aluout = A[7:0] \* B[7:0];//输出为A[7:0] \* B[7:0]

end

`shlBH: begin

aluout = {B[14:0],B[15]};//循环左移一位

end

`shrBH: begin

aluout = {B[0],B[15:1]};//循环右移一位

end

`notBH: begin

aluout = ~B;//B取反之后输出

end

`B15to0H: begin

aluout = B;//B直接输出

end

`AandBH: begin

aluout = A & B;//A和B按位取与并且输出

end

`AorBH: begin

aluout = A | B;//A和B按位取或并且输出

end

//其他意外模式选择则输出0

default: aluout = 0;

endcase

if (aluout == 0) zout = 1'b1;

end

endmodule

1. testbench测试文件

// Copyright (C) 1991-2013 Altera Corporation

// Your use of Altera Corporation's design tools, logic functions

// and other software and tools, and its AMPP partner logic

// functions, and any output files from any of the foregoing

// (including device programming or simulation files), and any

// associated documentation or information are expressly subject

// to the terms and conditions of the Altera Program License

// Subscription Agreement, Altera MegaCore Function License

// Agreement, or other applicable license agreement, including,

// without limitation, that your use is for the sole purpose of

// programming logic devices manufactured by Altera and sold by

// Altera or its authorized distributors. Please refer to the

// applicable agreement for further details.

// \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

// This file contains a Verilog test bench template that is freely editable to

// suit user's needs .Comments are provided in each section to help the user

// fill out necessary details.

// \*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*

// Generated on "11/24/2022 13:48:23"

// Verilog Test Bench template for design : ArithmeticUnit

//

// Simulation tool : ModelSim-Altera (Verilog)

//

`timescale 1 ps/ 1 ps

module ArithmeticUnit\_vlg\_tst();

// constants

// general purpose registers

reg eachvec;

// test vector input registers

reg [15:0] A;

reg AaddB;

reg AandB;

reg AcmpB;

reg AmulB;

reg AorB;

reg AsubB;

reg [15:0] B;

reg B15to0;

reg cin;

reg notB;

reg shlB;

reg shrB;

// wires

wire [15:0] aluout;

wire cout;

wire zout;

// assign statements (if any)

ArithmeticUnit i1 (

// port map - connection between master ports and signals/registers

.A(A),

.AaddB(AaddB),

.AandB(AandB),

.AcmpB(AcmpB),

.AmulB(AmulB),

.AorB(AorB),

.AsubB(AsubB),

.B(B),

.B15to0(B15to0),

.aluout(aluout),

.cin(cin),

.cout(cout),

.notB(notB),

.shlB(shlB),

.shrB(shrB),

.zout(zout)

);

initial

begin

A = 16'b1010111100001001;

B = 16'b0101111100001111;

cin = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 1;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 1;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 1;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 1;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 1;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 1;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 1;AsubB = 0;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 1;AmulB = 0;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 1;AcmpB = 0;

#10 B15to0 = 0;AandB = 0;AorB = 0;notB = 0;shlB = 0;shrB = 0;AaddB = 0;AsubB = 0;AmulB = 0;AcmpB = 1;

#10 $stop;

end

endmodule

3、仿真结果截图（带文字分析）

寄存器阵列：

1、verilog关键代码（带注释）

2、testbench测试文件

3、仿真结果截图（带文字分析）

寻址单元：

1、verilog关键代码（带注释）

2、testbench测试文件

3、仿真结果截图（带文字分析）

**任务2**

数据通路：

1、verilog关键代码（带注释）

2、关键代码分析（简述代码设计思路）

**任务3**

控制通路：

1、verilog关键代码（带注释）

2、关键代码分析（简述代码设计思路）

**任务4**

1、汇编代码对应的机器码

2、下板引脚绑定

自行按上诉格式添加任务5……

## 七、自主设计部分（选做，可加分）

**目标：**

**任务计划：**

**仿真：**

**实验现象：**

## 八、实验中遇到的问题及解决方法

## 九、思考题

## 十、实验分工说明

## 十一、实验感想和建议