

UNIVERSIDAD DE GUADALAJARA

CUCEI

CARRERA: INGENIERIA EN COMPUTACION

INVESTIGACION 1: COMPUERTAS LOGICAS

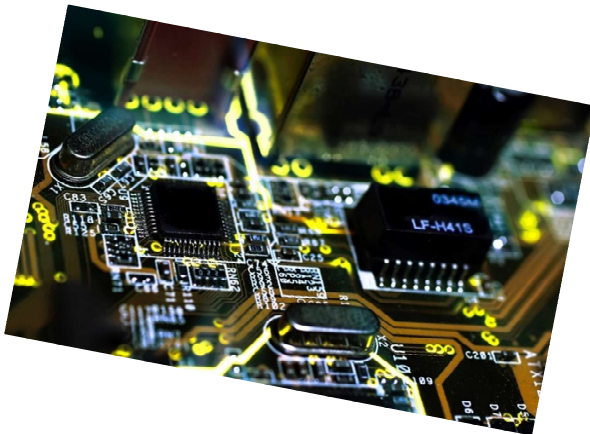
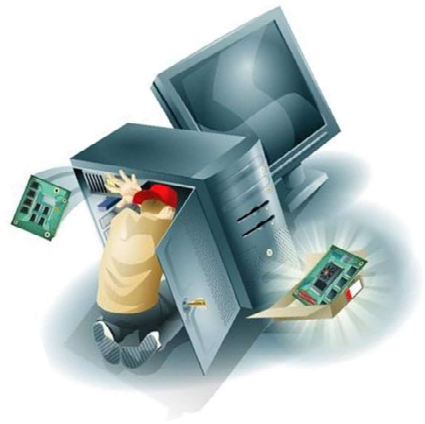
ALUMNO: EFRAIN ROBLES PULIDO

CODIGO: 221350095

NOMBRE DE LA MATERIA: ARQUITECTURA DE COMPUTADORAS

SECCIÓN: D10 CALENDARIO: 2021B

NOMBRE DE LA PROFESORA: THELMA ISABEL MORALES RAMIREZ



Compuertas lógicas

Son circuitos electrónicos conformados internamente por transistores que se encuentran con arreglos especiales con los que otorgan señales de voltaje como resultado o una salida de forma booleana. Estas compuertas se pueden aplicar en otras áreas de la ciencia como mecánica, hidráulica o neumática.

Trabajan en dos estados, "1" o "0", los cuales pueden asignarse a la lógica positiva o lógica negativa. Las lógicas se explican a continuación:

- La lógica positiva es aquella que con una señal en alto se acciona, representando un 1 binario y con una señal en bajo se desactiva, representado un 0 binario.
- La lógica negativa proporciona los resultados inversamente, una señal en alto se representa con un 0 binario y una señal en bajo se representa con un 1 binario.

La asignación de un nombre a dichas compuertas lógicas se debe a la función que las mismas sumas realizan con las señales de entradas que reciben para obtener una respuesta deseada como resultado, haciendo que se caractericen por realizar funciones lógicas matemáticas como sumas y restas, multiplicación, inclusión, exclusión, etc.

Existen varios tipos de compuertas como:

❖ AND

Se aclara que la cantidad de entradas puede ser de dos en adelante, más sólo se obtiene una salida.

Su función lógica sería tomar dos o más señales de entrada y aplicarle la función matemática de multiplicación para obtener una señal de salida en función de la operación "Y". Es representada por una multiplicación en el Algebra de Boole.

En la tabla 2.1 se muestra todas las posibles combinaciones lógicas que podrían existir entre las señales A y B, y en respuesta a ello la señal C como el resultado de aplicar AND. Y su ecuación lógica es **$C = A \times B$** .

Tabla 2.1. Tabla de la Verdad AND. Fuente: Elaboración Propia.

Entrada		Salida
A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

Su representación gráfica de acuerdo con la norma ANSI se ilustra en la Fig. 2.1, donde su figura geométrica es curva a la salida, pero lineal en las entradas, y para la norma IEC se muestra en la Fig. 2.2.



Figura 2.1. Símbolo electrónico en Norma ANSI para la compuerta AND. Fuente: Elaboración Propia.



Figura 2.2. Símbolo electrónico en Norma IEC para la compuerta AND. Fuente: Elaboración Propia.

El circuito eléctrico equivalente para la compuerta AND se muestra en la Fig. 2.3, donde los interruptores deben permanecer cerrados ambos para dejar pasar el flujo de corriente.

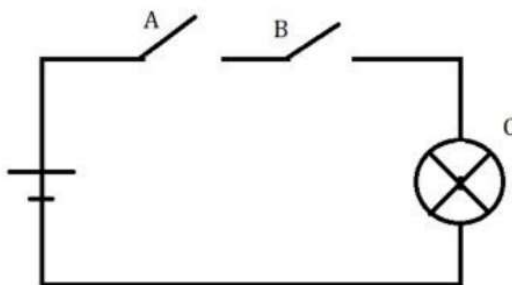


Figura 2.3. Circuito eléctrico equivalente AND. Fuente: Elaboración Propia.

❖ OR

En el Algebra de Boole esta es una suma. Prácticamente como una suma matemática, donde cualquier número sumado con 0 será dicho número. Dicha suma es en álgebra Boole, por lo que $1 + 1$ no será 2, sino 1, el valor máximo en binario.

Su tabla de verdad se muestra en la tabla 2.2, donde se aprecian dos señales de entrada A y B, y la señal de salida denominada C. Donde se muestran todas las posibles combinaciones lógicas que podrían existir entre las señales A y B, y en respuesta a ello la señal C como el resultado de aplicar OR. Y su ecuación lógica sería $C = A + B$.

Tabla 2.2. Tabla de la Verdad OR. Fuente: Elaboración Propia.

Entrada		Salida
A	B	C
0	0	0
0	1	1
1	0	1
1	1	1

Su representación gráfica en la norma ANSI se ilustra en la Fig. 2.4, donde su figura geométrica es divergente a la salida, pero curva en las entradas, y para la norma IEC se muestra en la Fig. 2.5.

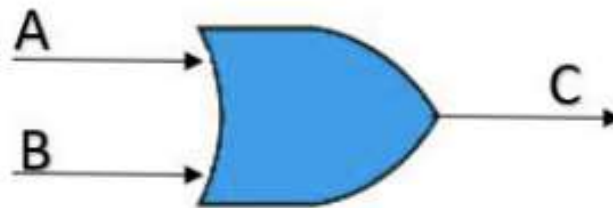


Figura 2.4. Símbolo electrónico en Norma ANSI para la compuerta OR. Fuente: Elaboración Propia.



Figura 2.5. Símbolo electrónico en Norma IEC para la compuerta OR. Fuente: Elaboración Propia.

El circuito eléctrico equivalente se muestra en la Fig. 2.6, donde el posible camino del flujo eléctrico para encender el bombillo puede ser varios para dejar pasar el flujo de corriente.

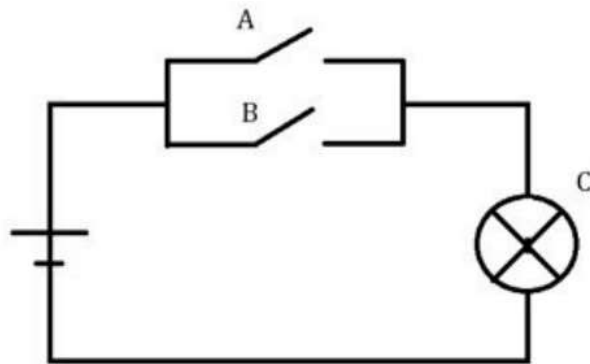


Figura 2.6. Circuito eléctrico equivalente OR. Fuente: Elaboración Propia.

❖ NOT

Esta compuerta solo tiene una entrada y una salida y esta actúa como un inversor. Su función lógica sería únicamente para cada una de las señales por separado.

Su funcionalidad se basa en cambiar su valor lógico, es decir si la señal de entrada es un uno lógico, al aplicarle la función NOT se obtendría un cero lógico y así a la inversa, por lo que algunos casos suelen representar se la respuesta a dicha compuerta como la entrada negada con una línea recta sobre la señal.

La tabla de verdad de la compuerta lógica NOT se muestra en la tabla 2.3, donde se aprecia una única señal de entrada A, y la señal de salida representada como A negada. Se aclara que dicha operación se aplica únicamente a cada señal por separado. Y su ecuación lógica es $\bar{A}=A$.

Tabla 2.3. Tabla de la Verdad NOT. Fuente: Elaboración Propia.

Entrada	Salida
A	\bar{A}
0	1
1	0

Su representación gráfica en la norma ANSI se ilustra en la Fig. 2.7, donde su figura geométrica es un triángulo con un círculo a la salida, y la norma IEC se muestra en la Fig. 2.8.

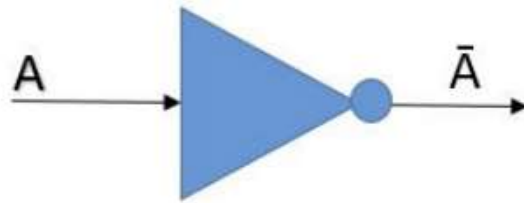


Figura 2.7. Símbolo electrónico en Norma ANSI para la compuerta NOT. Fuente: Elaboración Propia.

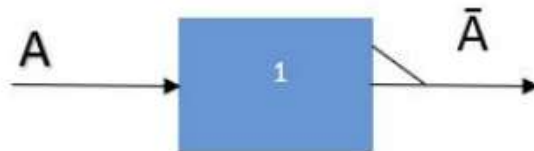


Figura 2.8. Símbolo electrónico en Norma IEC para la compuerta NOT. Fuente: Elaboración Propia.

El circuito eléctrico equivalente se muestra en la Fig. 2.9, donde el posible camino del flujo eléctrico para encender el bombillo puede ser dos.

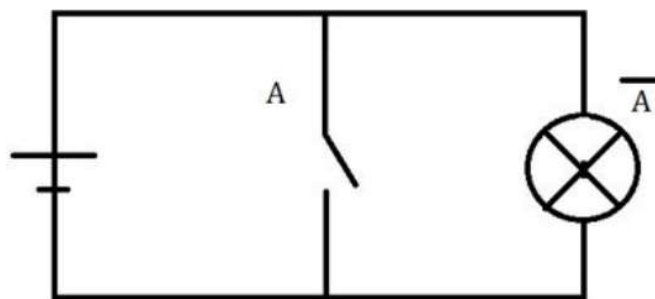


Figura 2.9. Circuito eléctrico equivalente NOT. Fuente: Elaboración Propia.

❖ NAND

También denominada AND negada, esta compuerta trabaja al contrario de una AND. Dicha función se puede aplicar a dos o más señales de entrada, más si se obtuviera una única respuesta. Se aclara que dicha operación se puede aplicar a más de dos señales de entrada.

La tabla de verdad de la compuerta lógica NAND se muestra en la tabla 2.4, donde se aprecia las señales de entrada A y B, y la señal de salida representada por C. Se muestran todas las posibles combinaciones entre las señales de entrada A y B, y en respuesta a ello la señal C como el resultado de aplicar NAND. Cabe mencionar que también puede ver se cómo la operación matemática de multiplicación y encima de ella una línea recta resaltando la negación a dicha operación. Y su ecuación lógica es $C = \overline{A \times B}$.

Tabla 2.4. Tabla de la Verdad NAND. Fuente: Elaboración Propia.

Entrada		Salida
A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

Su representación gráfica en la norma ANSI se ilustra en la Fig. 2.10, donde su figura geométrica es igual a la AND, pero con un círculo a la salida, indicando la negación de la resultante, y para la norma IEC se muestra en la Fig. 2.11.



Figura 2.10. Símbolo electrónico en Norma ANSI para la compuerta NAND. Fuente: Elaboración Propia.



Figura 2.11. Símbolo electrónico en Norma IEC para la compuerta NAND. Fuente: Elaboración Propia.

El circuito eléctrico equivalente para la compuerta NAND se muestra en la Fig. 2.12, donde el posible camino del flujo eléctrico para encender el bombillo puede ser dos. Por lo que la manera en que el bombillo se mantenga apagado, un cero lógico, será con ambos interruptores de entrada se mantengan cerrados, es decir un uno lógico.

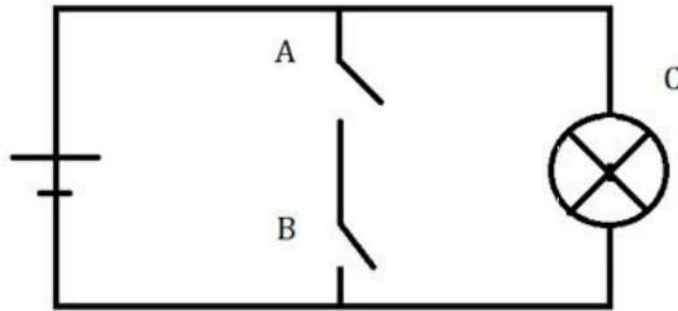


Figura 2.12. Circuito eléctrico equivalente NAND. Fuente: Elaboración Propia.

❖ NOR

También la compuerta OR también tiene su versión inversa. La cantidad de entradas puede ser de dos en adelante, más sólo se obtiene una salida. Su función lógica sería tomar dos o más señales de entrada y aplicarle la función matemática de suma para obtener una señal de salida en función de la operación “O” pero a dicho resultado se le debe aplicar la operación NOT, por lo que se debe invertir sus resultados finales obtenidos. Prácticamente como una suma matemática, pero le aplicarás una negación al resultado.

La tabla de verdad de la compuerta lógica NOR se muestra en la tabla 2.5, donde se aprecian dos señales de entrada A y B, y la señal de salida denominada C. Donde se muestran todas las posibles combinaciones lógicas que podrían existir entre las señales A y B, y en respuesta a ello la señal C como el resultado de aplicar NOR. Su ecuación lógica es $C = \overline{A + B}$.

Tabla 2.5. Tabla de la Verdad NOR. Fuente: Elaboración Propia.

Entrada		Salida
A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

Su representación gráfica en la norma ANSI se ilustra en la Fig. 2.13, donde su figura geométrica es divergente a la salida con un círculo, pero curva en las entradas, mientras en la norma IEC se muestra en la Fig. 2.14.

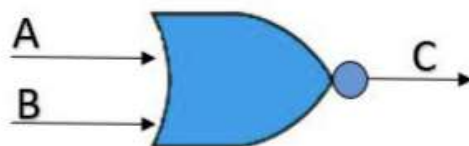


Figura 2.13. Símbolo electrónico en Norma ANSI para la compuerta NOR. Fuente: Elaboración Propia.



Figura 2.14. Símbolo electrónico en Norma IEC para la compuerta NOR. Fuente: Elaboración Propia.

El circuito eléctrico equivalente para la compuerta NOR se muestra en la Fig. 2.15, donde el posible camino del flujo eléctrico para encender el bombillo puede ser varios. Por lo que la manera en que el bombillo se mantenga apagado, un cero lógico, será que un solo interruptor de entrada se mantenga cerrados, es decir un uno lógico.

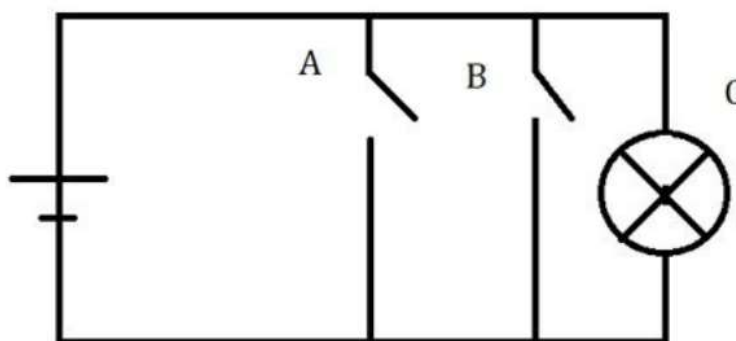


Figura 2.15. Circuito eléctrico equivalente NOR. Fuente: Elaboración Propia.

❖ XOR

También llamada OR exclusiva, su funcionalidad se basa en multiplicar las señales de entrada alternadas, es decir su valor normal por el valor invertido de otra señal de entrada y luego se suma por el opuesto de dicha suma.

La tabla de verdad de la compuerta lógica XOR se muestra en la tabla 2.6, donde se aprecian dos señales de entrada A y B, y la señal de salida denominada C. Todas las posibles

combinaciones lógicas que podrían existir entre las señales A y B, y en respuesta a ello la señal C como el resultado de aplicar XOR. Su ecuación lógica es $C = (A \times \bar{B}) + (\bar{A} \times B)$.

Tabla 2.6. Tabla de la Verdad XOR. Fuente: Elaboración Propia.

Entrada		Salida
A	B	C
0	0	0
0	1	1
1	0	1
1	1	0

Su representación gráfica en la norma ANSI se ilustra en la Fig. 2.16, donde su figura geométrica es igual a la OR, pero en sus entradas se coloca una doble línea, mientras que en la norma IEC se ilustra en la Fig. 2.17.

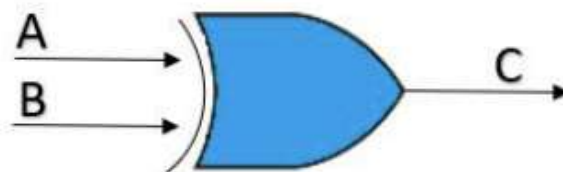


Figura 2.16. Símbolo electrónico en Norma ANSI para la compuerta XOR. Fuente: Elaboración Propia.



Figura 2.17. Símbolo electrónico en Norma IEC para la compuerta XOR. Fuente: Elaboración Propia.

El circuito eléctrico equivalente se muestra en la Fig. 2.18, donde el posible camino del flujo eléctrico para encender el bombillo puede ser varios.

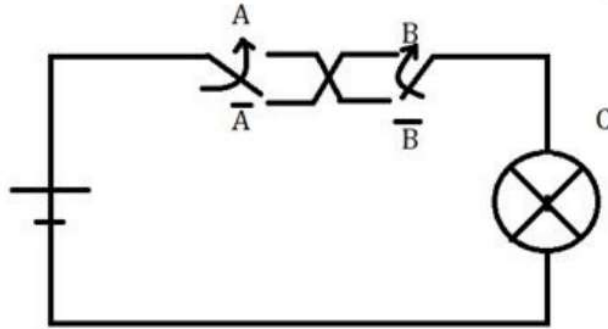


Figura 2.18. Circuito eléctrico equivalente XOR. Fuente: Elaboración Propia.

❖ XNOR

Esta es todo lo contrario a la compuerta XOR, su funcionalidad se basa en la multiplicación de sus entradas, tanto linealmente como opuesto a sus valores, luego se deben sumar dichas multiplicaciones.

La tabla de verdad de la compuerta lógica XNOR se muestra en la tabla 2.7, donde se aprecian dos señales de entrada A y B, y la señal de salida denominada C. Todas las posibles combinaciones lógicas que podrían existir entre las señales A y B, y en respuesta a ello la señal C como el resultado de aplicar XNOR. Su ecuación lógica es $C = (A \times B) + (\overline{A} \times \overline{B})$.

Tabla 2.7. Tabla de la Verdad XNOR. Fuente: Elaboración Propia.

Entrada		Salida
A	B	C
0	0	1
0	1	0
1	0	0
1	1	1

Su representación gráfica en la norma ANSI se ilustra en la Fig. 2.19, donde su figura geométrica es divergente a la salida con un círculo, pero dos curvas en las entradas, mientras que en la norma IEC se muestra en la Fig. 2.20.

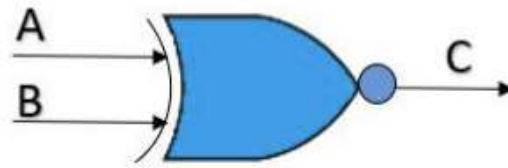


Figura 2.19. Símbolo electrónico en Norma ANSI para la compuerta XNOR. Fuente: Elaboración Propia.



Figura 2.20. Símbolo electrónico en Norma IEC para la compuerta XNOR. Fuente: Elaboración Propia.

El circuito eléctrico equivalente se muestra en la Fig. 2.21, Por lo que la manera en que el bombillo se mantenga encendido, un uno lógico, será que ambos interruptores de entrada (A o B) se mantenga cerrados (un cero lógico) o abiertos (un uno lógico) al mismo tiempo iguales.

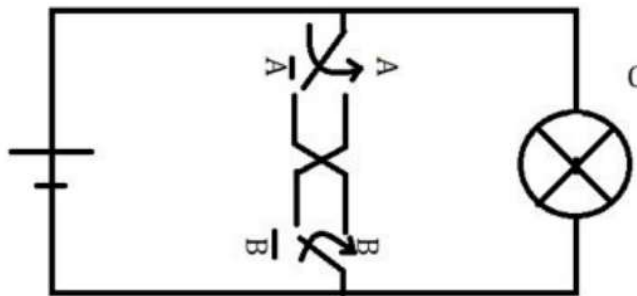
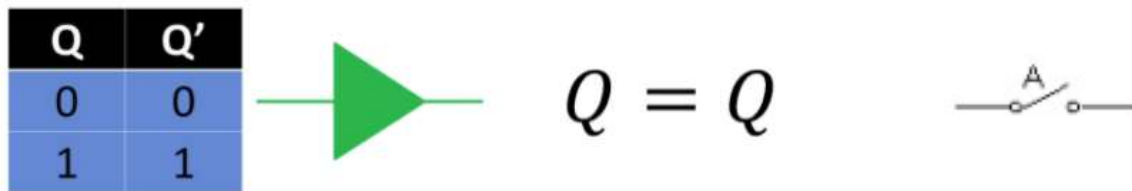


Figura 2.21. Circuito eléctrico equivalente XNOR. Fuente: Elaboración Propia.

❖ IF (Buffer)

No es una muy utilizada o reconocida ya que su funcionamiento en estados lógicos es parecido a si solo hubiera un cable conectado porque exactamente lo que se le coloque en la entrada, se encontrara en la salida. Pero también es conocido como un buffer, en la práctica se utiliza como amplificador de corriente o como seguidor de tensión para adaptar

impedancias. A continuación, se muestra su tabla de verdad, su símbolo electrónico en norma ANSI, su ecuación lógica y su símbolo en un circuito eléctrico.



Familias lógicas

Son un grupo de circuitos integrados digitales monolíticos, contruidos de compuertas lógicas usando diseños diferentes, usualmente con niveles lógicos compatibles y características de fuente de poder dentro de una familia.

Un circuito integrado (CI) es un cristal semiconductor de silicio, llamado pastilla, que contiene componentes eléctricos tales como transistores, diodos, resistencias y capacitores, etc. que están interconectados dentro de la pastilla para formar un circuito electrónico.

Clasificación:

- **Lineales:** Operan con señales continuas para producir funciones electrónicas (ej. Amplificadores, moduladores).
- **Digitales:** Operan con señales binarias y se hacen compuertas digitales interconectadas.

Familias de los circuitos integrados

	Tecnología	Serie
Familia de circuitos lógicos integrados con transistores bipolares	TTL	TTL estándar
		TTL de baja potencia
		TTL shoottky
		TTL shoottky de baja potencia
		TTL shoottky avanzada
	ECL	
Familia de circuitos lógicos integrados con transistores MOSFET	CMOS	CMOS estándar
		CMOS HC
		CMOS HCT
	NMOS	
	PMOS	
BiCMOS Combina transistores bipolares con transistores MOSFET		

Familia TTL (Lógica transistor-transistor)

Tiene una lista extensa de funciones digitales y es comúnmente la familia lógica más popular. Se caracteriza por tener tres etapas:

- Etapa de entrada por emisor: se utiliza un transistor multi-emisor en lugar de la matriz de diodos de los DTL's.
- Separador de fase: es un transistor conectado en emisor común que produce en su colector y emisor señales en contrafase.
- Driver: está formada por varios transistores, separados en dos grupos. El primero va conectado al emisor del separador de fase El segundo grupo va conectado al colector del divisor de fase y produce el nivel alto.

Además, sus características son:

- Su tensión de alimentación característica se halla comprendida entre los 4,75V y los 5,25V. Normalmente TTL trabaja con 5V.
- Los niveles lógicos vienen definidos por el rango de tensión comprendida entre 0,0V y 0,8V para el estado L (bajo) y los 2,2V y V_{cc} para el estado H (alto).

- La velocidad de transmisión entre los estados lógicos es su mejor base, si bien esta característica le hace aumentar su consumo siendo su mayor enemigo. Motivo por el cual han aparecido diferentes versiones de TTL como FAST, LS, S, etc. y últimamente los CMOS: HC, HCT y HCTLS.
- Las señales de salida TTL se degradan rápidamente si no se transmiten a través de circuitos adicionales de transmisión.

Familia RTL (Lógica resistor-transistor)

Para la familia RTL, el bloque NOR es la base de la familia RTL, permitiendo el cableado lógico uniendo entre sí las salidas de dos o más puertas. Siempre se destacaron por ser una familia de componentes muy resistentes a cualquier tipo de falla. Se asume que este tipo de compuertas se interconectan entre ellas, siendo natural que una salida de una compuerta RTL se conecte a una entrada de una compuerta RTL.

Ventajas de RTL

- Poca área requerida para integración (alta densidad de empaquetamiento).
- Baja disipación y costo.

Desventajas de RTL

- Bajo FAN-OUT.
- Bajos márgenes de ruidos.

Familia DTL (Lógica de diodo-transistor)

Es una categoría de circuitos digitales inmediatamente anterior a la TTL. Recibe ese nombre porque la función de la puerta lógica (AND) la realiza una red de diodos mientras que la función de amplificación es realizada por un transistor (esto contrasta con la lógica RTL y la TTL). Se caracteriza por:

- Disipación de potencia 12mW.
- Tiempo de retardo 30 ns a 80 ns.
- Margen de ruido cercano a 1v.
- Fan out 12mA.

La funcionalidad de las DTL es que tiene una puerta realiza la función NAND en lógica positiva, y la NOR en lógica negativa. Cuando cualquiera de sus entradas está en nivel bajo el transistor de salida pasa al corte y la tensión de su colector pasa a nivel alto. Sólo cuando todas las entradas están a nivel alto, conducirá el transistor y la tensión de su colector será baja.

Familia ECL (Lógica acoplada por emisor)

Son unos circuitos integrados digitales los cuales usan transistores bipolares, pero a diferencia de los TTL en los ECL se evita la saturación de los transistores, esto da lugar a un incremento en la velocidad total de conmutación.

Ventajas de la familia ECL

- Son los circuitos más veloces y pueden alcanzar tiempos de demora de hasta 1ns.
- No existen picos de corrientes en los transistores.
- Se dispone de salidas complementadas, lo que le brinda mayor versatilidad.
- Buen factor de carga $N= 15$.

Desventajas de la familia ECL

- Pequeños valores de los márgenes de ruidos.
- Altos valores de potencia del orden de 40 mW.
- No son compatibles con los circuitos TTL.
- Ocupan gran área en los circuitos integrados.

Familia MOS (Semiconductor de óxido de metal)

Es un dispositivo electrónico formado por un sustrato de silicio dopado, sobre el cual se hace crecer una capa de óxido. La estructura se compara con un condensador de placas paralelas, en donde se reemplaza una de las placas por el silicio semiconductor del sustrato, y la otra por un metal, aunque en la práctica se usa poli silicio, es decir, un poli cristal de silicio.

Aplicaciones

- La estructura MOS es de gran importancia dentro de los dispositivos de estado sólido pues forma los transistores MOSFET, base de la electrónica digital actual. Además, es el pilar fundamental de los dispositivos de carga acoplada, CCD.
- También se utilizan como condensadores de precisión en electrónica analógica y microondas.

Familia CMOS (Semiconductor complementario de óxido de metal)

Consiste en la utilización conjunta de transistores de tipo p MOS y tipo n MOS configurados de forma tal que, en estado de reposo, el consumo de energía es únicamente el debido a las corrientes parásitas, colocado en la placa base.

Ventajas

- El bajo consumo de potencia estática, gracias a la alta impedancia de entrada de los transistores de tipo MOSFET y a que, en estado de reposo, un circuito CMOS sólo experimentará corrientes parásitas. Gracias a su carácter regenerativo, los circuitos CMOS son robustos frente a ruido o degradación de señal debido a la impedancia del metal de interconexión.
- Los circuitos CMOS son sencillos de diseñar.
- La tecnología de fabricación está muy desarrollada, y es posible conseguir densidades de integración muy altas a un precio mucho menor que otras tecnologías.

Desventajas

- Debido al carácter capacitivo de los transistores MOSFET, y al hecho de que estos son empleados por duplicado en parejas n MOS-p MOS, la velocidad de los circuitos CMOS es comparativamente menor que la de otras familias lógicas.
- Son vulnerables a latch-up: Consiste en la existencia de un tiristor parásito en la estructura CMOS que entra en conducción cuando la salida supera la alimentación.
- Según se va reduciendo el tamaño de los transistores, las corrientes parásitas empiezan a ser comparables a las corrientes dinámicas (debidas a la conmutación de los dispositivos).

Familia BiCMOS (Semiconductor bipolar complementario de óxido de metal)

Se combinan las ventajas de las tecnologías bipolar y CMOS integrándolas juntas en un mismo wafer. Se usa en analógica para la fabricación de amplificadores y en digital para algunos componentes discretos.

Ventajas

- La primera etapa aporta una elevada impedancia de entrada y la segunda una baja resistencia de salida. Pero además para determinadas configuraciones, sobre todo en cascada. Lo que se traduce en amplificadores con un alto ancho de banda y circuitos lógicos con alta velocidad de conmutación.

Desventajas

- El principal inconveniente de esta tecnología reside en ajustar por separado las características de los componentes BJT y MOS. Esto aumenta el número de etapas del proceso de fabricación y en consecuencia su coste.
- Adicionalmente, si atendemos a criterios de rendimiento la tecnología BiCMOS nunca puede ofrecer los bajos niveles de consumo de la tecnología CMOS.
- Sobre todo, se desconfiguran o en los peores casos explotan con la estática del cuerpo humano.

Bibliografía

logicbus(2021). Las Compuertas Lógicas y sus Operaciones Lógicas (AND, OR, NOT, NAND, NOR, XOR, XNOR). Consultado el 19 de agosto de 2021 en <https://www.logicbus.com.mx/compuertas-logicas.php>

Jimenez, M. (2021). Compuertas lógicas. Consultado el 19 de agosto de 2021 en <http://repositorio.utn.ac.cr/bitstream/handle/123456789/437/Compuertas%20L%C3%B3gicas.pdf?sequence=1&isAllowed=y>

Martínez Lendech, J. (2021). Familias Lógicas. Consultado el 19 de agosto de 2021 en <http://ri.uaemex.mx/bitstream/handle/20.500.11799/63800/secme-35342.pdf?sequence=1&isAllowed=y>