

UNIVERSIDAD DE GUADALAJARA

CUCEI

CARRERA: INGENIERIA EN COMPUTACION

SIMULACION 4: SUMADOR/RESTADOR 4 BITS EN PARALELO

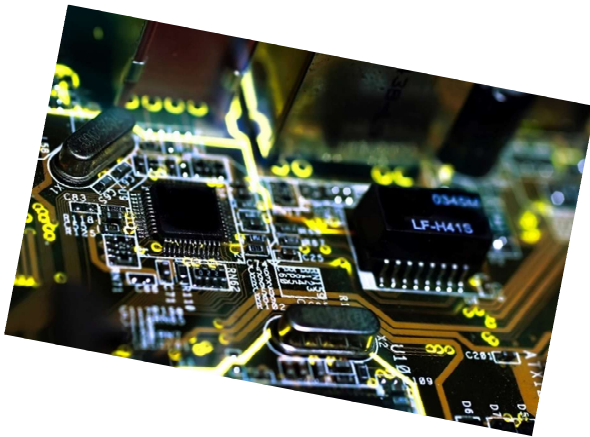
ALUMNO: EFRAIN ROBLES PULIDO

CODIGO: 221350095

NOMBRE DE LA MATERIA: ARQUITECTURA DE COMPUTADORAS

SECCIÓN: D10 CALENDARIO: 2021B

NOMBRE DE LA PROFESORA: THELMA ISABEL MORALES RAMIREZ



Sumador/Restador 4 bits en paralelo

Cuando comparamos las expresiones del sumador y del restador, desde sus tablas de verdad, se pudo notar unas pocas diferencias, como que solo cambia la negación de algunas variables, pero se mantiene igual el resto de la expresión, como para el semi-sumador con el semi-restador y el sumador completo con el restador completo, como se verá a continuación.

$$S = \bar{a}b + a\bar{b} \rightarrow a \oplus b$$
$$C_0 = \boxed{ab}$$

Semi-sumador (S=bit de salida y C_0 =acarreo)

$$\bar{E} = \bar{a}b + a\bar{b} = a \oplus b$$
$$C_0 = \boxed{\bar{a}b}$$

Semi-restador (\bar{E} =bit de salida y C_0 =acarreo)

Sumador completo (S=bit de salida y C_1 =acarreo)

SUMA

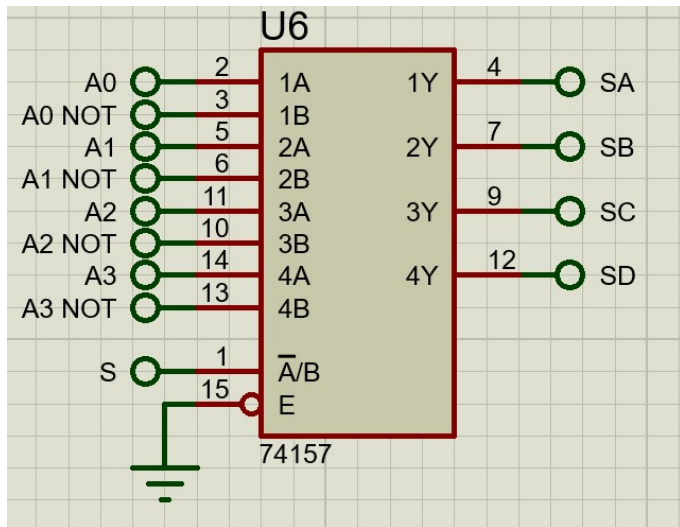
$$S = C_0 \oplus a \oplus b$$
$$C_1 = \boxed{ab} + C_0 \boxed{(a \oplus b)}$$

Restador completo (\bar{E} =bit de salida y C_1 =acarreo)

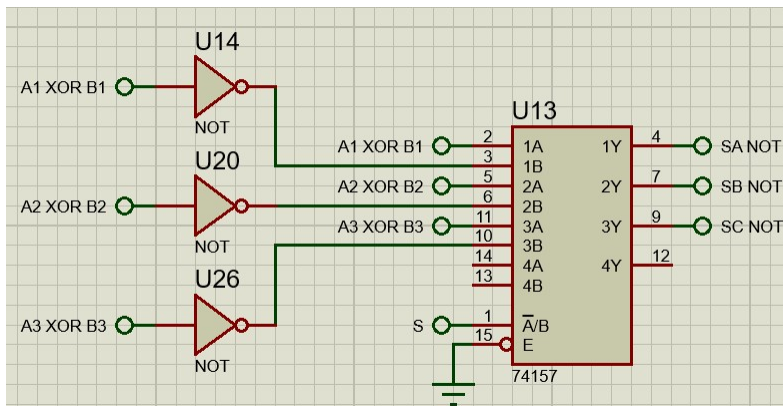
RESTA

$$\bar{E} = C_0 \oplus a \oplus b$$
$$C_1 = \boxed{\bar{a}b} + C_0 \boxed{(a \oplus b)}$$

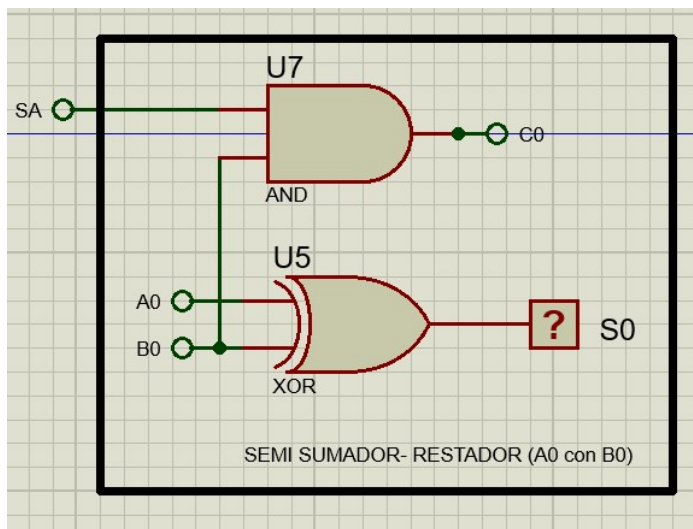
Así que se utilizó como base el circuito sumador de 4 bits en paralelo de la practica anterior, en donde se le incluyo **dos multiplexores**, que tiene 4 multiplexores en un solo cuadro para esta práctica, que serán útiles para hacer la suma o la resta, pudiendo elegir entre 2 variables en donde solo varia con una negación (y que solo se le aplicara una compuerta NOT), uno por cada bit de A y otro multiplexor para la XOR que se hace en cada acarreo.



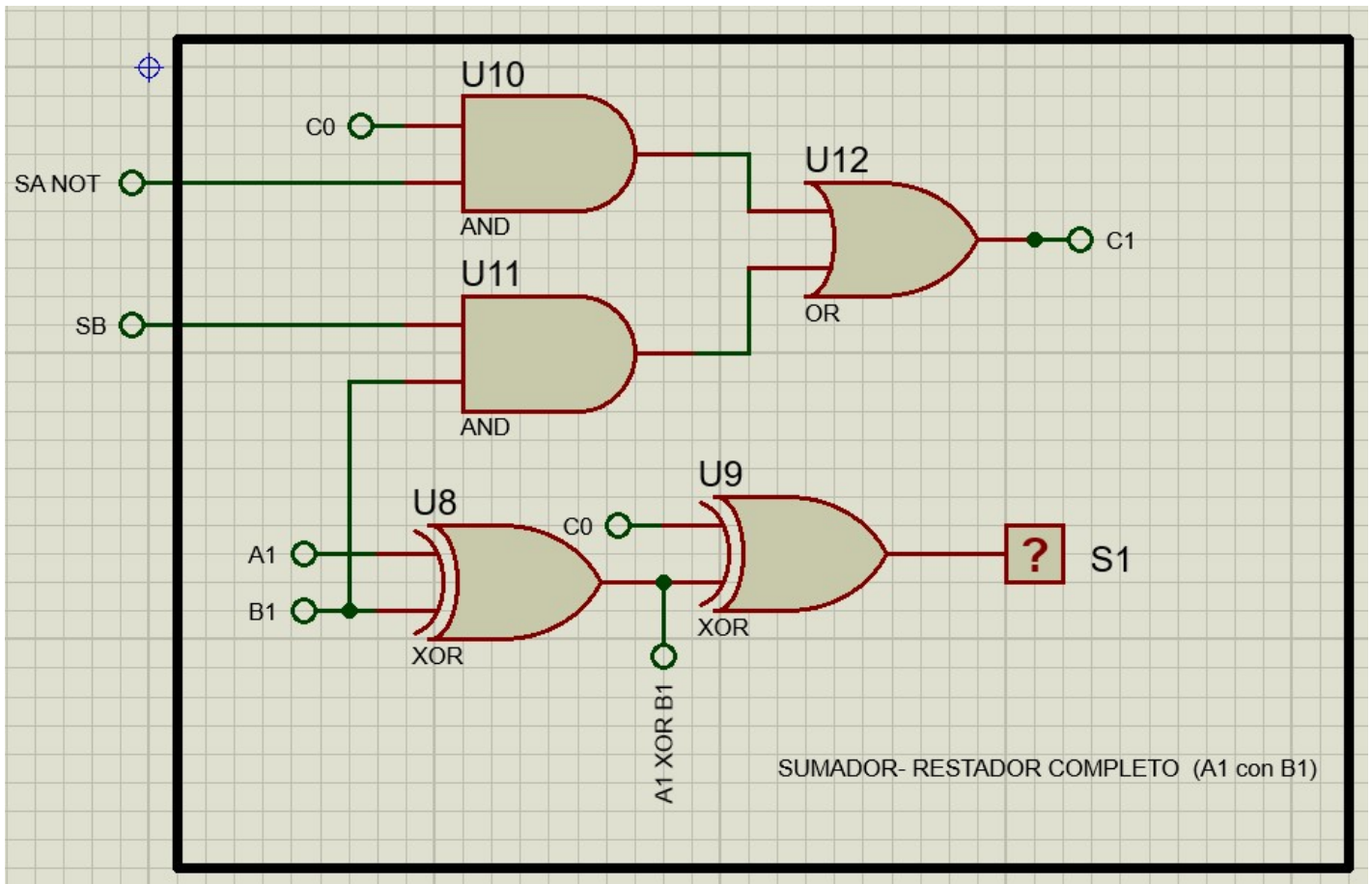
Este multiplexor nos ayuda a seleccionar entre el bit o con la negación del mismo bit del A, dependiendo del valor que tengamos en S, será nuestro accionador entre suma (0) y la resta (1), en donde cada salida de este multiplexor ira al respectivo sumador/restador completo necesario que se verá a continuación.



Este multiplexor nos ayuda a seleccionar entre la XOR de sus respectivos bits del A con el del B, o con la negación de esa misma operación (XNOR), dependiendo del valor que tengamos en S, será nuestro accionador entre suma (0) y la resta (1), en donde cada salida de este multiplexor ira al respectivo sumador/restador completo necesario que se verá más adelante.

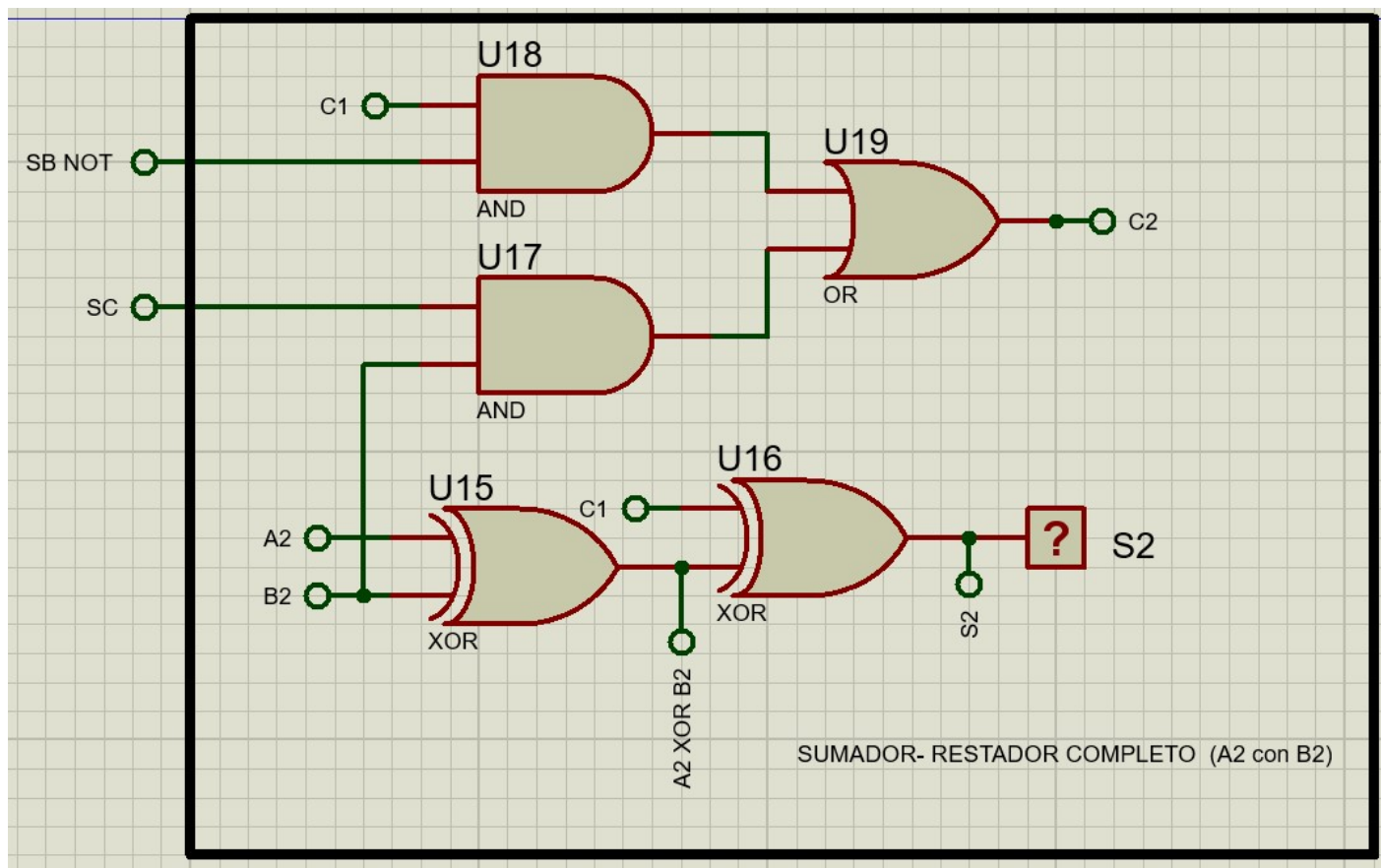


Como vimos anteriormente en su expresión booleana, podemos observar que para hacer el semi sumador/restador solo variará el bit de A0 con solo una negación para hacer la operación respectiva y darnos su acarreo correspondiente (Co).

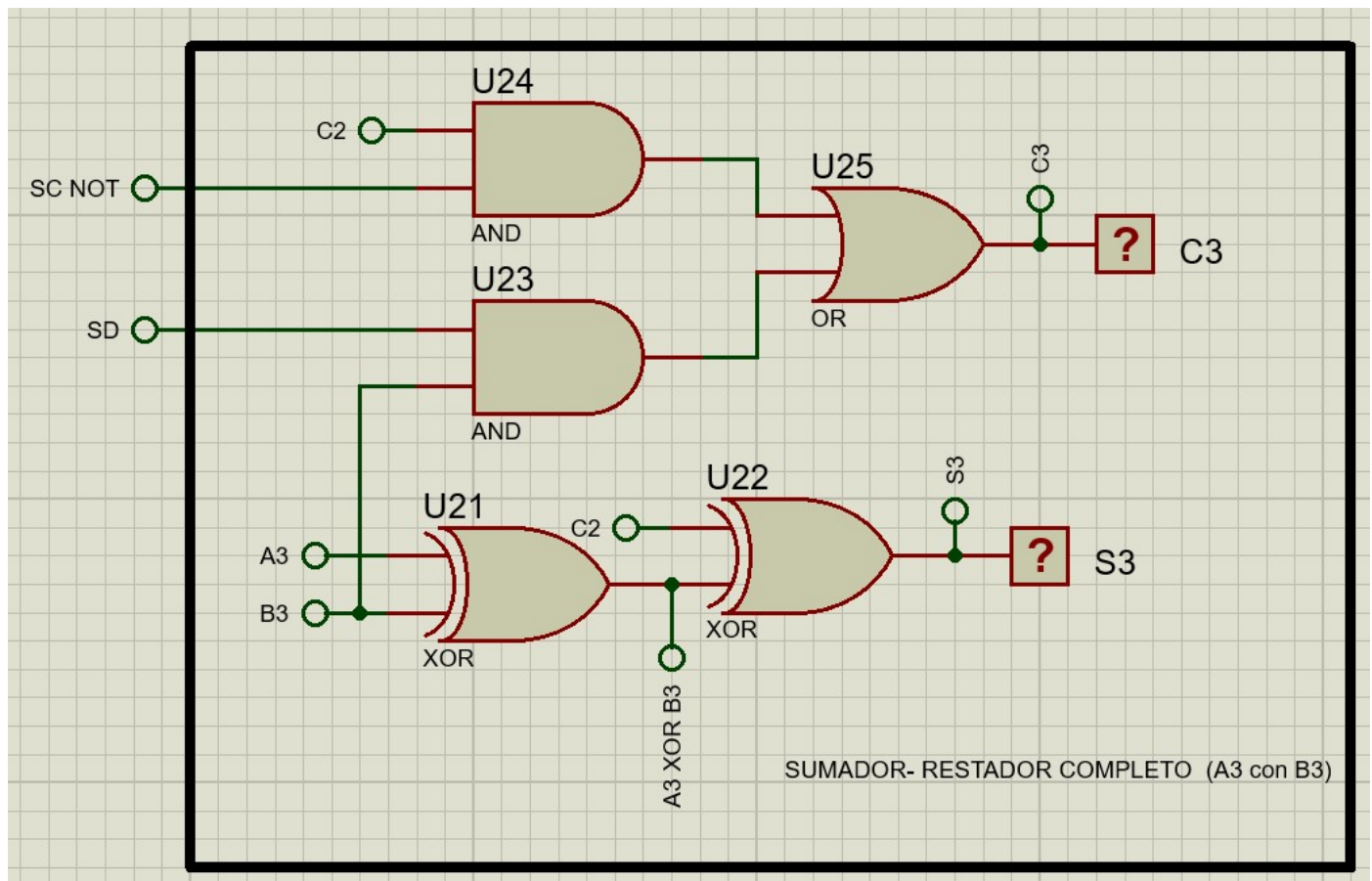


Para esta operación de sumador/restador completo (A1 con B1) como vimos en la expresión booleana del principio, en lo único que varía con sola una negación son el bit A1 y la operación XOR de A0 con B0, así que se mandará las señales de A1 XOR B1 y la del bit A1 para que se conecte a una entrada de su multiplexor correspondiente y se le aplicara también una negación con una compuerta NOT y que se conectará a la otra entrada del mismo multiplexor para seleccionar entre esas dos señales, dependiendo del valor S será que se **seleccione** entre la señal sin negación o con la negación respectivamente. Regresando como SA NOT ($A1 \text{ XOR } B1 \text{ o } (A1 \text{ XOR } B1)'$) y SB ($A1 \text{ o } (A1)'$).

Este circuito se repetirá para poder realizar la suma/resta con los otros bits de A con B con la única diferencia que se cambiará los bits a utilizar en la operación y la operación de la XOR con sus bits correspondientes, como se verá a continuación.



Se mandará las señales de $A2 \text{ XOR } B2$ y la del bit A2 para que se conecte a una entrada de su multiplexor correspondiente y se le aplicara también una negación con una compuerta NOT y que se conectará a la otra entrada del mismo multiplexor para seleccionar entre esas dos señales, dependiendo del valor S será que se **seleccione** entre la señal sin negación o con la negación respectivamente. Regresando como SB NOT ($A2 \text{ XOR } B2$ o $(A2 \text{ XOR } B2)'$) y SC ($A2$ o $(A2)'$).



Se mandará las señales de $A_3 \text{ XOR } B_3$ y la del bit A_3 para que se conecte a una entrada de su multiplexor correspondiente y se le aplicara también una negación con una compuerta NOT y que se conectará a la otra entrada del mismo multiplexor para seleccionar entre esas dos señales, dependiendo del valor S será que se **seleccione** entre la señal sin negación o con la negación respectivamente. Regresando como SC NOT ($A_3 \text{ XOR } B_3$ o $(A_3 \text{ XOR } B_3)'$) y SD (A_3 o $(A_3)'$).

Para finalizar, aquí está el circuito resultante para el sumador/restador de 4 bits en paralelo.

