

**UNIVERSIDAD DE GUADALAJARA**

**CUCEI**

**CARRERA: INGENIERIA EN COMPUTACION**

**INVESTIGACION 3: CIRCUITOS LÓGICOS SECUENCIALES**

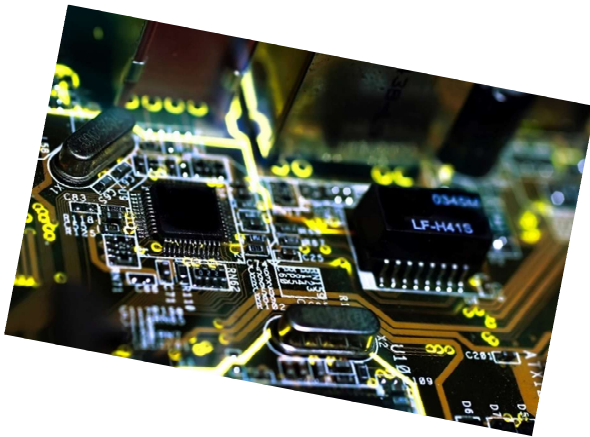
**ALUMNO: EFRAIN ROBLES PULIDO**

**CODIGO: 221350095**

**NOMBRE DE LA MATERIA: ARQUITECTURA DE COMPUTADORAS**

**SECCIÓN: D10      CALENDARIO: 2021B**

**NOMBRE DE LA PROFESORA: THELMA ISABEL MORALES RAMIREZ**



# Circuitos Lógicos Secuenciales

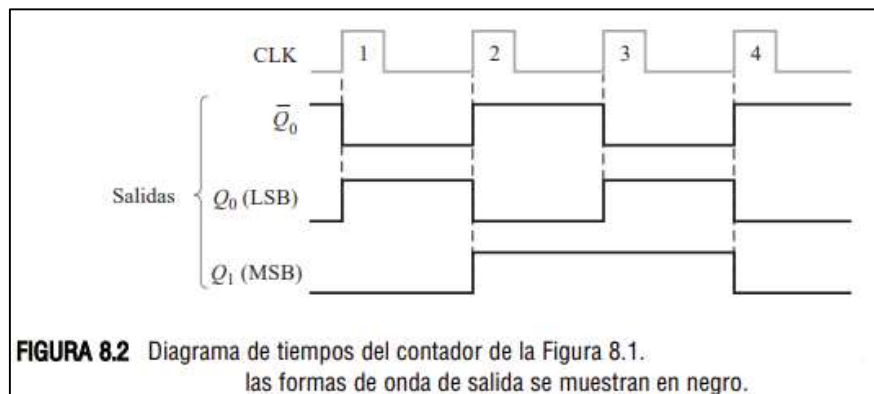
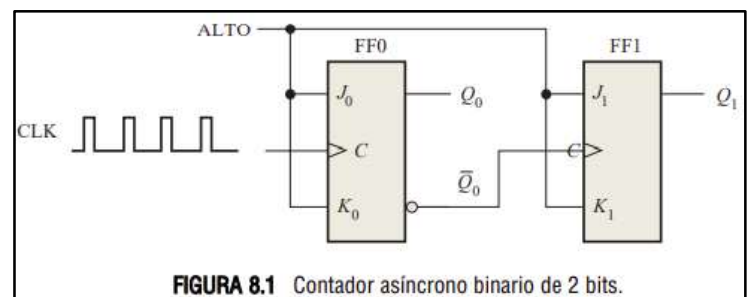
Los circuitos lógicos secuenciales se caracterizan porque las salidas están determinadas no solo por las entradas existentes sino también por la secuencia de entradas que condujeron al estado existente. Los circuitos lógicos secuenciales pueden ser clasificados como: **asíncronos** y **síncronos**.

## Asíncronos

Se refiere a los sucesos que no poseen una relación temporal fija entre ellos y que, generalmente, no ocurren al mismo tiempo. Un **contador asíncrono** es aquél en el que los flip-flops (FF) del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten el mismo impulso de reloj.

### Contador asíncrono binario de 2 bits

El reloj (CLK) está conectado únicamente a la entrada de reloj (C) del primer flip-flop, FF0. El segundo flip-flop, FF1, se dispara mediante la salida de FF0. FF0 cambia de estado durante el flanco positivo de cada impulso de reloj, pero FF1 sólo cambia cuando es disparado por una transición positiva de la salida de FF0. Debido al **retardo de propagación** inherente al paso de las señales por un flip-flop, las transiciones de los impulsos de entrada del reloj y de la salida de FF0 no pueden ocurrir nunca al mismo tiempo. Por tanto, **los dos flip-flops nunca se disparan de forma simultánea**, por lo que el modo de funcionamiento de este contador es asíncrono.



En el diagrama de tiempos, las formas de onda de las salidas Q<sub>0</sub> y Q<sub>1</sub> se muestran en función de los impulsos de reloj, como ilustra la Figura 8.2. Para simplificar, las transiciones de Q<sub>0</sub>, Q<sub>1</sub> y los impulsos de reloj se muestran como simultáneos, aunque se trate de un contador asíncrono. Existe, por supuesto, un ligero retardo entre las transiciones de CLK y Q<sub>0</sub> y las transiciones de y Q<sub>1</sub>.

El contador de 2 bits dispone de cuatro estados diferentes, como cabría esperar de dos flip-flops ( $2^2 = 4$ ). Además, téngase en cuenta que si Q<sub>0</sub> representa el bit menos significativo (LSB) y Q<sub>1</sub> representa el bit más significativo (MSB), la secuencia de los estados del contador representa una secuencia de números binarios, como se muestra en la Tabla 8.1.

Impulso de reloj	Q <sub>1</sub>	Q <sub>2</sub>
Inicialmente	0	0
1	0	1
2	1	0
3	1	1
4 (nuevo ciclo)	0	0

**TABLA 8.1** Secuencia de estados binarios para el contador de la Figura 8.1.

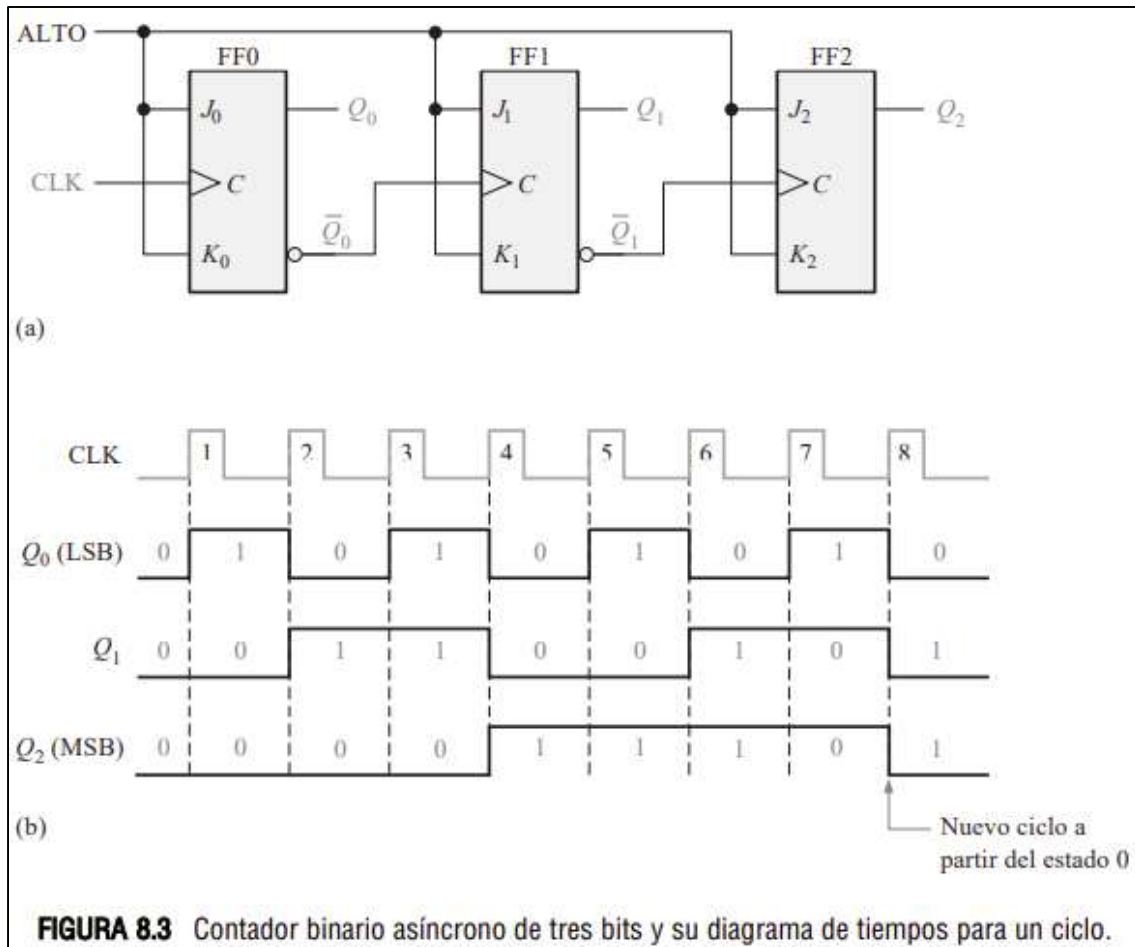
Este contador cuenta el número de impulsos de reloj hasta el tercero y, en el cuarto impulso, inicia un nuevo ciclo a partir de su estado original (Q<sub>0</sub> = 0, Q<sub>1</sub> = 0). El inicio de un nuevo ciclo (recycle, término que se aplica comúnmente al funcionamiento de los contadores) se refiere a la transición del contador de su estado final a su estado original.

### Contador asíncrono binario de 3 bits

En la Tabla 8.2 y en la Figura 8.3(a) se muestra un contador asíncrono binario de 3 bits, en donde, su funcionamiento básico es el mismo que el contador de 2 bits, excepto en que el contador de 3 bits tiene ocho estados, ya que está formado por tres flip-flops. *Este contador puede ampliarse fácilmente a un contador mayor, conectando flip-flops adicionales.*

Impulso de reloj	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
Inicialmente	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (nuevo ciclo)	0	0	0

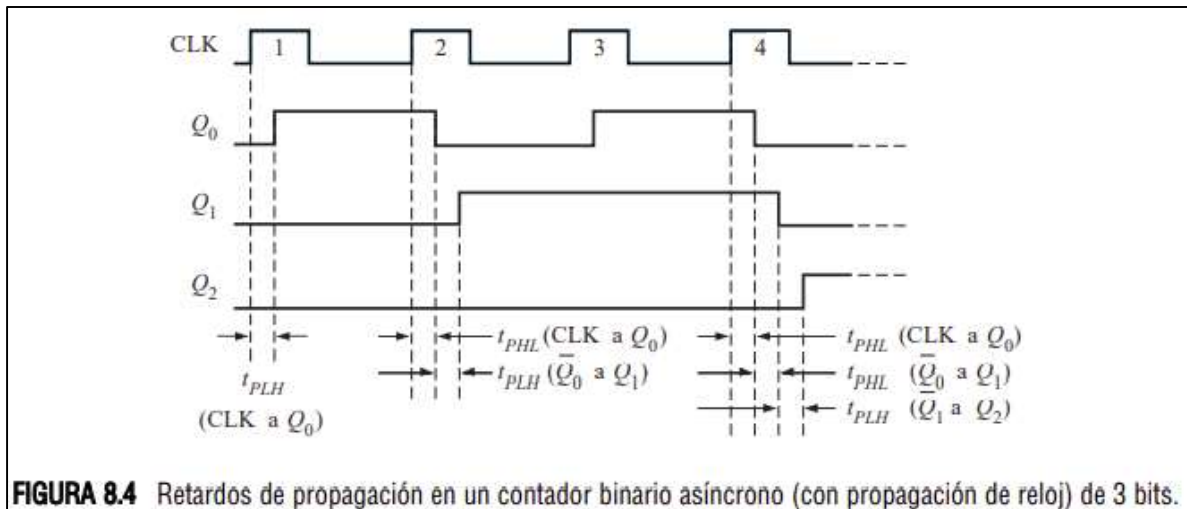
**TABLA 8.2** Secuencia de estados de un contador binario de tres bits.



### Retardo de propagación

También son llamados como **contadores con propagación**, debido el efecto de un impulso en la entrada de reloj lo "siente" primero FF0. Se produce un retardo de propagación a través de FF1, antes de que FF2 pueda ser disparado. Por tanto, el efecto de un impulso en la entrada de reloj se "propaga" a través del contador, tardando un cierto tiempo en alcanzar el último de los flip-flops, debido a los retardos de propagación.

Este efecto de propagación de la señal de reloj se muestra en la Figura 8.4 para los cuatro primeros impulsos de reloj, indicando los retardos de propagación. Como puede ver, FF2 no se dispara hasta que han transcurrido dos unidades de retardo después del flanco positivo del impulso de reloj, CLK4. Por tanto, se necesitan tres unidades de retardo para que el efecto del impulso de reloj CLK4 se propague a través del contador y  $Q_2$  pase de nivel BAJO a nivel ALTO.



Este retardo acumulativo de un contador asíncrono es una de sus mayores desventajas para muchas aplicaciones, ya que limita la velocidad a la que el contador puede ser sincronizado, y puede dar lugar a problemas de decodificación. *El retardo acumulativo máximo en un contador tiene que ser menor que el período de la señal de reloj.*

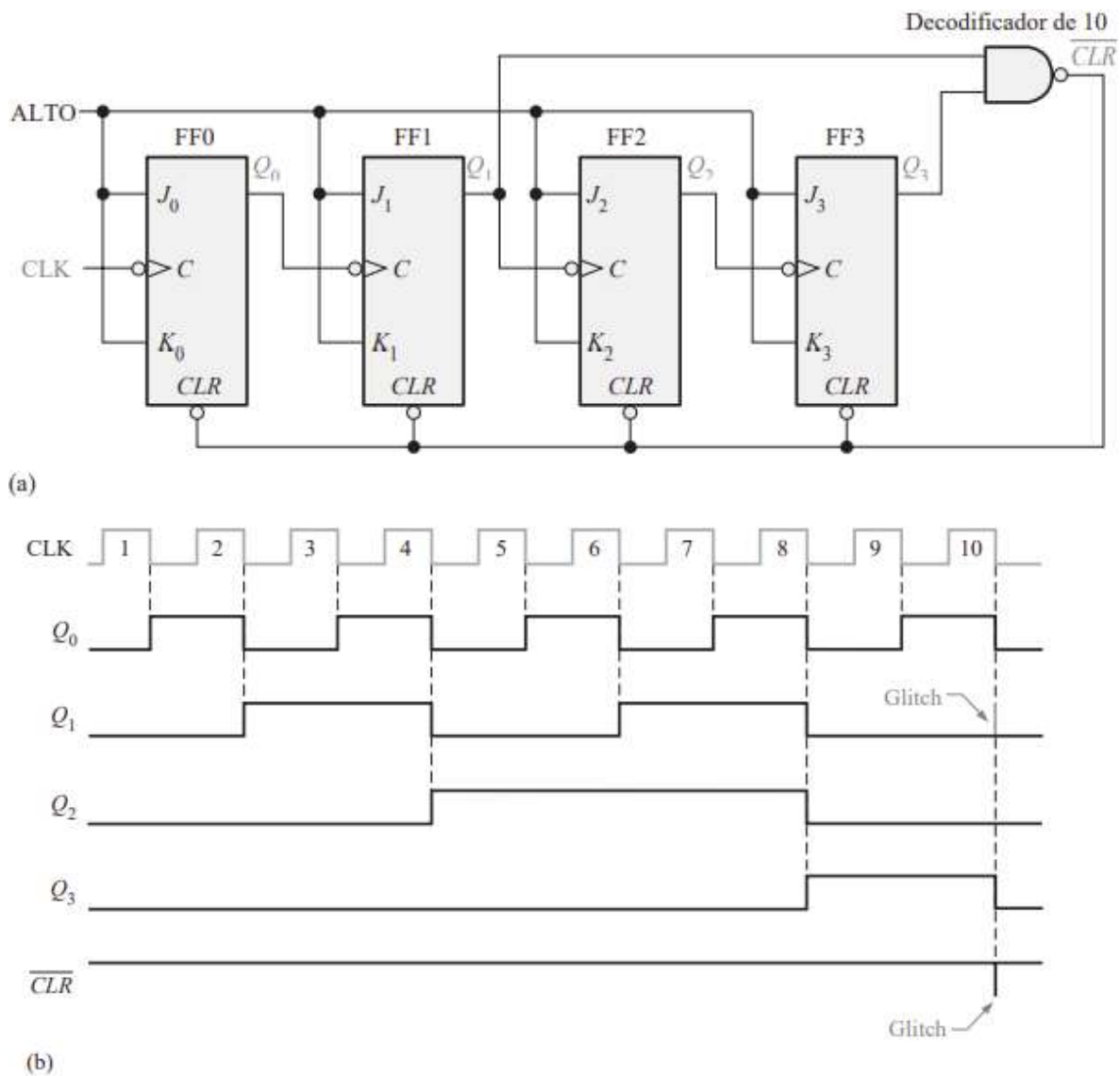
### Contador de décadas asíncrono

El módulo de un contador es el número de estados distintos por el que el contador puede pasar de forma secuencial. El número máximo de posibles estados (módulo máximo) de un contador es  $2^n$ , donde  $n$  representa el número de flip-flops del contador. También se pueden diseñar contadores que tengan un número de estados en su secuencia que sea menor que el máximo de  $2^n$ . La secuencia resultante se denomina secuencia truncada.

Un módulo típico en los contadores con secuencia truncada es diez (denominado MOD10). Los contadores que tienen diez estados en su secuencia se denominan contadores de décadas. Un contador de décadas, cuya secuencia de cuenta vaya de cero (0000) a nueve (1001), es un contador de décadas BCD, ya que su secuencia de diez estados corresponde al código BCD. Este tipo de contadores resulta muy útil en las aplicaciones de displays, en las que se necesitan códigos BCD para la conversión a código decimal.

Para obtener una secuencia truncada, es necesario forzar al contador a que inicie un nuevo ciclo antes de haber pasado por todos los estados normales.

Para ilustrar el principio de los contadores truncados, vamos a utilizar un contador asíncrono de 4 bits, como el del Ejemplo 8.1, en el que modificaremos su secuencia. Una manera de hacer que un contador inicie un nuevo ciclo después de haber llegado a nueve (1001) consiste en decodificar el diez (1010) con una puerta NAND y conectar la salida de la puerta NAND a las entradas de borrado de los flip-flops, como se muestra en la Figura 8.6(a).



**FIGURA 8.6** Contador de décadas asíncrono con reinicialización asíncrona.

## Decodificación parcial

En la Figura 8.6(a) es un ejemplo de *decodificación parcial*, mediante la cual dos únicos estados ( $Q_1 = 1$  y  $Q_3 = 1$ ) son suficientes para decodificar el valor diez, ya que ninguno de los otros estados (de cero a nueve) tienen  $Q_1$  y  $Q_3$  a nivel ALTO al mismo tiempo. Cuando el contador llega al número diez (1010), la salida de la puerta decodificadora pasa a nivel BAJO y pone a cero asincrónicamente todos los flip-flops.

El diagrama de tiempos resultante se muestra en la Figura 8.6(b). Observe que hay un glitch en la forma de onda  $Q_1$ . La razón de este glitch es que  $Q_1$  tiene que pasar primero por el nivel ALTO antes de que el número diez pueda decodificarse.

## Contador binario asíncrono de 4 bits 74LS93

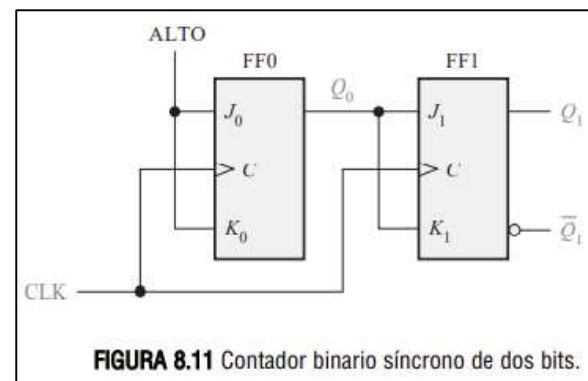
El 74LS93 es un ejemplo de circuito integrado contador asíncrono. este dispositivo está formado por un flip-flop y un contador asíncrono de 3 bits. Esta disposición le proporciona una gran flexibilidad. Si se utiliza únicamente el flip-flop, se puede utilizar como dispositivo divisor por 2; y si se utiliza únicamente el contador de 3 bits, se puede emplear como contador de módulo 8. Este dispositivo proporciona además entradas de puesta a cero (RESET)  $RO(1)$  y  $RO(2)$ . Cuando estas dos entradas están a nivel ALTO, el contador se reinicia al estado 0000 mediante.

## Síncronos

Se refieren a los eventos que tienen una relación temporal fija entre sí. Un contador síncrono es aquel en el que todos los flip-flops del contador reciben en el mismo instante la señal de reloj.

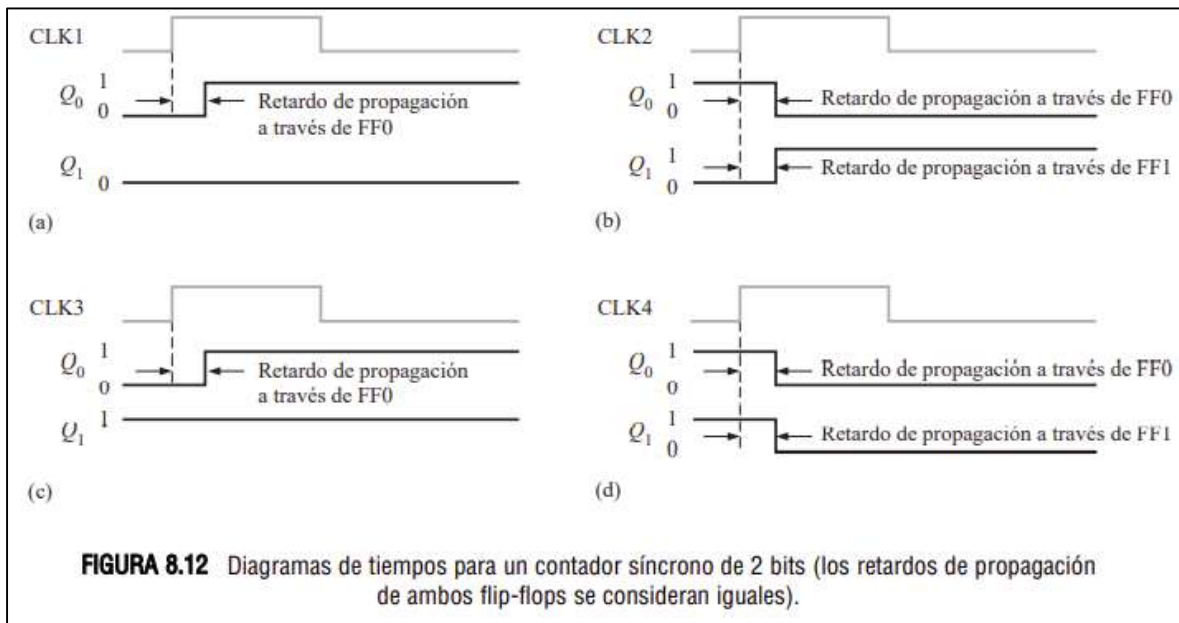
### Contador síncrono binario de 2 bits

Como se menciona anteriormente, la señal de reloj esta conectada a cada uno de los flip-flops. La Figura 8.11 muestra un contador binario síncrono de 2 bits. De esta manera todos los FF cambian de estado simultáneamente (en paralelo).

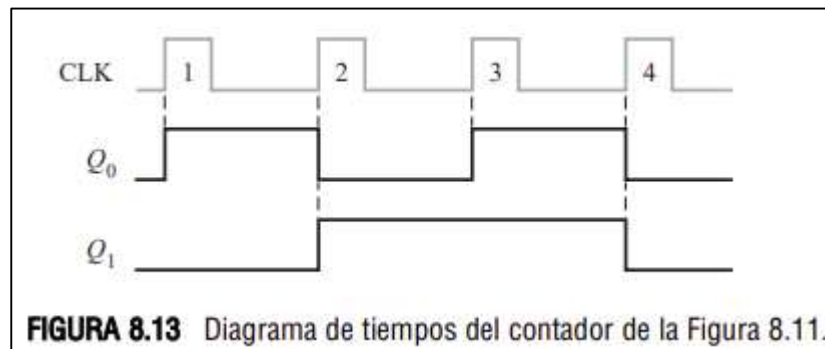




En la Figura 8.12, podemos ver el comportamiento del contador síncrono en cada estado del CLK en donde aun tenemos un retardo de propagación que afecta al comportamiento entre los dos flip-flops, desde el flanco de disparo del impulso de reloj hasta que, realmente, se realiza la transición en la salida Q.



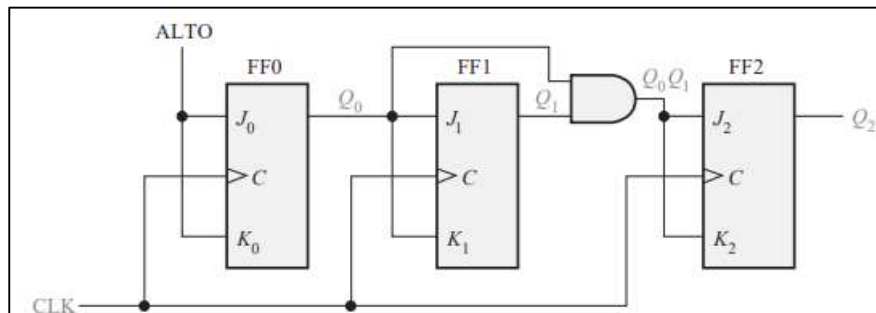
Podemos observar de la imagen anterior que en todas las transiciones de las señales son coincidentes; es decir, no se indican los retardos de propagación. Además, en el diagrama de tiempos completo del contador de la Figura 8.11 se muestra en la Figura 8.13. Aunque los retardos son un factor importante en el funcionamiento de un contador síncrono, se suelen omitir para simplificar los diagramas de tiempos generales. Si no se muestran los pequeños retardos y las diferencias de temporización, se puede conseguir relacionar mejor las señales resultantes de un circuito lógico.



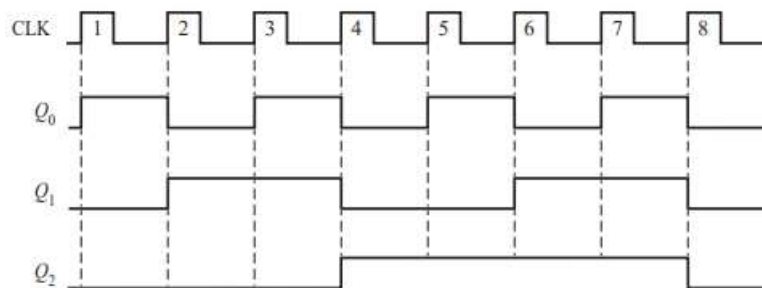


## Contador síncrono binario de 3 bits

Es parecido al contador síncrono simple, pero en la Figura 8.14 se muestra un contador síncrono binario de 3 bits y en la Figura 8.15 su diagrama de tiempos.



**FIGURA 8.14** Contador binario síncrono de 3 bits.



**FIGURA 8.15** Diagrama de tiempos del contador de la Figura 8.14.

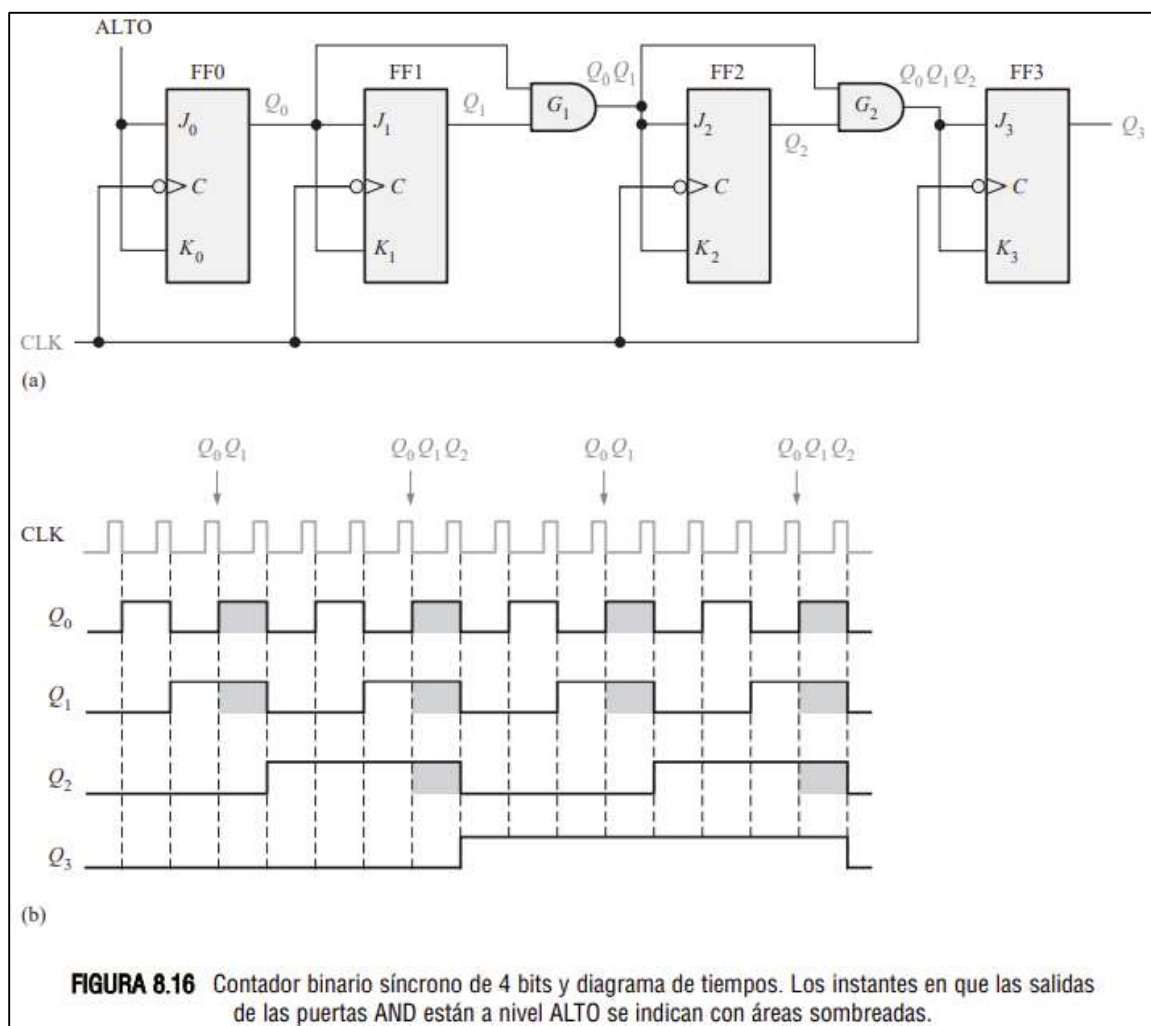
Tomando en cuenta el retraso de propagación, solo se le agregará una compuerta AND para cuando  $Q_0=1$  y  $Q_1=1$  se active  $Q_2(1)$ , para cuando llegue a su ultimo estado se deberá a repetir el ciclo del contador como en la Tabla 8.3, cumpliendo la secuencia de estados de este tipo de contador, como se puede observar en el diagrama de tiempos de la Figura 8.14.

Impulso de reloj	$Q_2$	$Q_1$	$Q_0$
Inicialmente	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (nuevo ciclo)	0	0	0

**TABLA 8.3** Secuencia de estados del contador binario de tres bits.

## Contador síncrono binario de 4 bits

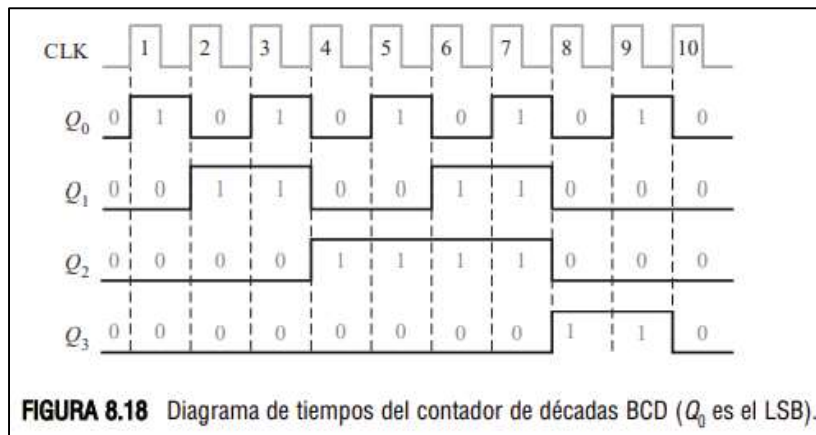
La Figura 8.16(a) presenta un contador binario síncrono de 4 bits y la Figura 8.16(b) muestra su diagrama de tiempos. Este contador particular se implementa con flip-flops disparados por flanco negativo. El razonamiento para controlar las entradas J y K de los tres primeros flip-flops es el mismo que el del contador de 3 bits, previamente estudiado. La cuarta etapa, FF3, varía sólo dos veces en la secuencia. Podemos observar que se le agregó otra AND de forma que, cuando se produce un impulso de reloj, FF3 cambie de estado, a partir del retraso de propagación en donde dependerá si  $G_1 (Q_0 \cdot Q_1)$  y  $Q_2$ , cuando las  $Q_0, 1, 2$  sean 1, se active  $Q_3$ .



Un ejemplo de un contador binario síncrono de 4 bits sería el **74HC163**, que también tiene otras funciones que nos ayudan a regresar valores según el impulso del reloj y etc.

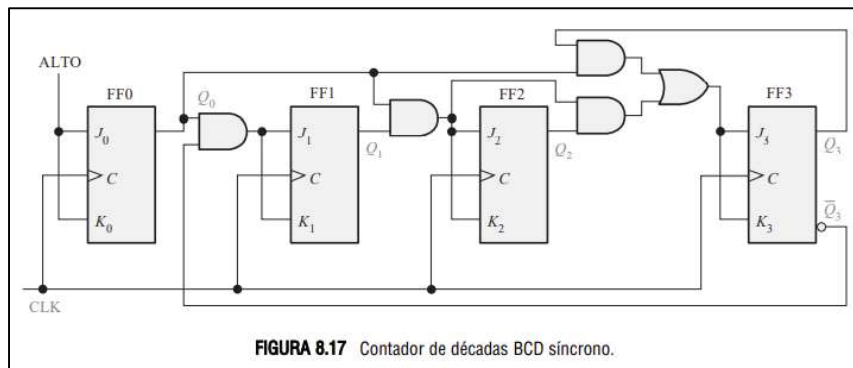
## Contador de décadas síncrono binario de 4 bits

Este tipo de contador de décadas BCD dispone de una secuencia binaria truncada que va desde 0000 hasta el estado 1001. En lugar de pasar al estado 1010, inicia un nuevo ciclo a partir del estado 0000. En la Figura 8.17 se presenta un contador de décadas BCD síncrono. En la Figura 8.18 se muestra el diagrama de tiempos para este contador de décadas.



El funcionamiento de este contador se puede entender examinando la secuencia de estados de la Tabla 8.4, y siguiendo la implementación de la Figura 8.17. Donde podemos observar que se deberá de hacer un arreglo lógico con AND/OR conectando las entradas  $J_3$  y  $K_3$  de FF3. Además, la diferencia con el contador de décadas y el de modulo 16 (Figura 8.16) son la puerta AND con entradas la puerta AND con entradas  $Q_0 \cdot Q_3$  y la puerta OR; esta disposición **detecta** la ocurrencia del **estado 1001** y hace que el contador inicie un nuevo ciclo correctamente en el siguiente impulso de reloj.

Un ejemplo de un contador de décadas BCD síncrono sería el **74F162**.



Impulso de reloj	$Q_3$	$Q_2$	$Q_1$	$Q_0$
Inicialmente	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10 (nuevo ciclo)	0	0	0	0

**TABLA 8.4** Estados del contador de décadas BCD.

## Máquinas de Estado

Un “estado” es la condición de una cosa en un tiempo determinado. Algunos que pueden realizar tareas y que utilizan estados como su núcleo son máquinas de estado. Una máquina de estados finitas significa que sabemos todos los posibles estados de ella. La clave para la máquina de estado es el concepto del tiempo y la historia. El estado de la máquina es evaluado periódicamente. Cada vez que es evaluada, un nuevo estado es elegido (el que podría ser el mismo estado nuevamente) y el resultado es presentado.

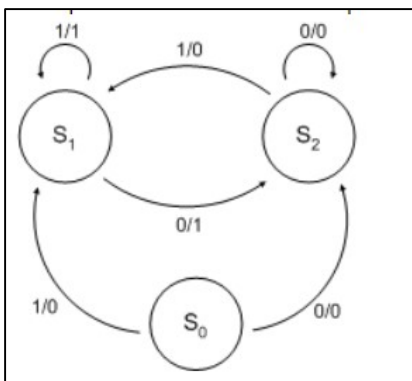
Sus características son:

- No puede estar en más de un estado por vez.
- El estado en el que se encuentra se denomina estado actual.
- El cambio de un estado a otro se denomina transición, y se dispara con el reloj del circuito.
- Son útiles en el diseño de protocolos de comunicación.

Así que una máquina de estados finita es un modelo usado para diseñar circuitos lógicos secuenciales.

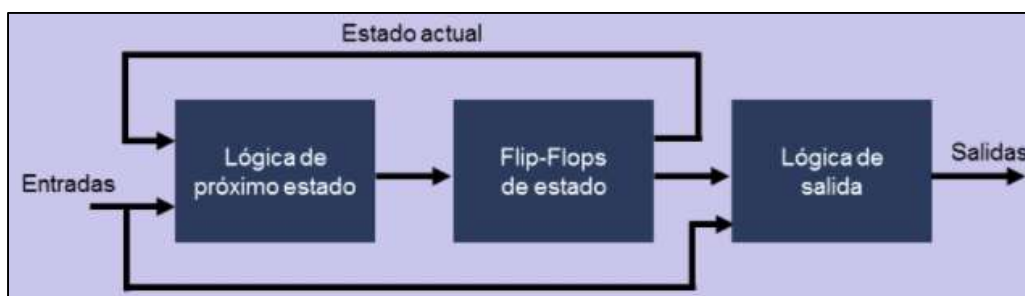
Las siguientes estructuras de las máquinas de estado serian circuitos secuenciales síncronos:

### Máquina Mealy

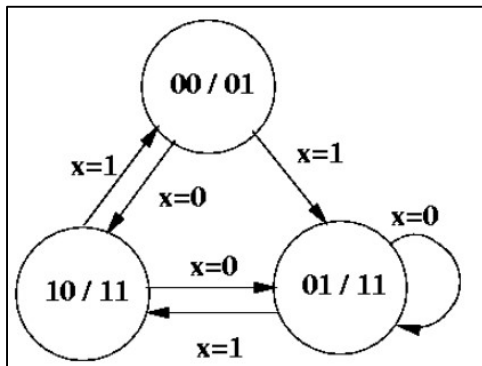


Una máquina de Mealy es una máquina de estados finita, que es menos estable que la máquina de Moore, en donde la salida o salidas dependen tanto del estado actual como de la entrada o entradas. Normalmente, tienen menos números de estados que la máquina de Moore.

Esto significa que en el diagrama de estados se incluye una señal de salida para cada arista de transición. Además, para probar un circuito, primero se hace el cambio en la entrada y después se da el pulso de reloj.



## Máquinas de Moore

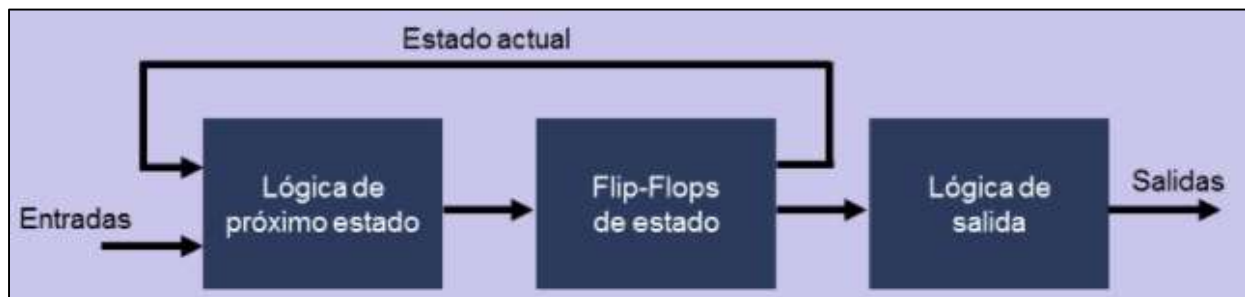


Una máquina de Moore es una máquina de estados finita, que es más estable que la máquina de Mealy, en donde la salida o salidas dependen únicamente del estado interno actual. Normalmente, tienen menos números de estados que la máquina de Moore.

Los estados de una máquina de Moore son la unión de los estados de la máquina de Mealy y el producto cartesiano de estos estados y alfabeto de entrada (posibles entradas). Es decir, que el número de estados es mayor o igual a la máquina de Mealy.

En la máquina de Moore, la salida se toma directamente del registro y las salidas se encuentran dentro del estado, por lo que no necesita lógica combinacional para sintetizar la salida.

Y para probar un circuito, primero se da el pulso de reloj y después se hace el cambio en la entrada.



## Bibliografía

Floyd, T.L. (2007) Fundamentos de sistemas Digitales. (9ª Edición). Madrid: Pearson EducaCon.

Pablo Turmero, M. (2021). Máquinas de estados finita (FSM) - Monografias.com. Recuperado el 24 de septiembre de 2021, de <https://www.monografias.com/docs114/maquinas-estado/maquinas-estado.shtml>

Mealy - Automatas4CM4. (2021). Consultado el 24 de septiembre de 2021 en <https://sites.google.com/site/automatas4cm4/temario/mealy>

Moore - Automatas4CM4. (2021). Consultado el 24 de septiembre de 2021 en <https://sites.google.com/site/automatas4cm4/temario/moore>