



Designnotat

Tittel: Transistor buffer

Forfattere: Eirik Mathias Silnes

Versjon: 1.0

Dato: 14. september 2023

Innhold

1	Problembeskrivelse	1
2	Prinsipiell løsning	2
3	Realisering	3
3.1	short	3
3.2	Oppkobling og test	3
3.2.1	Test under ideelle forhold	4
3.2.2	Test med last	4
4	Konklusjon	6
5	Takk	6
	Referanser	7
A	Fullstendige utregninger	8
A.1	Bestemmelse av komponentverdier	8

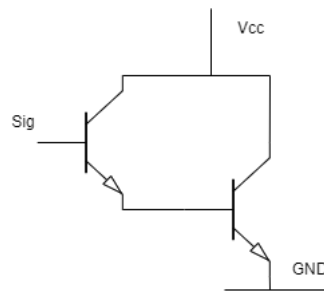
1 Problembeskrivelse

I dette designnotatet skal det lages en transistor buffer skal kunne drive en høyeffekt last. Løsningen skal løses og dokumenteres ut ifra:

- Avvik i amplitude NAVN til v når v er et sinus signal med frekvens 1000Hz og amplitude 500mV
- Maksimal amplitude til v_0 før forvrengningen i v_2 blir synlig.
- Frekvensrespons samt nedre og øvre knekkfrekvens ved 3dB.
- Inngangs og utgangsmotstand.

2 Prinsipiell løsning

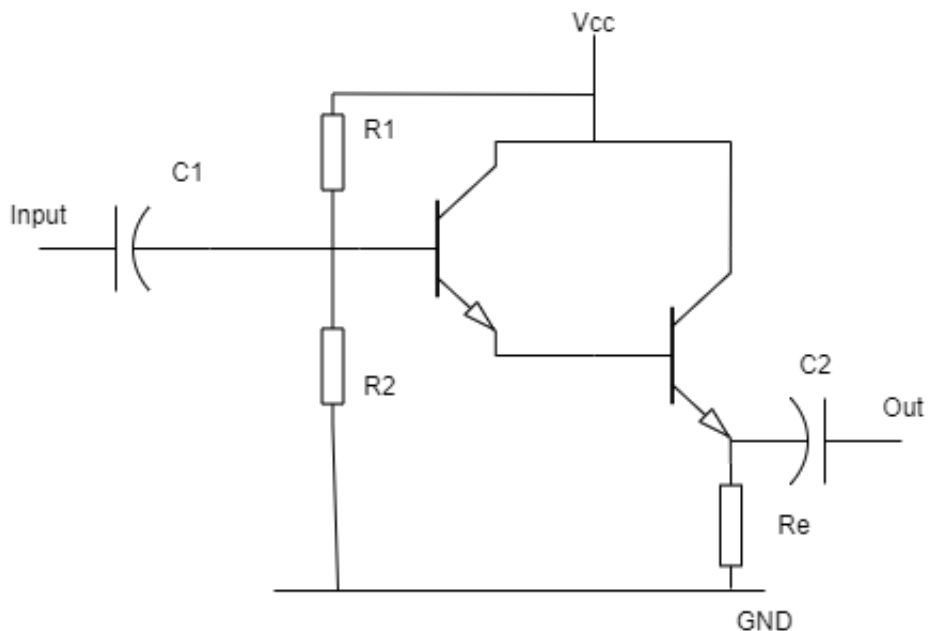
Ettersom det er ønskelig med så høy ingangsmotstand og så lav utgangsmotstand som mulig så er et Darlington par et godt valg. Et Darlington par er to NPN-transistorer koblet sammen som vist i figur 1. Darlington par kan ses på som en enkelt transistor med en strømforsterkning lik produktet av de to transistorene.



Figur 1: Darlington par

Darlington paret har en strømforsterkning på $\beta_1 \cdot \beta_2$ og en inngangsmotstand på $\beta_1 \cdot R_{B1}$. Utgangsmotstanden er lik R_{C2} .

For å kunne lage en enkel buffer ut av et Darlington par så må det legges til en emittermotstand, inn- og utgangs kondensatorer i tillegg til at arbeidspunktet burde settes til midten av spenningsforsyningen. Dette er vist i figur 2. Forsterkningen måles mellom inngangssignalet V_1 og utgangssignalet V_2 .



Figur 2: Darlington buffer

3 Realisering

3.1 Bestemme verdier

For å bestemme verdiene til komponentene i kretsen så må det først bestemmes hvilke krav som stilles til kretsen. Det er ønskelig med så høy ingangsmotstand og så lav utgangsmotstand som mulig og at kretsen skal kunne levere mye strøm. Det er derfor ønskelig at kretsen skal kunne levere minst 50mA.

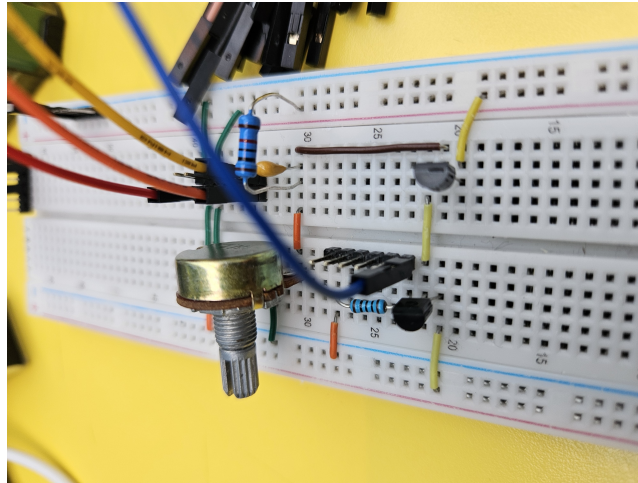
Vi starter med å definere arbeidspunktet og I_E . Arbeidspunktet settes til midten av spenningsforsyningen. I_E settes til 50mA, og arbeidspunktet settes ved å bruke formel 1. Siden utgangsmotstanden skal være så lav som mulig så setter vi den til å være 100ω

Tabell 1: Beregna verdier.

Variabel/komponent	Verdi	Kommentar
V_{CC}	7V	
V_T	0.7V	
R_{B2}	6.2k Ω	inngangsimpedansen må være høy i en buffer
I_E	50mA	
V_B	4.2V	
R_{B1}	9.3k Ω	
R_E	100 Ω	utgangsimpedansen er lav i en buffer
C_1	1 μ F	
C_2	1 μ F	

3.2 Oppkobling og test

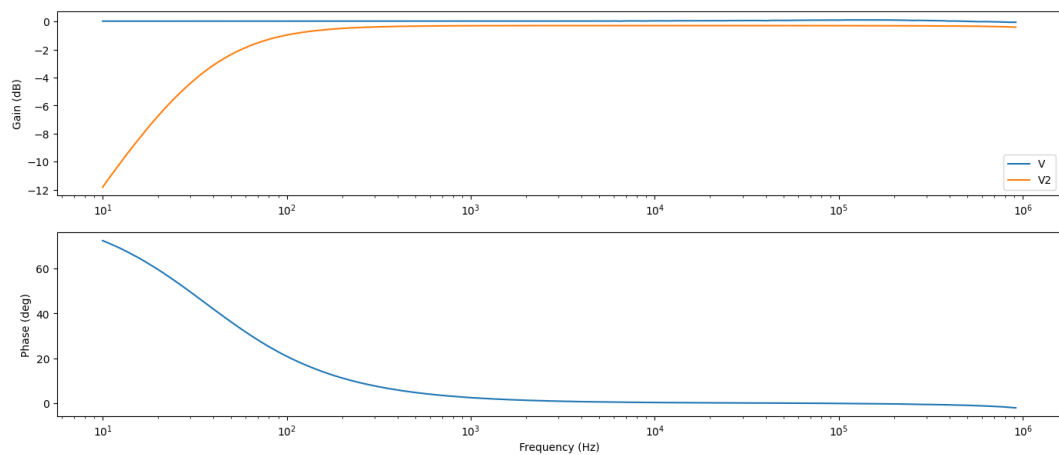
Kretsen ble deretter koblet opp i henhold til skjematikken i figur 2 med verdiene fra tabellen i figur 1. For å få V_{CC} på 7V så ble spenningsforsyningen på Analog Discovery satt til +5V og GND ble satt til -2V.



Figur 3: Reailsert og oppkoblet krets

3.2.1 Test under ideelle forhold

Kretsen ble først testet uten last og kildemotstand for å se om den fungerte som forventet. Det ble da målt en forsterkning på EDIT og en faseforskyvning på EDIT grader. Dette er innenfor det som er forventet og kan ses i figur 4 Hvor V er ingangssignalet og V2 er utgangssignalet.

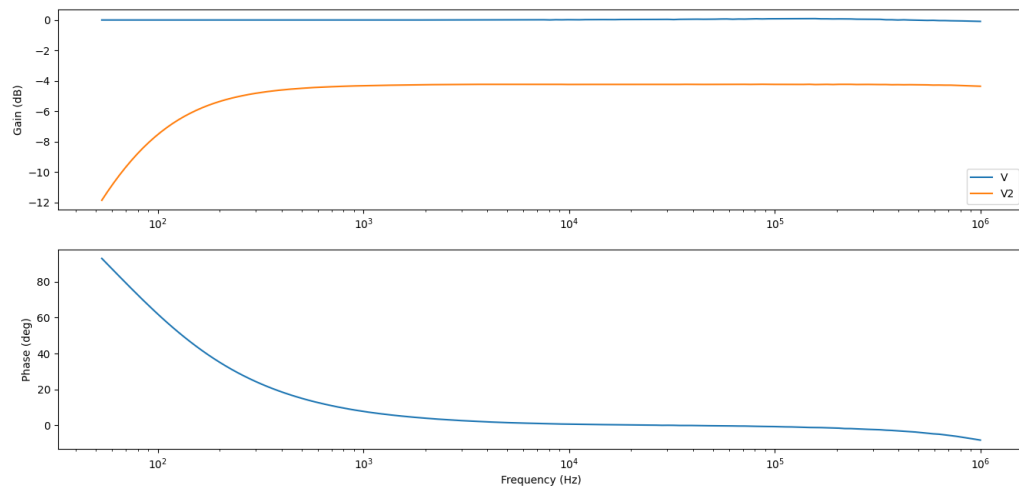


Figur 4: Bodeplot under ideelle forhold

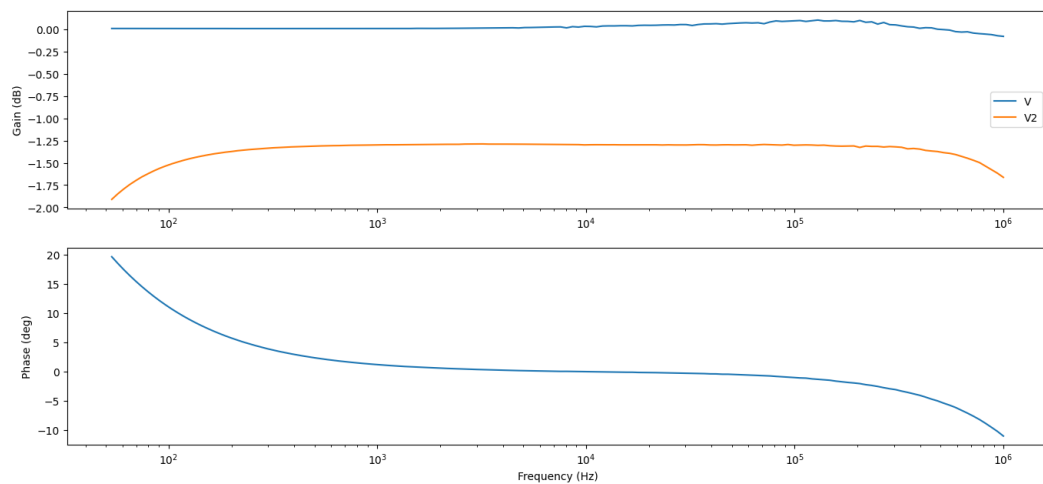
3.2.2 Test med last

Så ble lastmotstand og kildemotstand koblet til kretsen. Kildemotstanden ble satt til $1.5\text{k}\Omega$ og lastmotstanden ble satt til 170Ω . Som vist i figur 5 så økte forvrengningen av signalet. For å forbedre dette så ble det byttet til større kondensatorer, fra $1\mu\text{F}$ til $16\mu\text{F}$ og inngangsmot-

standen ble økt ved å gange R_1 og R_2 med 100. Deretter ble det målt en forsterkning på EDIT og en faseforskyvning på EDIT grader. Dette kan ses i figur 6.

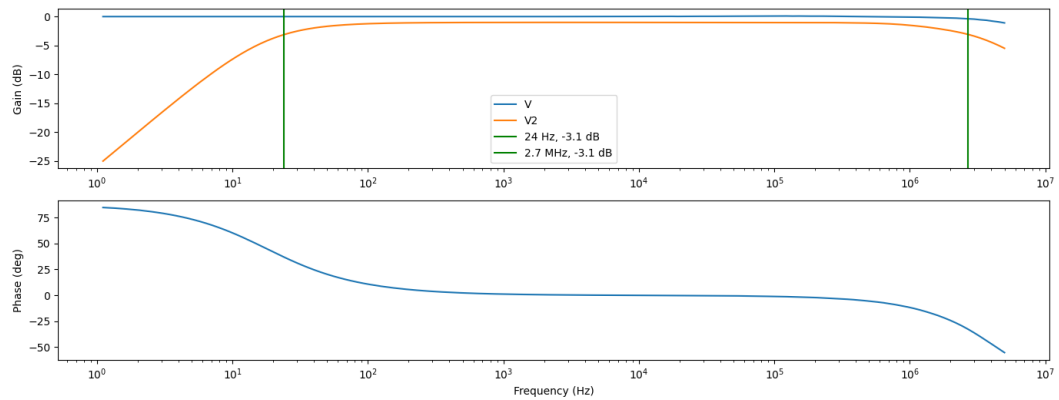


Figur 5: Bodeplot med last



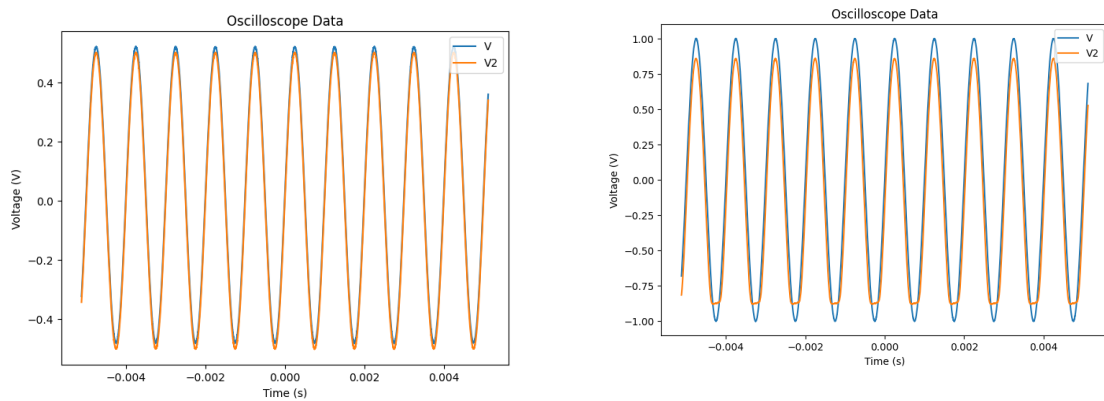
Figur 6: Last

Ved å utvide network målingen til å måle fra 1Hz til 5MHz så kan vi finne knekkfrekvensen til kretsen. Nedre knekkfrekvens er 24Hz og øvre knekkfrekvens er 2.7MHz. Dette kan ses i figur 7.



Figur 7: Last med fase

Det ble deretter testet med et sinusformet signal på 1kHz for å se om kretsen klippet. Som vist i figur 8 så er signalet identisk med inngangssignalet opp til 500mV og klipper deretter ved 1V. Dette er innenfor det som er forventet.



Figur 8: 1kHz ved 500mV og klipping ved 1V

4 Konklusjon

5 Takk

Referanser

- [1] L. Lundheim, *Designprosjekt 4*, Institutt for elektronisk systemdesign, NTNU, 2023.
- [2] L. Lundheim, *Frekvensmultiplikator*, Teknisk Notat, Elsys-2021-LL-1, NTNU, 2021.

A Fullstendige utregninger

A.1 Bestemmelse av komponentverdier

$$\begin{aligned}V_B &= \frac{V_{CC} - V_{BE}}{2} + V_{BE} \\V_B &= \frac{7V - 1,4V}{2} + 1,4V = 4.2V\end{aligned}\tag{1}$$

$$\begin{aligned}I_{E1} &= I_{C1} + I_B \\I_{E1} &= I_B(\beta + 1) \\I_E &= I_{C2} + I_{E1} \\I_E &= I_B(\beta + 1)^2\end{aligned}\tag{2}$$

$$\begin{aligned}I_B &= \frac{I_E}{(\beta + 1)^2} \\I_B &= \frac{50mA}{(330 + 1)^2} = 0.45\mu A\end{aligned}\tag{3}$$

$$\begin{aligned}R_1 &= \frac{V_{CC} - V_B}{I_B} \\R_1 &= \frac{7V - 4.2V}{1000 * 0.45\mu A} = 6.2k\Omega\end{aligned}\tag{4}$$

$$\begin{aligned}V_{R2} &= \frac{V_{CC}R_2}{R_1 + R_2} \\R_2 &= \frac{V_{R2}R_1}{V_{CC} - V_{R2}} \\R_2 &= \frac{4.2V6.2k\Omega}{7V - 4.2V} = 9.3k\Omega\end{aligned}\tag{5}$$

$$R_E = \frac{V_B}{I_E}?\tag{6}$$