

数字逻辑电路实验指导材料

钟群锋 陈洁敏 吴继明 葛红 杨璐 颜涛

华南师范大学计算机学院

2024. 3

前言

实验是学习电子技术的一个重要环节。数字逻辑电路实验课程是计算机科学与技术及相关专业的一门专业基础课，具有很强的实践性，是学习数字逻辑电路必不可少的重要环节。对巩固和加深课堂教学内容，提高学生实际工作技能，培养科学作风，为学习后续课程和从事实践技术工作奠定基础具有重要作用。

本书包括了《数字逻辑电路》课程的基本实验内容，主要目的是使学生通过实验手段掌握各种集成电路及其相关应用设计，同时训练学生一定的实验动手能力，使学生系统科学地受到分析问题和解决问题的训练。本书提供的实验可根据本专业教学要求选择。实验内容的安排遵循由浅到深，由易到难的规律，具有一定的开放特性。有些选做实验只提供设计要求及原理简图，由学生自己完成实验步骤及记录表格等，希望充分发挥学生的创造性和主动性。

本指导书中所有实验均可在数字电路实验箱上完成。由于编者水平所限，时间仓促，错误及欠缺之处恳请批评指正。

编者
2024-3-3.

实验须知(一)

一. 课前预习

实验前必须充分预习,是顺利进行实验的重要保证。在每次实验之前,学生应仔细阅读实验指导书,完成指定的预习任务。预习要求如下:

1. 必须观摩有关实验的视频教学课件。
2. 认真阅读实验指导书,分析、掌握实验电路的工作原理,并进行必要的估算。
3. **完成各实验预习报告,课前老师检查并签名。**
4. 熟悉实验任务。
5. 复习实验中所用各仪器的使用方法及注意事项。
6. 使用仪器和实验箱前必须了解其性能、操作方法及注意事项,在使用时应严格遵守。

二. 实验过程

1. 实验过程中进行电路的接线、改线或拆线时,必须关断电源,严禁带电操作,以免造成电源设备或部分线路短路而损坏设备、线路或元件。
2. 实验时接线要认真,仔细检查,确定无误才能接通电源,初学或没有把握的学生应经指导教师审查同意后再接通电源。
3. 实验时应注意观察,若发现有破坏性异常现象(例如有元件冒烟、发烫或有异味)应立即关断电源,保持现场,报告指导教师。找出原因、排除故障,经指导教师同意后再继续实验。
4. 实验过程中应仔细观察实验现象,认真记录实验结果(数据、波形、现象)。所记录的实验结果经指导教师审阅签字后再拆除实验线路。
5. 实验结束后,必须关断电源、拔出电源插头,并将仪器、设备、工具、导线等按规定整理。
6. 实验后每个同学必须按要求独立完成实验报告。

三. 仪器仪表

1. 认真掌握每次实验所用仪器仪表的使用方法、放置方式(水平或垂直),型号和规格等。
2. 仪器仪表上的旋扭有起止位置,在旋转时力度要适中,旋扭到头时严禁强制用力,以免损坏旋扭内部的轴及其连接部分。
3. 测试前应根据估算的数值先选择仪表的量限,然后将仪表接入线

路测试点。对于指针式仪表应先弄清所选量限的刻度数值，被测量值通常应处于仪表量限的1/3以上。

四. 实验报告要求（用指定的专用报告纸撰写完成）

一份完整的实验报告必须由以下三部分组成：

1. 预习报告

内容包括：实验目的,实验设备及器件(注明型号),实验原理(含实验电路原理图及集成电路管脚图),实验电路(实物接线图),实验步骤及画记录数据的**表格**,并填写预习理论数据。

设计型实验要写出设计过程,有程序的附程序流程图和源程序.

2. 实验内容

内容包括：按实验步骤**画表格**记录实验实测数据,现象(波形,指示灯等),对实验数据进行处理(该计算的要计算)并与理论值进行比较，对实验中出现的实验现象,数据及观察的结果的分析与讨论并得出结论。

3. 实验小结

内容包括：如果有思考题应回答，对所做过的实验成功之处及不足之处提出自己的看法。

实验报告写上：实验名称，姓名，学号，院系，专业，年级，班级，实验时间，预习报告和实验报告用纸都统一使用学校教务处的实验报告用纸,按预习报告,实验内容,实验小结三部分顺序装订。

五.综合设计型实验报告要求

实验完成后的实验报告要有：中文摘要、关键词、前言（包括实验目的、意义和该实验内容概述）、实验设计（采用的关键技术、主要设计思想与设计流程、主要功能模块电路设计分析、采用的软、硬件平台介绍等）、实验过程、结果分析,参考文献(要标出出版社,作者)列在最后。

开放实验须知

因实验可能要视听相关实验辅导课件，请同学们记得**自带耳机到实验室！**
进入实验室后，**必须登陆”实验教学管理系统”**：

1. 首先,开启微机电源，选择并进入 Win Server 2003。
2. 在桌面点击黑马图标登陆 Experiment, 输入姓名、学号(11 位)、实验名称(点击实验名称栏,作选择，按”确定”后,再出现一个提交实验数据的窗口,两个窗口都不要关闭窗口，必须等实验结束后，提交完实验数据后,按“下机”，提交实验数据后,系统才能完整地记录你的实验信息。
3. 如果一次做 2 个实验，必须待第一个实验做完后，再次登陆 Experiment，这样，系统才能有 2 次实验信息的记录。
4. 进入 D 盘：\606\电路课件资料**数字逻辑实验课件**，选择你需要的实验辅导课件。
5. 实验结束后，点击管理系统 Experiment “下机”，并在数据提交对话框里填写你的实验数据。如果同一实验分几次做,第一次可以不提交数据,最后一次实验完成后必须提交数据. 凡是不提交实验数据的,实验操作分为 0 分。
6. 离开实验室前,请填写实验桌上的“实验登记表”，教师签字后方可离开。
8. 学期结束后,实验出勤分和实验操作分由”实验教学管理系统”自动统计, 凡不按要求进行有关操作的同学, 责任自负。
9. **不鼓励**同学在实验过程中**过分依赖辅导课件**做实验！

目录

实验一	基本门电路和三态门的测试及应用	6
实验二	全加器.....	10
实验三	二位二进制乘法器.....	12
实验四	中规模集成芯片设计组合逻辑电路.....	14
实验五	触发器的测试和应用.....	17
实验六	计数器及其应用.....	20
实验七	移位寄存器的测试及应用(串-并转换)	24
实验八	组合逻辑电路设计(EDA 设计)	29
实验九	常用仪器的使用.....	32
实验十	数据选择器和译码器的应用.....	35
实验十一	移位寄存器的测试及应用(并-串转换)	38
实验十二	环形计数器和串行累加器.....	43
综合设计实验		
实验一	移位寄存器的研究与实践.....	50
实验二	篮球竞赛 24 秒定时器.....	52
实验三	计算机时序部件设计.....	55
实验四	数字电子钟的设计与实现	57
实验五	简单电子琴.....	59
常用集成芯片管脚图.....		61
附录一	信号发生器.....	77
附录二	示波器.....	80
附录三	MY60 型数字万用表.....	94

实验一 基本门电路和三态门的测试及应用

一. 实验目的

1. 掌握基本门电路和三态门逻辑功能和使用方法。
2. 掌握基本门电路的应用。
3. 掌握三态门构成总线的特点和方法。
4. 掌握数字逻辑电路调试基本方法。

二. 实验所用器件和仪器设备

- | | |
|-------------------------|----|
| 1. 四2输入与非门74LS00 | 1片 |
| 2. 三态输出的四总线缓冲门 74 LS125 | 1片 |
| 3. 四2输入或非门74LS28 | 1片 |

三. 实验原理

74LS00与非门的逻辑功能是： $Y = \overline{A \cdot B}$

74LS28或非门的逻辑功能是： $Y = \overline{A + B}$

TTL三态输出门是一种特殊的门电路。它的输出端除了通常的高电平、低电平两种状态外（这两种状态均低阻状态），还有第三种输出状态——高阻状态。处于高阻状态时，电路与负载之间相当于开路。三态输出门按逻辑功能及控制方式来分有各种不同类型。本实验所用三态门的型号是74 LS125，它有一个控制端（又称禁止端或使能端） \bar{E} ， $\bar{E}=0$ 为正常工作状态，实现 $Y=A$ 的逻辑功能； $\bar{E}=1$ 为禁止状态，输出 Y 呈现高阻状态。三态电路的主要用途之一是实现总线传输，即用一个传输通道（称总线）以选通方式传送多路信息。

四. 实验内容及步骤：

1. 按图1—1接线，验证74LS00与非门的逻辑功能，数据填入下表；

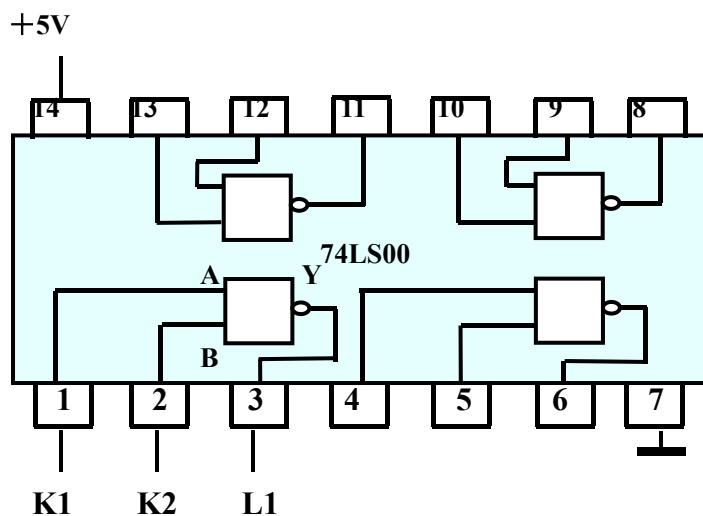


图1-1

A	0	0	1	1
B	0	1	0	1
Y				

表1-1

提交数据按横向顺序提交。

2. 验证74LS28或非门的逻辑功能，数据填入下表；

请参考实验指导书附录中常用芯片引脚图接线。

A	0	0	1	1
B	0	1	0	1
Y				

表1-2

提交数据按横向顺序提交。

3. 用与非门或其它门电路组成异或门并验证逻辑功能，数据填入下表；

自己写出逻辑表达式（最简）并画出电路图。

A	1	1	0	0
B	0	1	1	0
Y				

表 1-3

提交数据按横向顺序提交。

4. 测试三态门的逻辑功能

按图1-2接线，74LS 125 三态门的输出接指示灯，观察并记录

74LS125三态输出、高电平输出、低电平输出记入下表。（注：三态门的控制端C为低电平有效）

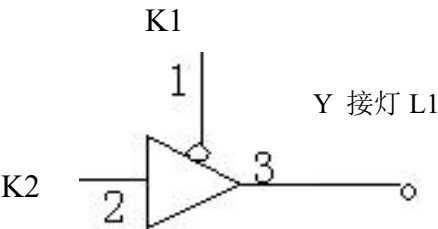


图1-2

K1	K2	Y
0	0	
0	1	
1	0	
1	1	

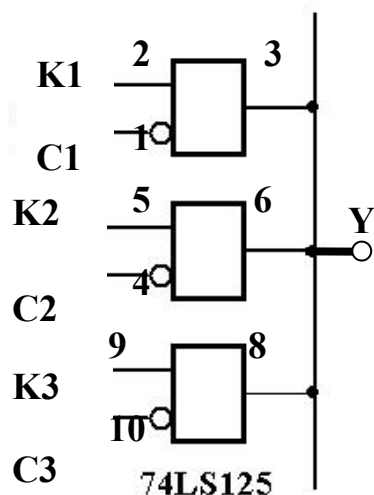
表1-4

提交数据时从上至下列顺序提交。

5. 三态门构成 1 位单向总线

用三态门 74LS125 实现的三路信号经一根总线传送的电路. 控制端

C1-C3 接输入拨动开关, C1-C3 轮流为低电平, 则门 C1 至门 C3 轮流打开, 信号 K1-K3 将依次出现在数据总线上。测试电路如下:



C1	C2	C3	k1	K2	K3	Y
0	1	1	0	×	×	
			1			
1	0	1	×	0	×	
				1		
1	1	0	×	×	0	
					1	

提交数据时按列顺序提交。

6.* 三态门设计构成 4 位单向总线

总线 (Bus) 是计算机各种功能部件之间传送信息的公共通信干线, 主要作为多个器件 (如运算器、存储器、寄存器等) 之间进行数据传送的公共通路。请参照三态门设计构成 1 位单向总线的实验内容, 用若干三态门 74LS125 设计实现含三个数据源信号经 4 位总线传送的电路。其中数据源 A 为 4 位固定常数 5H (十六进制), B、C 数据源都是可设置输入 0H-FH 范围内任意数据的数据源。实验中要注意在任何时刻, 都不允许 2 个或者 2 个以上的数据源同时向总线输送数据, 只允许 1 个数据源向数据总线 DBUS 输送数据, 即当一个数据源向总线送数据时必须确保其它的数据源处于高阻状态关闭。请画出设计电路图并自行设计表格进行测试实验。

五. 思考题

- (1) 为什么用三态门构成总线? 试用三态门构成一位双向总线。
- (2) 为什么 TTL 器件输出端不允许直接接地或接 +5V 电压?
- (3) 与非门输入一个接连续脉冲, 其余端什么状态时允许脉冲通过? 什么状态时禁止脉冲通过?

实验二 全加器

一. 实验目的

- 1.了解全加器的实现方法。
- 2.掌握全加器的功能。
- 3.掌握小规模组合逻辑电路的设计方法，并通过实验验证设计的正确性。

二. 实验所用器件

- | | |
|---------------------|-----|
| 1. 异或门 74LS86 | 1 片 |
| 2. 四 2 输入端与门 74LS08 | 1 片 |
| 3. 四 2 输入端或门 74LS32 | 1 片 |

三. 实验内容

- 1.设计一个一位二进制全加器电路

在进行两个多位二进制数相加时，除考虑本位的两个二进制数相加外，还要考虑相邻低位来的进位数相加的运算电路。

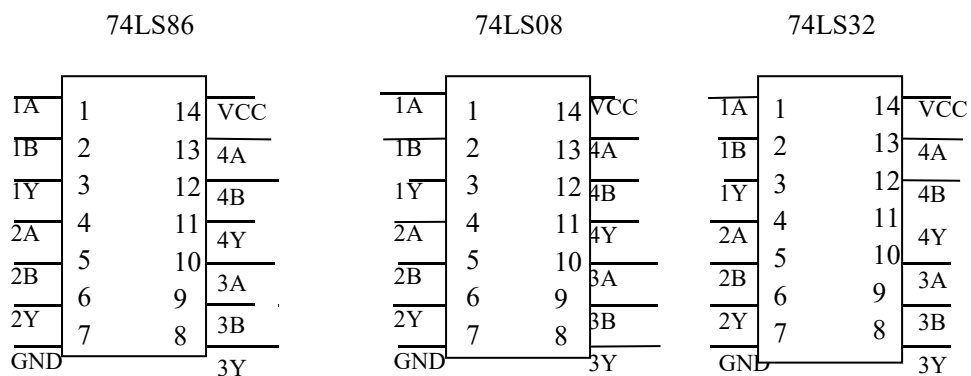
- (1). 分析设计要求，得出真值表并写出全加器逻辑表达式：

$$S = A \oplus B \oplus CI$$

$$C = A \cdot B + A \cdot CI + B \cdot CI$$

- (2). 根据全加器逻辑表达式画出逻辑电路图。

(3). 用下图的 1 片 74LS86、1 片 74LS08、1 片 74LS32 设计全加器逻辑实现电路。(本指导书提供的仅是实现全加器的方案之一，同学们也可根据自己设计写出的逻辑表达式用其它芯片设计完成)



(4). 将 A, B, CI 接电平开关, 拨动电平开关, 产生不同的 8 种组合, 观察 S, C 输出 (接电平指示灯)。

(5). 将输出填入下表

输入			输出	
A	B	CI	S	C
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2.设计一个一位二进制全减器电路

自行设计实验方案, 包括电路的完整设计过程和实验步骤及测试表格。

四. 思考题

1、四位二进制加法器怎样实现?

2、根据 74LS283 的逻辑功能。拟订一个验证 74LS283 功能的实验方案。

实验三 二位二进制乘法器

一. 实验目的

1. 掌握二位二进制数乘法器的逻辑功能和使用方法。
2. 学会用基本门电路及常用小规模集成芯片设计组合逻辑电路的方法。

二. 实验所用器件和设备

1. 各种基本门电路及常用集成芯片
2. 计算机 1 台
3. 数字电路实验箱 1 台

三. 实验预习要求

1. 理解乘法器的逻辑功能。
2. 熟悉测试电路测试方法。
3. 按本实验指导书提供的器件和实验要求设计电路,自拟实验步骤和数据表格。

四. 实验原理

二进制乘法遵循下面的法则:

$$0 \times 0 = 0$$

$$0 \times 1 = 0$$

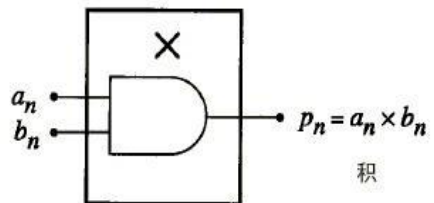
$$1 \times 0 = 0$$

$$1 \times 1 = 1$$

很容易地就可以看出它和与门操作是一样的,所以可以用与门设计乘法器 下图是一个用与门实现的一位乘法器,在逻辑图上用乘号“ \times ”表示电路用途。

a_n	b_n	$a_n \times b_n$
0	0	0
0	1	0
1	0	0
1	1	1

a) 功能表



b) 电路

比较而言, n 位乘法器比一位乘法器更为实用。下面讨论如何设计可计算 $a_1a_0 \times b_1b_0$ 的 2×2 乘法器。

五.设计思路

要求:两个无符号的二位二进制数 A_1A_0 和 B_1B_0 是输入信号,输出为 $A_1A_0 \times B_1B_0$ 的乘积,通过数码管显示出来。例如 A_1A_0 和 B_1B_0 两路二进制信号假若为 11 和 10 时,结果则显示“6”,具体电路形式不限。

步骤;首先用 b_0 乘以 a_1a_0 ,然后用 b_1 乘以 a_0a_1 ,4 位输出结果 $p_0 p_1 p_2 p_3$ 表达式为

			a_1	a_0	
			$\times b_1$	b_0	
	+		$a_1 b_0$	$a_0 b_0$	
	+	$a_1 b_1$	$a_0 b_1$		
积	p_3	p_2	p_1	p_0	

$$p_0 = a_0 \cdot b_0$$
$$p_1 = a_0 \cdot b_1 + a_1 \cdot b_0$$
$$p_2 = a_1 \cdot b_1 + c_2$$
$$p_3 = c_3$$

2×2乘法的计算过程

其中的“+”号表示二进制加法。在等式里,右边位产生的进位也被列了出来。

所以,二进制乘法器应包括下面逻辑单元

- 位乘法器
- 计算乘积和的电路

可以由基本门电路构成和加法器构成,

1. 写出真值表、逻辑表达式(如何化简自己决定)。

可以由基本门电路构成,或用基本门电路和中规模集成芯片构成。

2. 还可以用硬件描述语言实行单元功能设计和基本门电路构成。

六.实验内容

1. 按设计电路接线,用实验系统的 BCD/七段译码显示电路和数码管显示结果,并在实验台上进行调试及验证。
2. 数据按 A_1A_0 和 B_1B_0 从 0000—1111,输出按低位 p_0 —进位位 p_3 . $p_0 p_1 p_2 p_3$ 顺序提交。

七.思考题

1. 如果本设计项目考虑带符号的数相乘,请问符号位的运算可用什么简单电路实现? 简要回答。
2. 总结使用小规模组合逻辑器件设计逻辑电路的一般方法。

实验四 中规模集成芯片的设计应用

一. 实验目的

1. 掌握常用 MSI 的逻辑功能。
2. 学会用 MSI 设计组合逻辑电路。

二.实验所用器件和仪器设备

1. 计算机 一台
2. 数字电路实验箱 一台
3. 基本门电路及译码器74LS138、选择器74LS 153或译码器74LS 154。

三.实验预习要求

1. 复习并掌握译码器的概念及逻辑表达式。
2. 列出三变量表决电路或两个两位二进制数比较器的真值表并简化逻辑表达式。
3. 掌握表决电路或比较器的测试电路的测试原理及测试方法。
4. 按本实验指导书的实验要求自拟实验步骤和数据表格(参考真值表)。
5. 画出实验电路图。

四.实验原理

二进制译码器能把输入变量的所有状态都翻译出来送到输出端,它的每一个输出信号都对应一种输入代码状态,也就是输入变量的一个最小项。因此从实现组合逻辑函数的角度看,二进制译码器的输出端提供了其输入变量的全部最小项。那么,利用二进制译码器和与非门可以实现任何组合逻辑函数,特别是有多个输出的组合逻辑电路。

五.设计思路

要求;多数表决电路按少数服从多数的原则执行表决,如果赞成用高电平表示,输出中表决通过也用高电平表示,当3个输入变量中

有两个或两个以上取值为 1 时，输出为 1，由此可列出函数真值表，并写出逻辑表达式。

两个二位二进制数比较器要实现输入的两个二进制数 A_1A_0 、 B_1B_0 进行比较的逻辑功能，当 $A>B$ 时, $F_1=1$; 当 $A=B$ 时, $F_2=1$; 当 $A<B$ 时, $F_3=1$ ，由此可列出函数真值表，并写出逻辑表达式。

设计步骤：

1. 根据题目要求求出函数的标准与或表达式，再用两次取反法推导出标准与非—与非表达式。
2. 根据输入变量数与译码器输入二进制代码位数相等的原则，选择合适的译码器和其它门电路。
3. 确认译码器和与非门输入信号表达式，译码器的输入信号—地址变量，就是函数变量，要特别注意变量排列顺序，使函数表达式中的高低位排列与译码器地址变量中高低位排列一致。译码器的输出信号，就是与非门中的一个输入信号，依此类推，把译码器输出中有关信号都挑出来，就是与非门的全部输入信号。
4. 根据译码器和与非门输入信号的表达式画出连线图，就是所需要的电路图。

六. 实验内容

1. 按设计的图接线并测试其逻辑功能，并记录测试结果与设计时的理论值是否一致。
2. 提交数据时按实际电路选择相应的表格，表头电路提交数据时，按输入变量 ABC 从 0-7 组合顺序提交输出 F 值，例如：000，001，010，...111。比较器也按输入变量 $A_1A_0B_1B_0$ 从 0000，0001，0010...1111 排列顺序,提交输出 F_1, F_2, F_3 的结果。结果按 1 或 0 填写。

七. 思考题

1. 怎样将两个 3 线-8 线译码器设计组合成一个 4 线-16 线译码器?
请画出逻辑电路图。
2. 总结使用中规模组合逻辑器件设计逻辑电路的一般方法。

实验五 触发器的测试和应用

一. 实验目的

1. 掌握基本 RS、JK、D 触发器的逻辑功能。
2. 掌握集成触发器的逻辑功能及使用方法。
3. 熟悉触发器之间相互转换方法。

二. 实验器件及仪器设备

- | | |
|--------------------|-----|
| 1. 四二输入与非门 74LS00 | 1 片 |
| 2. 双 JK 触发器 74LS73 | 1 片 |
| 3. 六反相器 74LS04 | 1 片 |
| 4. 示波器 | 1 台 |

三. 实验预习要求

1. 熟悉掌握基本RS、JK、D触发器的主要参数的定义和意义。
2. 熟悉双JK触发器74LS73和六反相器74LS04的外引线排列。
3. 熟悉各触发器测试电路，了解测试原理及测试方法。
4. 根据本实验指导书提供的器件和实验要求设计电路。
5. 根据本实验指导书的实验要求自拟实验步骤和数据表格。

四. 实验原理

触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存储器件，是构成各种时序电路的最基本逻辑单元。

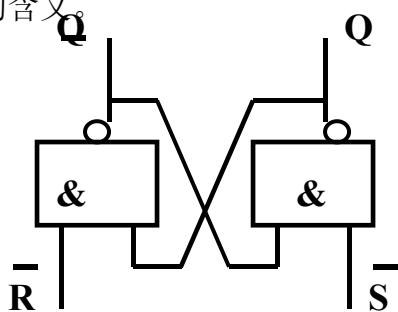
基本 RS 触发器是无时钟控制功能的低电平直接触发的触发器。基本 RS 触发器具有置“1”、“0”、“保持”三种功能。当 $\bar{S} = \bar{R} = 0$ 时，触发器状态不定，应避免此种情况发生。

在输入信号为双端的情况下，JK 触发器是功能完善、使用灵活和通用性较一种触发器，JK 触发器常被用做缓冲存储器、移位寄存器和计数器。

在输入信号为单端的情况下，D 触发器用起来最为方便，其输出状态的更新发生在 CP 脉冲的上升沿，故又称为上升沿触发的边沿触发器。D 触发器可用做数字信号的寄存、移位寄存、分频和波形发生等。

五. 实验要求

1. 用 74LS00 的两个与非门构成一个基本的 RS 触发器，测试其逻辑功能并记录(按表中顺序改变输入状态)。正确理解 RS 触发器中不定和不变的含义。



\overline{R}	\overline{S}	Q^{n+1}
0	0	
0	1	
1	0	
1	1	

2. JK触发器逻辑功能测试

根据下表输入状态的顺序对双JK触发器74LS73一个JK触发器进行测试，测试其逻辑功能并记录, 记录数据前先清零。（注意观察触发器状态更新是否发生在CP脉冲的下降沿。）

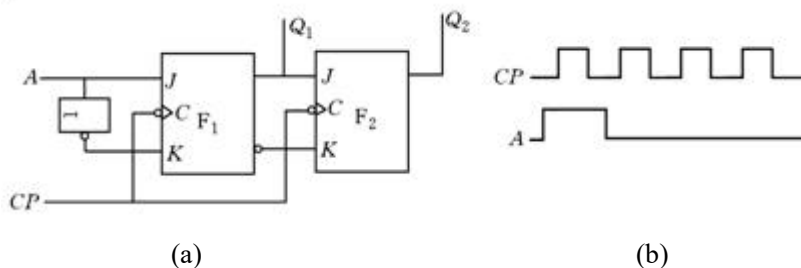
3. 将JK触发器转换为D触发器，测试其逻辑功能并记录(按表中顺序改变输入状态)。

J	K	CLR	Q^{n+1}
0	0	0	
0	1	H	
1	0	H	
1	1	H	

D	Q^{n+1}
0	
1	

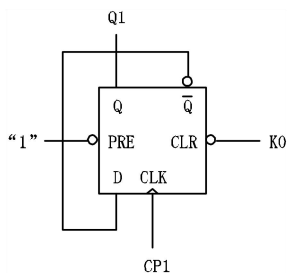
4*. JK触发器电路分析

由如下图 (a) 所示两个边沿 JK 触发器组成的电路，若 CP 、 A 的波形如图 (b) 所示，试用双 JK 触发器 74LS73 构成实验电路，自行设计实验测试表格，实验并画出 Q_1 、 Q_2 的波形。设触发器的初始状态均为零。



六. 思考题

1. 比较三种触发器逻辑功能、触发方式有何不同？
2. 用触发器可以很容易地实现对输入脉冲信号的分频功能。下图是用 D 触发构成的分频电路，能实现对 CP_1 脉冲的二分频，试用触发器构成对输入脉冲信号 4 分频的电路，如何实现？画出实现电路。



实验六 计数器及其应用

一. 实验目的

1. 掌握计数器74LS162的功能。
2. 掌握计数器的级联方法。
3. 熟悉任意模计数器的构成方法。
4. 熟悉数码管的使用。

二. 实验所用器件和仪器

- | | |
|-------------------------|-----|
| 1. 同步四位 BCD 计数器 74LS162 | 2 片 |
| 2. 二输入四与非门 74LS00 | 1 片 |
| 3. 示波器 | 1 台 |
| 4. 数字电路实验箱 | 1 台 |

三. 实验预习要求

1. 熟悉掌握计数器主要参数的定义和意义。
2. 熟悉同步四位BCD计数器74LS162的外引线排列。
3. 熟悉各测试电路，了解测试原理及测试方法。
4. 按本实验指导书提供的器件和实验要求设计电路。
5. 按本实验指导书的实验要求自拟实验步骤和数据表格(参考真值表)。

四. 实验原理

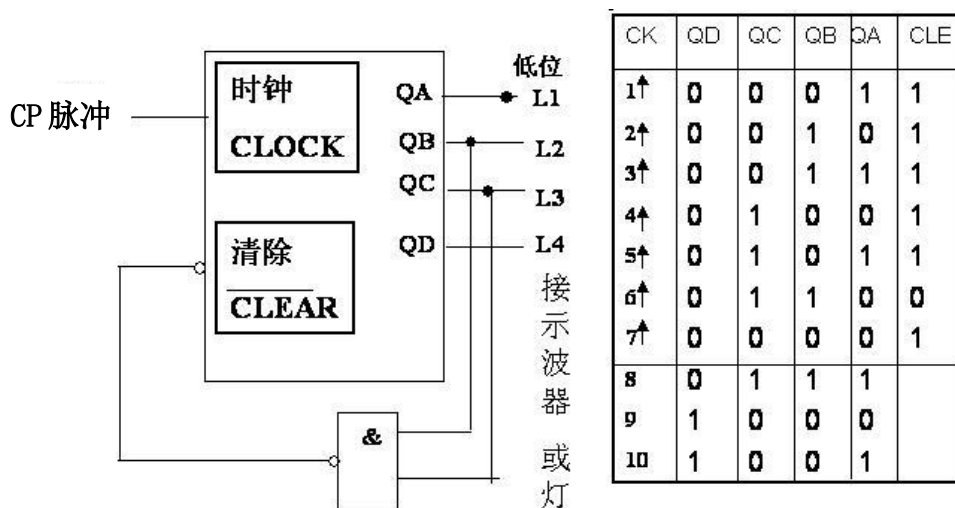
在数字电路中，把记忆输入CP脉冲个数的操作叫做计数，能实现计数操作的电子电路叫计数器。计数器是一个用来实现计数功能的时序部件，它不仅可用来计脉冲数，还常用做数字系统的定时、分频，执行数学运算，以及其它特定的逻辑功能。

计数器的种类很多，按构成计数器中的各触发器是否使用同一个时钟

脉冲源来分，有同步计数器和异步计数器。根据计数制的不同，分为二进制计数器，十进制计数器和任意进制计数器。根据计数的增减趋势，又分为加法、减法和可逆计数器。还有可预置数和可编程序功能计数器等。使用者只要借助于器件手册提供的功能表和工作波形图及引出端的排列，就可正确地使用这些器件。

五. 实验要求

1. 参照下面模7计数器，用1片74LS162和1片74LS00采用复位法构成一个模5计数器。用单脉冲做计数时钟，从第一个脉冲（起始值为0001）开始至第五个脉冲观测计数状态（指示灯）并记录记录 Q_D ， Q_C ， Q_B ， Q_A 的值。



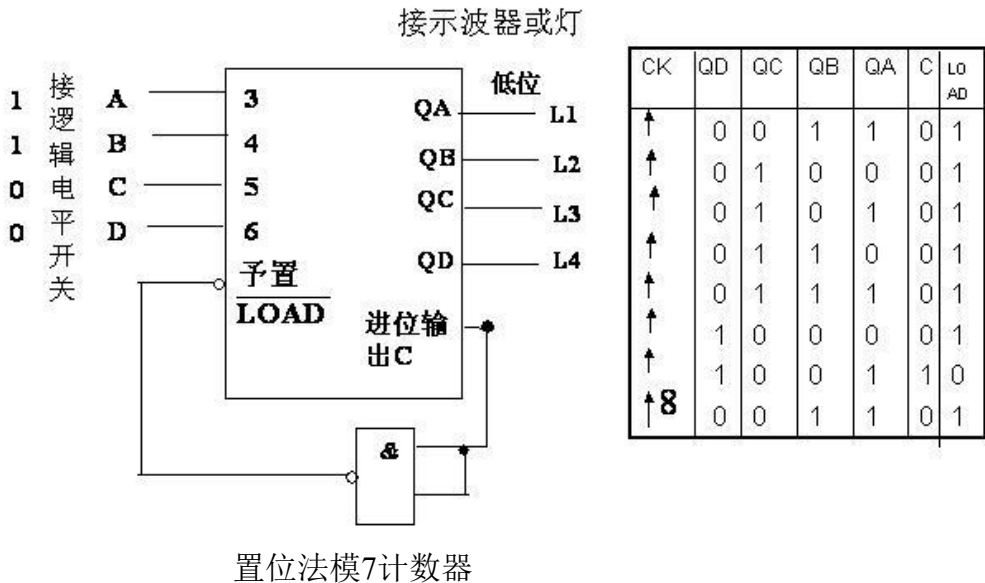
复位法模7计数器

提交数据时， Q_D ， Q_C ， Q_B ， Q_A 的值按1或0填写，其中 Q_D 是高位，状态从0001开始。

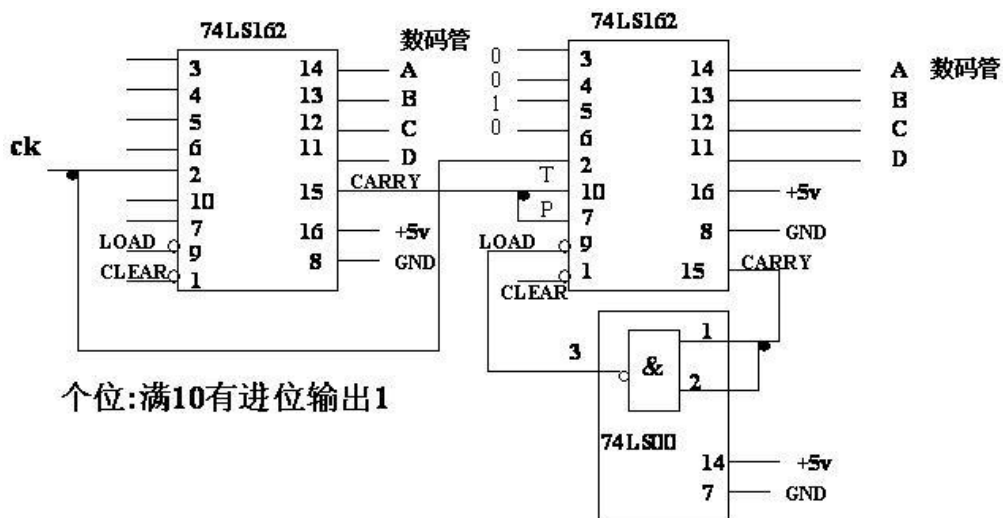
2. 参照下面模7计数器，用1片74LS162和1片74LS00采用置位法构

成一个模5计数器。用单脉冲做计数时钟，从第一个脉冲（起始值为0101）开始至第五个脉冲观测计数状态（指示灯）并记录记录 Q_D ， Q_C ， Q_B ， Q_A 的值.。

提交数据时， Q_D ， Q_C ， Q_B ， Q_A 的值按1或0填写,其中 Q_D 是高位。



1. 参照下面模60计数器，用 2 片74LS162和 1 片74LS00置位法构成一个模24计数器。2 片74LS162的 Q_D ， Q_C ， Q_B ， Q_A 分别接两个数码管的D，C，B，A。用单脉冲做计数时钟，观测数码管数字的变化，检验设计和接线是否正确。



十位:当个位有进位输出1时,P 和T才允许计数,所以,第二片计数器每十个脉冲才计一个数,实质是模6计数器.

模60计数器

六. 思考题

1. 说明直接清零和同步清零的差别。
2. 采用74LS162和74LS160用复位法构成模5计数器, 请问电路有差别吗? (清零端的低电平信号在QA、QB、QC、QD为何种状态时获得) 为什么?

实验七 移位寄存器的测试及应用(串-并转换)

一. 实验目的

- 1、掌握中规模 4 位双向移位寄存器逻辑功能及使用方法。
- 2、熟悉移位寄存器的应用 — 实现数据的串行、并行转换。

二. 实验器件及仪器设备

- | | |
|------------------|-----|
| 1. 移位寄存器 74LS194 | 2 片 |
| 2. 六反相器 74LS04 | 1 片 |
| 3. 数字电路实验箱 | 1 台 |

三. 实验预习要求

1. 熟悉掌握移位寄存器 74LS194 的主要参数的定义和意义。
2. 熟悉移位寄存器 74LS194 和六反相器 74LS04 的外引线排列。
3. 掌握移位寄存器用于实现数据串行—并行转换的电路原理及测试方法。

四. 实验原理

移位寄存器是一个具有移位功能的寄存器,是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器,只需要改变左、右移的控制信号便可实现双向移位要求。根据移位寄存器存取信息的方式不同分为:串入串出、串入并出、并入串出、并入并出四种形式。

本实验选用的 4 位双向通用移位寄存器,型号为 74LS194,其逻辑符号及引脚排列如图 1 所示。

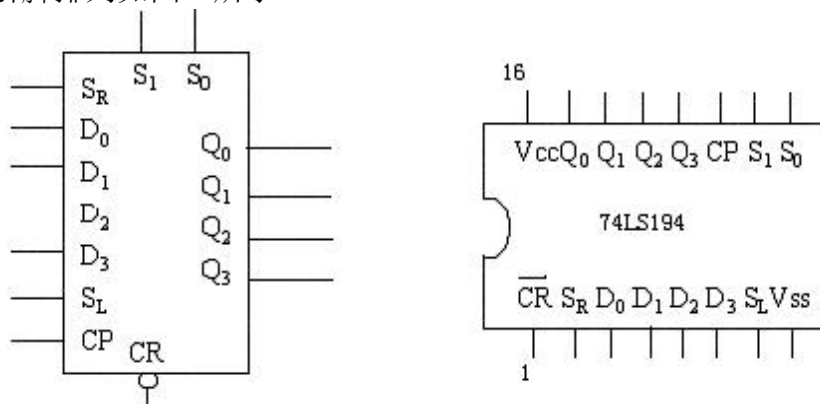


图 1 74LS194 的逻辑符号及引脚功能

其中 D_0 、 D_1 、 D_2 、 D_3 为并行输入端； Q_0 、 Q_1 、 Q_2 、 Q_3 为并行输出端； S_R 为右移串行输入端， S_L 为左移串行输入端； S_1 、 S_0 为操作模式控制端； \bar{C}_R 为直接无条件清零端； CP 为时钟脉冲输入端。

74LS194 有 5 种不同操作模式：即并行送数寄存，右移(方向由 $Q_0 \rightarrow Q_3$)，左移（方向由 $Q_3 \rightarrow Q_0$ ），保持及清零。

S_1 、 S_0 和 \bar{C}_R 端的控制作用如表 1。

表 1

功 能	输 入										输 出			
	CP	\bar{C}_R	S_1	S_0	S_R	S_L	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清除	×	0	×	×	×	×	×	×	×	×	0	0	0	0
送数	↑	1	1	1	×	×	a	b	c	d	a	b	c	d
右移	↑	1	0	1	D_{SR}	×	×	×	×	×	D_{SR}	Q_0	Q_1	Q_2
左移	↑	1	1	0	×	D_{SL}	×	×	×	×	Q_1	Q_2	Q_3	D_{SL}
保持	↑	1	0	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
保持	↓	1	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

五. 实验内容

1、测试 74LS194 的逻辑功能

按图 5 接线， \bar{C}_R 、 S_1 、 S_0 、 S_L 、 S_R 、 D_0 、 D_1 、 D_2 、 D_3 分别接至逻辑开关的输出插口； Q_0 、 Q_1 、 Q_2 、 Q_3 接至逻辑电平显示输入插口。CP 端接单次脉冲源。按表 5 所规定的输入状态，逐项进行测试。

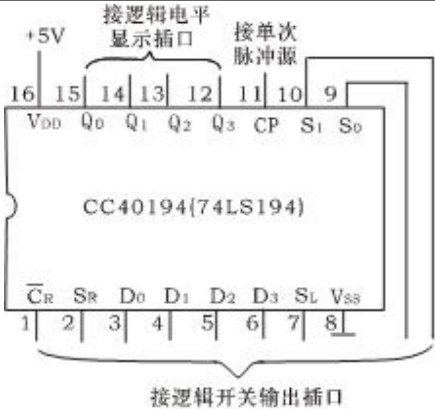


图 5 74LS194 逻辑功能测试

注：D₀、D₁、D₂、D₃ 对应芯片的 A、B、C、D

Q₀、Q₁、Q₂、Q₃ 对应芯片的 QA QB QC QD

(1)清除：令 $\overline{C_R} = 0$ ，其它输入均为任意态，这时寄存器输出Q₀、Q₁、Q₂、Q₃应均为0。清除后，置 $\overline{C_R} = 1$ 。

(2)预置送数：令 $\overline{C_R} = S_1 = S_0 = 1$ ，送入任意 4 位二进制数，如 D₀D₁D₂D₃=abcd，加 CP 脉冲，观察 CP=0、CP 由 0→1、CP 由 1→0 三种情况下寄存器输出状态的变化，观察寄存器输出状态变化是否发生在 CP 脉冲的上升沿。

(3)右移：清零后，令 $\overline{C_R} = 1$ ，S₁=0，S₀=1，由右移输入端S_R 送入二进制数码0100，由CP端连续加4个脉冲，观察输出情况，记录之。

(4) 左移：先清零，再令 $\overline{C_R} = 1$ ，S₁=1，S₀=0，由左移输入端 S_L 送入二进制数码如 0100，连续加四个 CP 脉冲，观察输出端情况，记录之。

(5) 保持：寄存器予置任意 4 位二进制数码 abcd，令 $\overline{C_R} = 1$ ，S₁=S₀=0，加 CP 脉冲，观察寄存器输出状态，记录之。

表 5

清除	模 式		时钟	串 行		输 入	输 出	功能总结
$\overline{C_R}$	S ₁	S ₀	CP	S _L	S _R	D ₀ D ₁ D ₂ D ₃	Q ₀ Q ₁ Q ₂ Q ₃	
0	×	×	×	×	×	××××		
1	1	1	↑	×	×	a b c d		置初态
1	0	1	↑	×	0	××××		
1	0	1	↑	×	0	××××		
1	0	1	↑	×	1	××××		
1	0	1	↑	×	0	××××		
1	1	0	↑	0	×	××××		
1	1	0	↑	0	×	××××		
1	1	0	↑	1	×	××××		
1	1	0	↑	0	×	××××		
1	0	0	↑	×	×	××××		

2. 实现数据串、并行转换

串行/并行转换是指串行输入的数码，经转换电路之后变换成并行输出。

图 3 是用二片 74LS194 四位双向移位寄存器组成的七位串/并行数据转换电路。

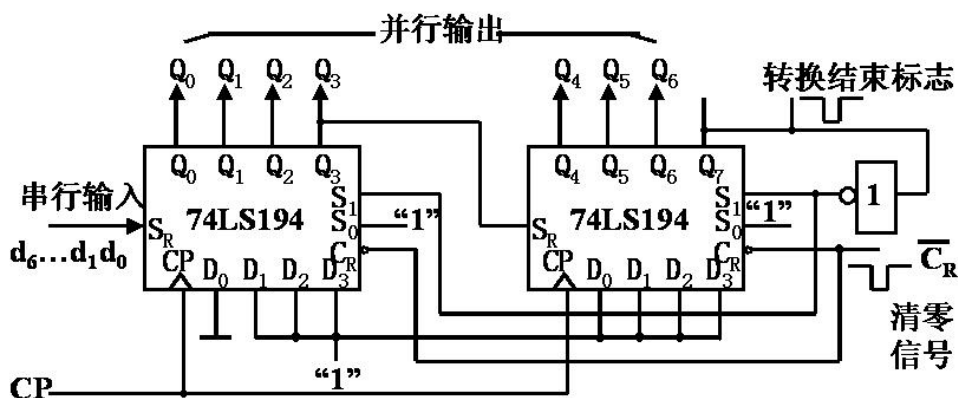


图 3 七位串行 / 并行转换器

电路中 S_0 端接高电平 1， S_1 受 Q_7 控制，二片寄存器连接成串行输入右移工作模式。 Q_7 是转换结束标志。当 $Q_7=1$ 时， S_1 为 0，使之成为 $S_1S_0=01$ 的串入右移工作方式，当 $Q_7=0$ 时， $S_1=1$ ，有 $S_1S_0=11$ ，则串行送数结束，标志着串行输入的数据已转换成并行输出了。

串行/并行转换的具体过程如下：

转换前， $\overline{C_R}$ 端加低电平，使 1、2 两片寄存器的内容清 0，此时 $S_1S_0=11$ ，寄存器执行并行输入工作方式。当第一个 CP 脉冲到来后，寄存器的输出状态 $Q_0\sim Q_7$ 为 01111111，与此同时 S_1S_0 变为 01，转换电路变为执行串入右移工作方式，串行输入数据由 1 片的 S_R 端加入。随着 CP 脉冲的依次加入，输出状态的变化可列成表 3 所示。

表 3

CP	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	说明
0	0	0	0	0	0	0	0	0	清零
1	0	1	1	1	1	1	1	1	置初态
2	d ₀	0	1	1	1	1	1	1	右移操作七次
3	d ₁	d ₀	0	1	1	1	1	1	
4	d ₂	d ₁	d ₀	0	1	1	1	1	
5	d ₃	d ₂	d ₁	d ₀	0	1	1	1	
6	d ₄	d ₃	d ₂	d ₁	d ₀	0	1	1	
7	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	0	1	
8	d ₆	d ₅	d ₄	d ₃	d ₂	d ₁	d ₀	0	
9	0	1	1	1	1	1	1	1	置初态

由表 3 可见，右移操作七次之后，Q₇ 变为 0，S₁S₀ 又变为 11，说明串行输入结束。这时，串行输入的数码已经转换成了并行输出了。当再来一个 CP 脉冲时，电路又重新执行一次并行输入，为第二组串行数码转换作好了准备。

\bar{C}_R 端加低电平，使 1、2 两片寄存器的内容清 0，此时 S₁S₀=11，寄存器执行并行输入工作方式。当第一个 CP 脉冲到来后，寄存器输出的起始状态 Q₀~Q₇ 为 01111111，请串行输入数据：d₆d₅d₄d₃d₂d₁d₀=1001011，7 个脉冲后的结果按 Q₀~Q₆ 顺序提交。

六. 思考题

1. 在对 74LS194 进行预置送数后，若要使输出端改成另外的数据，是否一定要使寄存器清零？
2. 使寄存器清零，除采用清零端外，可否采用右移或左移的方法？可否使用并行送数法？若可行，如何进行操作？
3. 请用 74LS194 设计实现一个 8 分频电路。
4. 寄存器是计算机中的重要部件，什么是寄存器？计算机中常用的寄存器有哪些？

实验八 组合逻辑电路设计(EDA 设计)

一. 实验目的

- 1.掌握典型组合逻辑电路的功能。
- 2.学会用相关硬件描述语言设计组合逻辑电路的方法。
- 3.熟悉相关 EDA 软件的使用方法。

二. 实验所用器件和仪器设备

1. 计算机 一台
2. 数字电路实验箱 一台

三. 实验预习要求

1. 熟悉并掌握全加器的概念及逻辑表达式。
2. 用硬件描述语言设计实验二中三变量表决电路和两个两位二进制数的比较逻辑功能中任意一个电路。
3. 画出表决电路或比较器的测试电路, 了解测试原理及测试方法。
4. 按本实验指导书的实验要求自拟实验步骤和数据表格。

四. 实验原理

1. 表决电路和比较电路的工作原理参照实验二内容。
2. EDA 设计系统原理

开发可编程逻辑器件的过程称为 PLD 器件设计。大规模 PLD 器件都需要利用软件工具进行设计。EDA 软件是数字系统设计软件, 它是一套完整的 EDA 软件, 一般设计输入可以采用原理图, 硬件描述语言和混合输入 3 种方式, 能对设计的数字电子系统进行功能仿真和时序仿真, 能自动进行逻辑优化, 自动完成布局布线, 并生成编程所需要的 JED 熔丝图文件。

五. 设计思路

要求：与实验二相同。

步骤：

1. 根据题目要求写出要设计电路的逻辑函数最简表达式.
2. 确定输入，输出信号。
3. 根据相关硬件语言格式编程.

六.实验内容

1. 用硬件描述语言设计实验二中的任一电路，三变量表决电路或两个两位二进制数的比较逻辑功能并测试。数据记录表格自己拟定，并写入实验报告。
- 2.将设计好的程序输入、编译、连接，生成格式的下载文件。
- 3.将相应格式文件下载到目标芯片中。
- 4.在实验箱上对设计的电路接线并进行调试，并记录测试数据。验证测试结果与设计时的理论值是否一致。
- 5.提交数据时按实际电路选择相应的表格，表决电路提交数据时，按输入变量 ABC 从 0-7 组合顺序提交输出 F 值，例如：000，001，010，...111。比较器也按输入变量 $A_1A_0B_1B_0$ 从 0000,0001,0010...1111 排列顺序,提交输出 F1,F2,F3 的结果。结果按 1 或 0 填写。

七.实验报告要求

1. 将预习内容按实验目的, 实验原理, 实验设备及材料几部分写进实验报告。
2. 写出用硬件描述语言设计的流程图，其中注释要详细。
3. 附上源程序，测试电路图和自己拟定的实验步骤。
4. 根据测试结果，写出所测试电路的真值表并与软件仿真结果进行对比。

八. 思考题

1. 逻辑描述语句有几种语句形式？请答出所有形式。

实验九 常用仪器的使用

一. 实验目的

1. 掌握低频信号发生器的使用方法，学会使用衰减输出小信号波形。
2. 学习用示波器观察正弦信号波形、测量波形参数的方法，并掌握峰峰值和有效值之间的换算。
3. 掌握用低频交流毫伏表测量参数的方法。

二. 实验仪器

1. 低频信号发生器 1 台
2. 双踪示波器 1 台

三. 预习要求

1. 阅读本实验指导书中附录一，附录二。
2. 必须观看本实验相关视频教学课件。

四. 实验原理

1. 信号发生器

根据测量要求不同，信号源大致可分为三大类，正弦信号发生器、函数发生器和脉冲信号发生器。信号源按正弦信号的频段分类，有：

- | | |
|--------------|----------------|
| (1) 超低频信号发生器 | 0.001Hz—1000Hz |
| (2) 低频信号发生器 | 1Hz—1MHz |
| (3) 视频信号发生器 | 20Hz—10MHz |
| (4) 高频信号发生器 | 30KHz—30MHz |
| (5) 超高频信号发生器 | 4MHz—300MHz |

本实验采用的是低频信号发生器。

2. 双踪示波器

示波器是一种用来观察和测量电信号的仪器，示波器可以用来研究信号瞬时幅度随时间的变化关系，也可以用来测量脉冲的幅值、上升时间等过渡特性。本实验采用的示波器是 DF4328A 型，它有以下特点：

- (1) 能显示信号波形，并可测量出瞬时值；
- (2) 测量灵敏度高，具有较强的过载能力；
- (3) 输入阻抗高，对被测系统的影响小；
- (4) 工作频带宽，速度快，便于观察瞬时变化的细节；
- (5) 示波器是一种快速 X—Y 描绘器，可以在荧光屏上描

绘出任何两个量的函数关系曲线。

利用示波器可以进行电压、时间、相位、频率等物理量的测量。本实验采用的常用仪器，低频信号发生器和示波器。其中，低频信号发生器用来产生一定频率范围和一定电压大小的信号，并提供给晶体管毫伏表和示波器直接测量和观察用；示波器是用来观测各种周期电压（或电流）波形的仪器。为了减小其输入阻抗对被测信号的影响，常用 10:1 衰减探头将信号加到示波器的 Y 轴输入端，这时，其输入阻抗为原来的 10 倍。

五. 实验内容

1. 示波器的使用

用示波器来观察电压（或转换成电压的电流）的波形，并测量电压的幅度，频率等。

信号发生器能产生频率连续可调的正弦波、方波，其电压有效值在 1mV-6V 之间连续可调。

图 9—1 是用示波器观察信号电压波形的连接图。

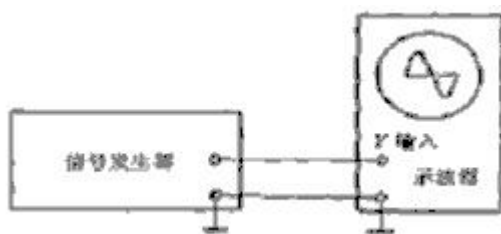


图 9—1

(1) 观察信号波形

接通电源，在加入被测信号前，应先调节“辉度”、“聚焦”、“辅助聚焦”各旋钮，使荧光屏上显示一条细而清晰的扫描基线，调节 x 轴“位移”和 Y 轴“位移”旋钮，使基线位于屏幕中央，然后将被测信号从 CH1（或 CH2）输入端加入，这时的显示方式开关旋钮也应拨到了 CH1（或 CH2），再调节所在通道的灵敏度选择开关“V / div”（符号“div”表示示波器荧光屏幕上的格数）及其微调旋钮，可以控制显示波形的高度：调节 X 轴扫描速率选择开关“t / div”及其微调旋钮，可以改变扫描电压周期 T_c ，当 T_c 为被测信号周期 T_s 的整数倍时，屏幕上就能稳定地显示出被测信号电压的波形。改变 T_c 和 T_s 的倍数关系，就能控制显示波形的个数。

使信号发生器的输出电压为峰峰值 3V 的正弦波（用示波器看），要求在屏幕上显示出波形高度为 6 格，记下此时的 Y 轴灵敏度选择开

关“V / div”档位值,填入下表.再按下表的要求改变频率值,在示波器上显示 3 个完整周期的波形,记下此时的 X 轴扫描速率选择开关“t / div”档位值,填入下表。

表 9—2

被测信号频率	150Hz	300Hz	3KHz	150KHz
“v/div” 档位				
“t/div” 档位				

在计算机上提交实验数据时,按表格横向顺序填写,提交”测量值”,测试的数据严格按照示波器的旋钮档位指示值填写,不要换算.不写单位,小数点后面1位,否则将出现错误。

(2)测量信号周期和频率

固定信号发生器输出电压的峰峰值为 5V,将示波器扫描速率“微调”旋钮旋至“校准”位置(即顺时针旋到底),此时扫描速率选择开关“t / div”所置挡位的刻度值表示着屏幕上横向每格的时间值。这样就能根据屏幕上所显示波形在水平轴上所占格数直接读出信号周期。为了保证测量精度,通常要求一个周期在水平方向上应占足够的格数(或者 10 个周期应占足够的格数,然后取其平均值)。为此,应将扫描速率选择开关置于合适挡位。

信号频率可由上述方法测得周期的倒数来求得。

改变信号频率,将测量结果记入表 9—3。

表 9—3

信号频率 (KHz)	0.1	1	10	100
t/div 所在档位				
一周期所占水平格数				
信号周期 T_s (ms)				
信号频率 (实测)				

在计算机上提交实验数据时,按表格横向顺序填写,只提交”信号周期”,测试的数据严格按照计算机上标明的单位换算后填入,不写单位,写绝对值,小数点后面留 1 位,否则将出现错误。

六. 思考题

1. 函数信号发生器有哪些波形输出?其输出端能否短路?
2. 要想从示波器显示屏上观测到稳定,清晰的波形?有可能使用到示波器哪些旋钮?

实验十 数据选择器和译码器的应用

一. 实验目的

3. 掌握集成数据选择器和集成译码器的逻辑功能和使用方法。
4. 学习用数据选择器和译码器构成组合逻辑电路的方法。
- 3.学会用中规模集成芯片设计组合逻辑电路的方法。

二. 实验所用器件和设备

1. 双 4 选 1 数据选择器 74LS153 1 片
2. 双 2—4 线译码器 74LS139 1 片
3. 基本门电路
4. 示波器 1 台
5. TDS—2 实验箱 1 台

三. 实验预习要求

1. 了解译码器和数据选择器的主要参数的定义和意义。
2. 熟悉双4选1数据选择器74LS153和双2—4线译码器74LS139的外引线排列。
3. 熟悉各测试电路，了解测试原理及测试方法。
4. 按本实验指导书提供的器件和实验要求设计电路。
5. 按本实验指导书的实验要求自拟实验步骤和数据表格。

四. 实验原理

数据选择器又叫“多路开关”，数据选择器在地址码（或叫选择控制）电位的控制下，从几个数据输入中选择一个并将其送到一个公共的输出端。本实验中有四路数据，通过选择控制信号从四路数据中选中某一路数据送至输出端。

译码器是一个多输入、多输出的组合逻辑电路。它的作用是把给定的代码进行“翻译”，变成相应的状态，使输出通道中相应的一路有信号输出。译码器在数字系统中有广泛的应用，不仅用于代码的转换及终端的数字显示，还用于数据分配、存储器寻址等。不同的功能可选用不同种类的译器。

五. 实验内容

1. 测试 74LS153 中一个 4 选 1 数据选择器的逻辑功能。

4个数据输入引脚分别接实验台上的四种不同频率的脉冲源，选择输入端B、A分别接电平开关，用示波器观测并记录每种组合下数据选择器对应的输出波形。

表10-1

B	A	C1	C2	C3	C4	G	Y
0	0	100K	500K	1M	5M	0	
0	1					0	
1	0					0	
1	1					0	

提交数据时严格按照给定的 BA 组合顺序提交，不写单位，只填数字，例如：5M，只需填 5 即可。

2. 用 74LS139 译码器实现 4 路分配器。

使能端1G作为输入端接实验台上的100KHz脉冲源，地址输入端B、A分别接电平开关，用示波器观测并记录每种组合下对应输出端的波形，比较输入与输出波形的相位关系。

表10-2

B	A	G	Y1	Y2	Y3	Y4
0	0	100K				
0	1	100K				
1	0	100K				
1	1	100K				

提交数据时，按 Y1—Y4 顺序提交，只提交有输出的数据，不写单位。

3. 用上 74LS153 和 74LS139 实现四路数据传输系统。

要求：收、发两边同时控制。

提示：74LS153 和 74LS139 中，引脚 G 都用于控制输出。在 74LS153 中，当 G 为低电平时，由 A，B 端的不同组合来决定输入端的哪路数据送往数据输出端 Y。在 74LS139 中，当 G 为低电平时，由 A，B 端的不同组合来决定四路输出中哪一路数据为低电平。

表 10-3

B	A	C1	C2	C3	C4	Y1	Y2	Y3	Y4
0	0	100K	500K	1M	5M				
0	1								
1	0								
1	1								

提交数据时，按 Y1—Y4 顺序提交，只提交有输出的数据，不写单位。

实验十一 移位寄存器的测试及应用(并-串转换)

一. 实验目的

- 1、掌握中规模 4 位双向移位寄存器逻辑功能及使用方法。
- 2、熟悉移位寄存器的应用 — 实现数据的并行、串行转换。

二. 实验器件及仪器设备

1. 移位寄存器 74LS194 2 片
2. 8 输入与非门 和 2 输入与非门 各 1 片
3. 数字电路实验箱 1 台

三. 实验预习要求

1. 熟悉掌握移位寄存器 74LS194 的主要参数的定义和意义。
2. 熟悉移位寄存器 74LS194 和六反相器 74LS04 的外引线排列。
3. 复习移位寄存器用于实现数据串行—并行转换的电路原理及测试方法。

四. 实验原理

移位寄存器是一个具有移位功能的寄存器,是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器,只需要改变左、右移的控制信号便可实现双向移位要求。根据移位寄存器存取信息的方式不同分为:串入串出、串入并出、并入串出、并入并出四种形式。

本实验选用的 4 位双向通用移位寄存器,型号为 74LS194,两者功能相同,可互换使用,其逻辑符号及引脚排列如图 11—1 所示。

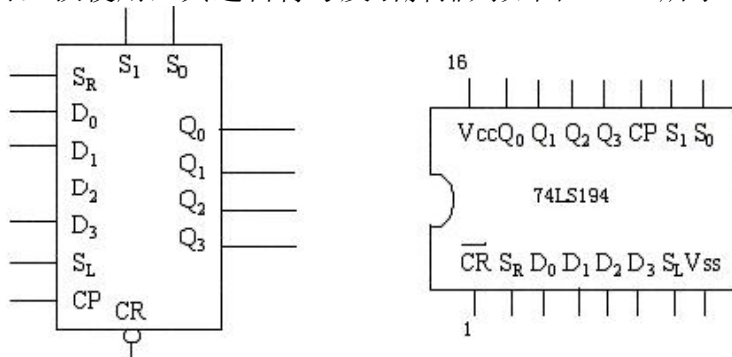


图 11—1 74LS194 的逻辑符号及引脚功能

其中 D_0 、 D_1 、 D_2 、 D_3 为并行输入端； Q_0 、 Q_1 、 Q_2 、 Q_3 为并行输出端； S_R 为右移串行输入端， S_L 为左移串行输入端； S_1 、 S_0 为操作模式控制端； \bar{C}_R 为直接无条件清零端；CP 为时钟脉冲输入端。

74LS194 有 5 种不同操作模式：即并行送数寄存，右移(方向由 $Q_0 \rightarrow Q_3$)，左移(方向由 $Q_3 \rightarrow Q_0$)，保持及清零。 S_1 、 S_0 和 \bar{C}_R 端的控制作用如表 11-1。

表 11-1

功 能	输 入										输 出			
	CP	\bar{C}_R	S_1	S_0	S_R	S_L	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清 除	×	0	×	×	×	×	×	×	×	×	0	0	0	0
置 初 态	↑	1	1	1	×	×	a	b	c	d	a	b	c	d
右 移	↑	1	0	1	D_{SR}	×	×	×	×	×	D_{SR}	Q_0	Q_1	Q_2
左 移	↑	1	1	0	×	D_{SL}	×	×	×	×	Q_1	Q_2	Q_3	D_{SL}
保 持	↑	1	0	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
保 持	↓	1	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

五. 实验内容

1、测试 74LS194 的逻辑功能

按图 11-2 接线， \bar{C}_R 、 S_1 、 S_0 、 S_L 、 S_R 、 D_0 、 D_1 、 D_2 、 D_3 分别接至逻辑开关的输出插口； Q_0 、 Q_1 、 Q_2 、 Q_3 接至逻辑电平显示输入插口。CP 端接单次脉冲源。按表 11-1 所规定的输入状态，逐项进行测试。

注： D_0 、 D_1 、 D_2 、 D_3 对应芯片的 A、B、C、D
 Q_0 、 Q_1 、 Q_2 、 Q_3 对应芯片的 QA QB QC QD

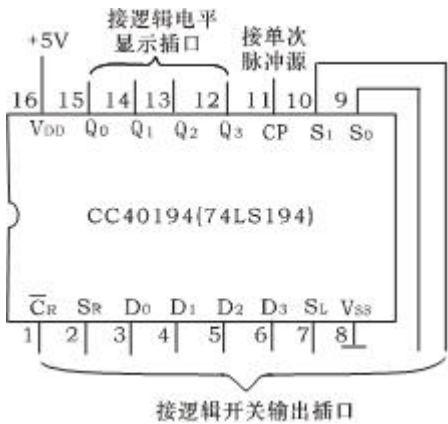


图 11-2 74LS194 逻辑功能

(1)清除：令 $\bar{C}_R=0$ ，其它输入均为任意态，这时寄存器输出 Q_0 、 Q_1 、 Q_2 、 Q_3 应均为0。清除后，置 $\bar{C}_R=1$ 。

(2)预置送数：令 $\bar{C}_R=S_1=S_0=1$ ，送入任意4位二进制数，如 $D_0D_1D_2D_3=abcd$ ，加CP脉冲，观察CP=0、CP由0→1、CP由1→0三种情况下寄存器输出状态的变化，观察寄存器输出状态变化是否发生在CP脉冲的上升沿。

(3)右移：清零后，令 $\bar{C}_R=1$ ， $S_1=0$ ， $S_0=1$ ，由右移输入端 S_R 送入二进制数码0100，由CP端连续加4个脉冲，观察输出情况，记录之。

(4)左移：先清零，再令 $\bar{C}_R=1$ ， $S_1=1$ ， $S_0=0$ ，由左移输入端 S_L 送入二进制数码如0100，连续加四个CP脉冲，观察输出端情况，记录之。

(5)保持：寄存器予置任意4位二进制数码abcd，令 $\bar{C}_R=1$ ， $S_1=S_0=0$ ，加CP脉冲，观察寄存器输出状态，记录之。

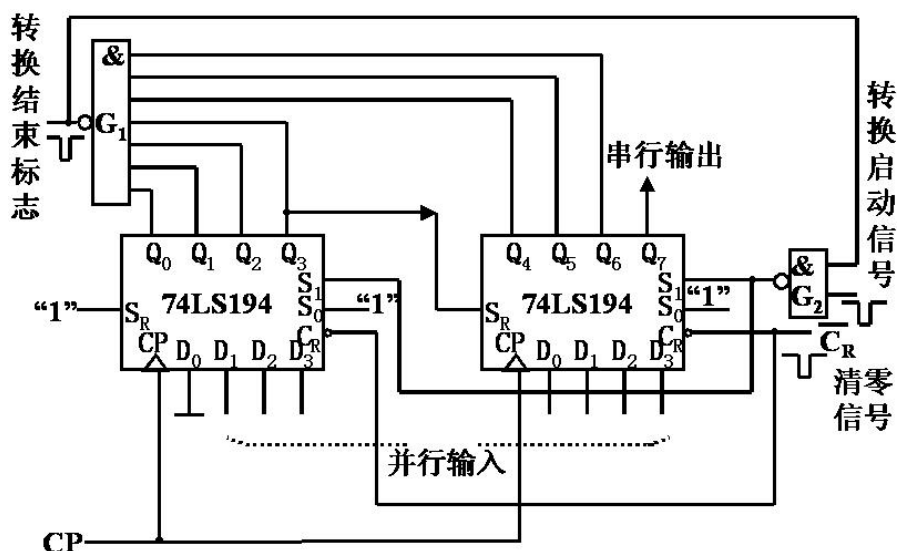
表 11—2

清除	模 式		时钟	串 行		输 入	输 出	功能总结
\bar{C}_R	S_1	S_0	CP	S_L	S_R	$D_0 D_1 D_2 D_3$	$Q_0 Q_1 Q_2 Q_3$	
0	×	×	×	×	×	××××		
1	1	1	↑	×	×	a b c d		置初态
1	0	1	↑	×	0	××××		
1	0	1	↑	×	0	××××		
1	0	1	↑	×	1	××××		
1	0	1	↑	×	0	××××		
1	1	0	↑	0	×	××××		
1	1	0	↑	0	×	××××		
1	1	0	↑	1	×	××××		
1	1	0	↑	0	×	××××		
1	0	0	↑	×	×	××××		

2. 并行/串行转换器是指并行输入的数码经转换电路之后，换成串行输出。

图 11—3 是用两片 74LS194 组成的七位并行/串行转换电路，电路工

作方式同样为右移。



11-3 七位并行 / 串行转换器

寄存器清“0”后，加一个转换起动信号（负脉冲或低电平）。此时，由于方式控制 S_1S_0 为 11，转换电路执行并行输入操作。当第一个 CP 脉冲到来后， $Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7$ 的状态为 $0D_1D_2D_3D_4D_5D_6D_7$ ，并行输入数码存入寄存器。从而使得 G_1 输出为 1， G_2 输出为 0，结果， S_1S_2 变为 01，转换电路随着 CP 脉冲的加入，开始执行右移串行输出，随着 CP 脉冲的依次加入，输出状态依次右移，待右移操作七次后， $Q_0 \sim Q_6$ 的状态都为高电平 1，与非门 G_1 输出为低电平， G_2 门输出为高电平， S_1S_2 又变为 11，表示并/串行转换结束，且为第二次并行输入创造了条件。转换过程如表 11-3 所示。

表 11—3

CP	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	串 行 输 出						
0(清零)	0	0	0	0	0	0	0	0							
1(置初态)	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇							
2	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇						
3	1	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇					
4	1	1	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇				
5	1	1	1	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇			
6	1	1	1	1	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇		
7	1	1	1	1	1	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇	
8	1	1	1	1	1	1	1	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇
9	0	D ₁	D ₂	D ₃	D ₄	D ₅	D ₆	D ₇							

请数据输入端预置 1001011 (D₁~D₇)，送到输出端作为起始状态，记录 7 个脉冲后 Q₇ 的串行输出结果，数据按 D₇~D₁ 顺序提交。

六. 思考题

1. 若进行循环左移，图 11—3 接线应如何改接？

实验十二 环形计数器和串行累加器

一. 实验目的

1. 掌握 4 位双向移位寄存器 74LS194 的逻辑功能及使用方法。
2. 熟悉移位寄存器的应用——构成环形计数器和串行累加器。

二. 实验器件及仪器设备

- | | |
|--------------------------------|-----|
| 1. 数字电路实验箱 | 1 台 |
| 2. 74LS194 (或 CC40194) | 2 片 |
| 3. 双 D 触发器 74LS74 (或 CC4013) | 1 片 |
| 4. 全加器 74LS183 或 ispLSI1032 芯片 | 1 片 |

三. 实验预习要求

1. 复习寄存器及累加运算的有关内容。
2. 了解 74LS194 的逻辑功能、移位寄存器构成环形计数器和串行累加器的方法。

四. 实验原理

1. 移位寄存器

是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器。根据移位寄存器存取信息的方式不同分为：串入串出、串入并出、并入串出、并入并出四种形式。本实验选用的是 4 位双向移位寄存器, 型号为 74LS194 (TTL 器件) 或 CC40194 (CMOS 器件), 两者功能完全相同, 可以互换使用。74LS194 的最高时钟脉冲为 36MHZ, 其逻辑符号及引脚排列如图 12-1 所示:

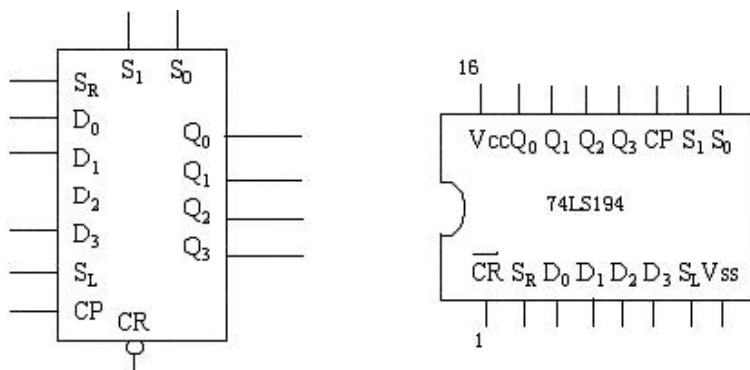


图 12-1 74LS194 的逻辑符号及引脚排列

其中： $D_0 \sim D_3$ 为并行输入端； $Q_0 \sim Q_3$ 为并行输出端； S_R ——右移串行输入端； S_L ——左移串行输入端； S_1 、 S_0 ——操作模式控制端； \overline{CR} ——为直接无条件清零端； CP ——为时钟脉冲输入端。74LS194 模式控制及状态输出如表 12-1 所示：

表 12-1 74LS194 模式控制及状态输出表

CP	\overline{CR}	S_1	S_0	功能	$Q_3Q_2Q_1Q_0$
×	0	×	×	清除	$\overline{CR}=0$ 时， $Q_3Q_2Q_1Q_0=0000$ 正常工作时， \overline{CR} 置 1
↑	1	1	1	送数	$Q_3Q_2Q_1Q_0=D_3D_2D_1D_0$ 此时串行数据 (S_R , S_L) 被禁止
↑	1	0	0	右移	$Q_3Q_2Q_1Q_0=D_{SR}Q_3Q_2Q_1$
↑	1	1	0	左移	$Q_3Q_2Q_1Q_0=Q_2Q_1Q_0D_{SL}$
↑	1	0	0	保持	$Q_3Q_2Q_1Q_0=Q_3^nQ_2^nQ_1^nQ_0^n$
↓	1	×	×	保持	$Q_3Q_2Q_1Q_0=Q_3^nQ_2^nQ_1^nQ_0^n$

2、移位寄存器的应用

移位寄存器的应用范围很广，可构成移位寄存器型计数器；顺序脉冲发生器；串行累加器；可用作数据转换，即把串行数据转换为并行数据，或把并行数据转换为串行数据等。本实验研究移位寄存器用作环形计数器和串行累加器的线路及其原理。

(1) 环形计数器

把移位寄存器的输出反馈到它的串行输入端，就可以进行循环移位，如图 12-2 所示。把输出端 Q_0 和右移串行输入端 S_R 相连，设初态为 $Q_3Q_2Q_1Q_0=1000$ ，则在 CP 作用下，模式设为右移，输出状态依次为：

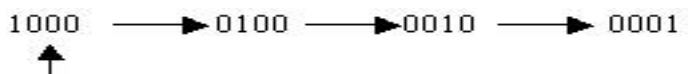


图 12-2 所示电路是一个有四个有效状态的计数器，这种类型计数器通常称为环形计数器。同时输出端输出脉冲在时间上有先后顺序，因此也可以作为顺序脉冲发生器。

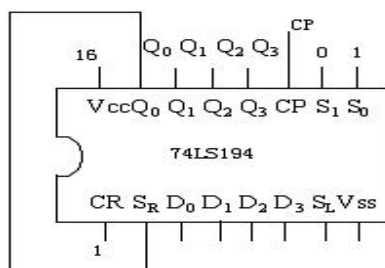


图 12-2 4 位环形计数器

(2) 串行累加器

累加器是由移位寄存器和全加器组成的一种求和电路。它的功能是将本身寄存的数和另一个输入的数相加，并存放在累加器中。图 12-3 是由两个右向移位寄存器、一个全加器和一个进位触发器组成的串行累加器。

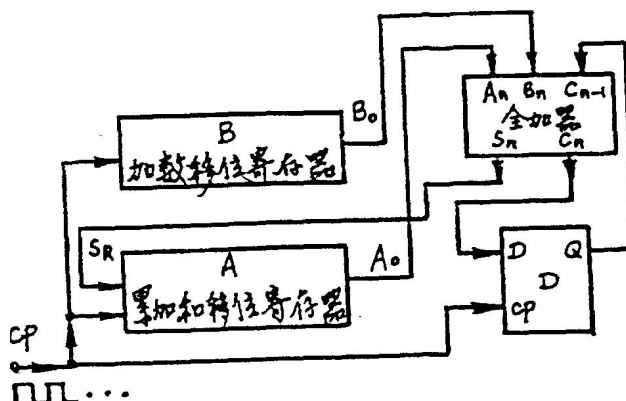


图 12-3 串行累加器结构框图

设开始时，被加数 $A=A_{N-1}\cdots A_0$ 和加数 $B=B_{N-1}\cdots B_0$ 分别存入 $N+1$ 位累加数移位寄存器和加数移位寄存器。再设进位触发器 D 已被清零。

在第一个 CP 脉冲到来之前，全加器各输入、输出端的情况为： $A_n=A_0$ ， $B_n=B_0$ ， $C_{n-1}=0$ ， $S_n=A_0+B_0+C_0=S_0$ ， $C_n=C_0$ 。

当第一个 CP 脉冲到来后， S_0 存入累加和移位寄存器的最高位， C_0 存入进位触发器 D 端，且两个移位寄存器中的内容都向右移动一位。全加器输出为 $S_n=A_1+B_1+C_0=S_1$ ， $C_n=C_1$ 。

在第二个脉冲到来后，两个移位寄存器的内容又右移一位， S_1 存入累加和移位寄存器的最高位，原先存入的 S_0 进入次高位， C_1 存入进位触发器 Q 端，全加器输出为： $S_n=A_2+B_2+C_1=S_2$ ， $C_n=C_2$ 。

如此顺序进行，到第 $N+1$ 个 CP 脉冲后，不仅原先存入两个移位寄存器中的数已被全部移出，且 A、B 两个数相加的和及最后的进位 C_{n-1} 也被全部存入累加和移位寄存器中。若需继续累加，则加数移位寄存器中需再一次存入新的加数。

五. 实验内容和步骤

1. 测试 74LS194（或 CC40194）的逻辑功能

\overline{CR} 、 S_1 、 S_0 、 S_L 、 S_R 、 D_3 、 D_2 、 D_1 、 D_0 分别接逻辑电平开关； $Q_3Q_2Q_1Q_0$

用 LED 电平显示，CP 接单次脉冲源。按表 12-2 进行逐项对比测试。

表 12-2

清除	模 式		时 钟	串 行 控 制		输 入	输 出	功能总结
\overline{CR}	S_1	S_0	CP	S_L	S_R	$D_3D_2D_1D_0$	$Q_3Q_2Q_1Q_0$	
0	X	X	X	X	X	X X X X		
1	1	1	↑	X	X	d c b a		
1	0	1	↑	X	0	X X X X		
1	0	1	↑	X	1	X X X X		
1	0	1	↑	X	0	X X X X		

1	0	1	↑	X	0	X X X X		
1	1	0	↑	1	X	X X X X		
1	1	0	↑	1	X	X X X X		
1	1	0	↑	1	X	X X X X		
1	1	0	↑	1	X	X X X X		
1	0	0	↑	X	X	X X X X		

2. 4 位环形计数器

参照图 12-2 进行连线，先用并行送数法预置寄存器为某二进制数码（如 0100），然后进行右移循环，观察寄存器输出端状态的变化，记入表 12-3 中。

表 12-3

CP	Q_3	Q_2	Q_1	Q_0
0	0	1	0	0
1				
2				
3				
4				

3. 串行累加器

按图 12-4 连接实验电路。 \overline{CR} 、 S_1 、 S_0 接逻辑开关，CP 接单次脉冲源，由于逻辑开关的数量有限，两寄存器并行输入端 $D_3D_2D_1D_0$ 根据实验设备现有条件，进行接线。两寄存器的输出端接至 LED 逻辑电平显示插口。

（1）清零 令 $\overline{CR}=0$ ， $/R_0=0$ ， $/S_0=1$ 。

（2）送数 令 $\overline{CR}=S_0=S_1=1$ ， $/R_0=1$ ， $/S_0=1$ 。用并行送数方法把三位被加数 $A_2A_1A_0$ 和三位加数 $B_2B_1B_0$ 分别送入累加和移位寄存器 A 和加数移位寄存器 B 中，然后进行右移，实现加法运算。

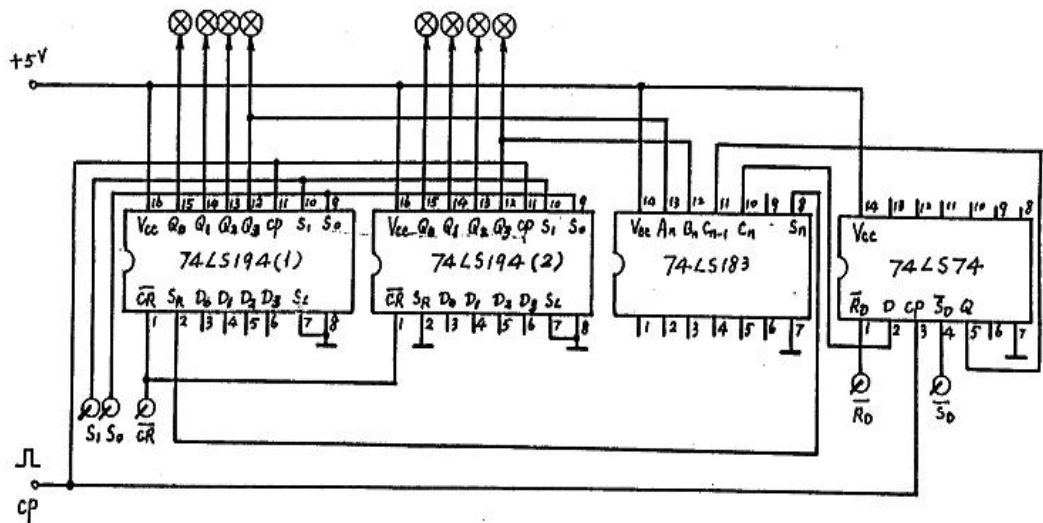


图 12-4 累加运算实验电路

连续输入 4 个 CP 脉冲，观察两个寄存器输出状态变化，记入表 12-4 中。

表 12-4

CP	A 寄存器	B 寄存器
	$Q_0Q_1Q_2Q_3$	$Q_0Q_1Q_2Q_3$
0		
1		
2		
3		
4		

六. 实验报告及其要求

1. 分析表 12-2 的实验结果，总结移位寄存器 74LS194 的逻辑功能并写入表格“功能总结”一栏中。

2. 分析串行累加器所得结果的正确性。

3. 写出本次实验心得。

综合设计实验

指导思想:

在以下的实验中,要求学生不但具有数字电路基本知识,也要熟悉相关 EDA 软件的使用环境,熟悉可编程逻辑器件的性能,应用相应的硬件描述语言对数字电路进行设计。对所设计的电路进行模拟与优化,并通过与预设结果进行比较发现设计错误,通过下载工具将所设计的逻辑映射到可编程逻辑硬件芯片中,实现与设计逻辑一致的硬件,从而掌握这一先进的、更适合社会需要的数字系统设计方法。并最大限度地调动学生的能动性与兴趣,巩固所学的知识,提高学生综合实践能力。

实验报告要求:

实验完成后的实验报告要有:中文摘要、关键词、前言(包括实验目的、意义和该实验内容概述)、实验设计(采用的关键技术、主要设计思想与设计流程、主要功能模块电路设计分析、采用的软、硬件平台介绍等)、实验过程、结果分析,参考文献,作者,出版社等,放在最后。

实验一 移位寄存器的研究与实践

一. 实验目的:

- 1、掌握双向移位寄存器的逻辑功能和使用方法。
- 2、熟悉可编程逻辑器件的使用。
- 3、学会用硬件描述语言来设计数字逻辑电路。

二. 预习要求:

1. 熟悉双向移位寄存器的逻辑功能。
2. 熟悉 EDA 软件的使用方法。

三. 实验所用器件和仪器设备:

- | | |
|----------------|----|
| 1、TDS—1数字电路实验箱 | 1台 |
| 2、计算机 | 1台 |

四. 实验要求:

实现并行输入与串行输出变换。实现四位双向移位寄存器74KS194的功能。引脚包括:

并行输入端A、B、C、D，并行输出端Q_A、Q_B、Q_C、Q_D；右移串行输入端S_R，左移串行输入端S_L；操作模式控制端S₁、S₀；直接无条件清0端CLR；时钟脉冲输入端CLK。

五. 实验内容:

1. 在EDA设计软件中，将设计好的程序输入、调试、编译、连接生成格式的文件。

2. 将生成格式的文件下载到目标芯片中。

3. 将设计好的芯片根据程序中引脚定义（或自动分配的引脚）连线，芯片的引脚,A(16)、B(9)、C(49)、D(47)、CLR(70)、RIN(79)、LIN(37)、S0(27)、S1(17)分别接电平开关K9---K1,输出QA(6)、QB(5)、QC(4)、QD(3)分别接四个电平指示灯(LED)。CLK(20)接单脉冲。验证移位寄存器的功能。学生自行设计实验方案，要求完成:

- 将移位寄存器清零。
- 给移位寄存器送数。使ABCD=1010，送至QA.QB.QC.QD。
- 使送入的1010右移两位，再左移两位。
- 实现串行输入与并行输出变换。(输入四个脉冲后,在QA QB QC QD上同时取输出,即串行输入并行输出。右移时，在QD上取输出，左移时，在QA上取输出，即串入串出。)

输入										输出				提示
CLR	CP	S1	S0	RIN	LIN	A	B	C	D	QA	QB	QC	QD	
L	X	X	X	x	x	x	x	x	x	0	0	0	0	
H	↑	1	1	X	X	1	0	1	0	1	0	1	0	
H	↑	0	1	1	X	X	X	X	X					观察右移； 连续输入 2 个 1 再连续输入 2 个 0
H	↑	0	1	1	X	X	X	X	X					
H	↑	0	1	0	X	X	X	X	X					
H	↑	0	1	0	X	X	X	X	X					
右移四个脉冲后,并行输出为:_____串行输出为:_____														
H	↑	1	0	X	0	X	X	X	X					以上面结果为初态， 观察左移； 连续输入 2 个 0 再连续输入 2 个 1
H	↑	1	0	X	0	X	X	X	X					
H	↑	1	0	X	1	X	X	X	X					
H	↑	1	0	X	1	X	X	X	X					

提交数据时，起始状态为1010。Q_D串行输出结果按输出数据先后顺序从左至右排列。

六. 思考题

- 请说出ABEL语言中,ISTYPE信号定义语句在组合逻辑电路和时序电路的设计中的不同点,举例说明。

实验二 篮球竞赛24秒定时电路

一. 实验目的:

1. 熟悉相关芯片器件的使用。
2. 掌握用中规模或可编程逻辑芯片为核心设计较复杂数字逻辑电路系统的方法。

二. 实验所用器件和仪器设备:

- | | |
|--------------------|-----|
| 1. 数字电路实验箱 | 1台 |
| 2. 计算机 | 1台 |
| 3. 信号发生器 | 1台 |
| 4. 74LS04、21 | 各1片 |
| 5. 74LS160或74LS162 | 3片 |
| 6. 74LS20 或其它芯片 | |

三. 预习要求:

1. 熟悉计数器的逻辑功能。
2. 理解本实验设计要求。
3. 依据本实验指导书提供的器件和实验要求设计电路, 自拟实验步骤和数据表格。

四. 设计要求:

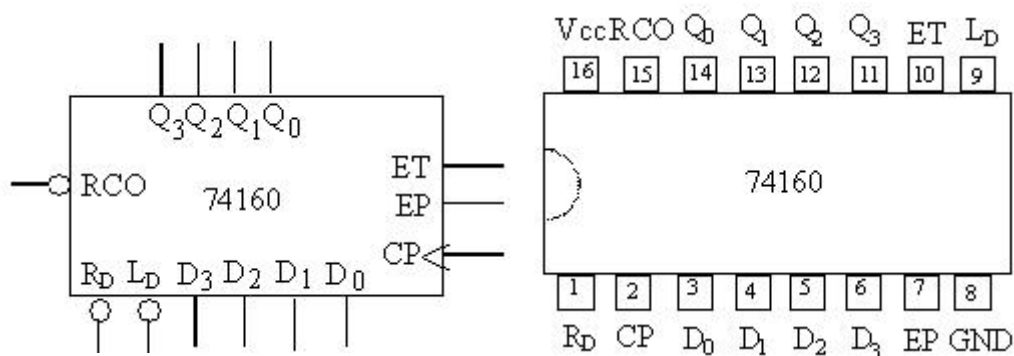
篮球竞赛规则: 队员持球时间不能超过 24 秒。

1. 设计一个 0-24 秒计时器电路, 具有时间显示功能。
2. 设置外部操作开关, 分别控制计时器的直接清零、启动、暂停/连续计时。
3. 电路递增计时, 每隔 1 秒计时器增 1。
4. 当计时器递增计时到 24(即定时时间到)时, 显示器上要求显示 24, 同时发出光电或声音报警信号。

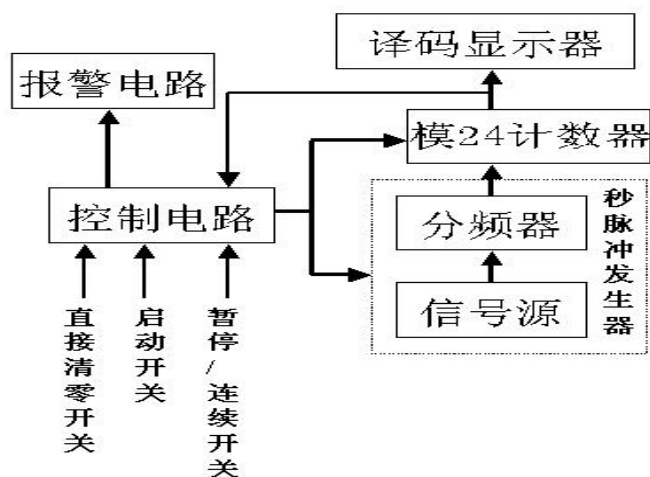
五. 设计思路:

74LS160 芯片外引线排列图及功能表如下。

清零	预置	使能		时钟	预置数据输入				输出				工作模式
R_0	L_0	EP	ET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	同步置数
1	1	0	×	×	×	×	×	×	保持				数据保持
1	1	×	0	×	×	×	×	×	保持				数据保持
1	1	1	1	↑	×	×	×	×	十进制计数				加法计数



1、分析要求、画出原理框图



2、控制电路四项功能细化分析：

(1) 操作“直接清零”开关时，要求计数器清零。

(2) 闭合“启动”开关时，计数器应完成清零功能，显示器显示 00 秒字样；断开“启动”开关时，计数器开始进行递增计数。

(3) 当“暂停/连续”开关处于“暂停”位置时，控制电路封锁时钟脉冲信号 CP，计数器暂停计数，显示器上保持原来的数不变，当“暂停/连续”开关处于“连续”位置时，计数器继续累计计数。

(4) 当计数器递增计数到 24（即定时时间到）时，控制电路应发出报警信号，使计数器保持状态不变，同时报警电路工作。

3、实验实施步骤：

由框图可知：它包括秒脉冲发生器、计数器、译码显示电路、报警电路和辅助时序控制电路等五部分组成。其中计数器和控制电路是系统的主要部分。计数器完成 24 秒计时功能。而控制电路完成计数器的直接清零、启动计数、暂停/连续计数、译码显示电路、定时时间到报警等功能。

a. 用信号发生器及 74LS160 设计一个 1HZ 的秒脉冲发生器。注意调试时信号发生器可用实验箱的**单脉冲按钮模拟产生**。

b. 设计、组装、调试 24 秒递增计数器与译码显示电路。输入 1Hz 的脉冲信号，观察递增计数的过程。

c. 设计、组装能满足系统要求的时序控制电路。

d 完成 24 秒定时电路的整体联调，检查电路是否满足系统的设计要求。

实验三 计算机时序部件设计

一. 实验目的:

1. 了解并熟悉计算机时序部件的基本组成和工作原理。
2. 掌握启停电路、节拍脉冲发生器的工作原理、电路结构及设计方法。
3. 掌握设计较复杂数字逻辑电路的方法。

二. 实验所用器件和仪器设备:

1. TDS—1数字电路实验箱 1台
2. 计算机 1台
3. 芯片 74LS74、74LS08、74LS04、74LS00
4. 或其它自选若干芯片

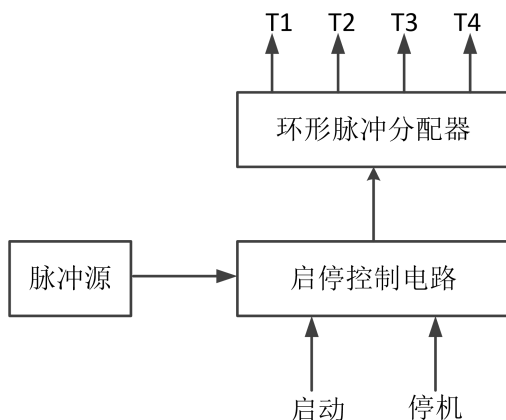
三. 预习要求:

1. 了解并熟悉节拍脉冲发生器的工作原理及电路结构。
2. 熟悉所用相关芯片的功能。
3. 按本实验指导书提供的器件和实验要求设计电路, 自拟实验调试步骤和测试数据表格。

四. 实验原理:

计算机的工作是按照时序分步执行的, 这就需要能产生周期节拍、脉冲等时序信号的部件。这种部件称为时序发生器, 如图所示。

时序发生器包括以下几个部分。



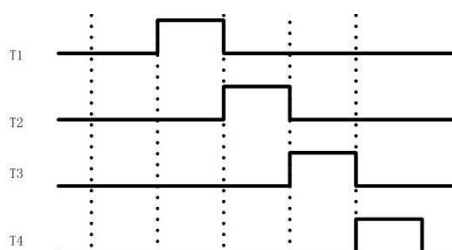
- (1) 脉冲源: 又称为主震荡器, 为计算机提供精准时钟信号。

- (2) 脉冲分配器（又称节拍电位发生器）：对主频脉冲进行分频，产生节拍电位和脉冲信号。时钟脉冲经过脉冲发生器产生时标脉冲、节拍电位及周期状态电位。
- (3) 启停控制电路：用来控制主脉冲的启动和停止。

五. 设计要求：

基本要求：

1. 能够运用数字逻辑的理论和方法，把时序逻辑电路设计和组合逻辑电路设计相结合，设计一个有实际应用的数字逻辑电路。
2. 使用同步时序逻辑电路的设计方法，设计出能产生 4 个时钟节拍信号的时序部件-环形脉冲分配器（节拍电位发生器），其波形如下图。



3. 最终在实验箱上，用中、小规模集成电路或者可编程器件或者两者结合进行连接、调试和测试，设计出产生四个时钟节拍脉冲信号的时序部件，要求观察并画处脉冲源（主时钟发生器）、环形脉冲分配器之间的时序波形并分析是否实现设计要求。

提高要求：

设计出启停控制电路，保证启动时，一定从第一个节拍脉冲 T1 的前沿开始工作，而停机时一定要在第四个脉冲结束后关闭时序发生器，从而保证发送出去的脉冲都是完整的 T1-T4 脉冲，要求观察并画处脉冲源（主时钟发生器）、启停控制电路、环形脉冲分配器之间的时序波形并分析是否实现设计要求。

实验四 数字电子钟的设计与实现

一. 实验目的:

1. 熟悉可编程器件的使用。
2. 掌握用中规模芯片或 HDL 设计复杂数字逻辑电路的方法。

二. 实验所用器件和仪器设备:

- | | |
|--------------|------|
| 1. 数字电路实验箱 | 1台 |
| 2. 计算机 | 1台 |
| 3. 信号发生器 | 1台 |
| 4. 中规模集成电路芯片 | 自选若干 |

三. 预习要求:

1. 熟悉计数器的逻辑功能。
2. 熟悉 EDA 软件的使用方法。
3. 按本实验指导书提供的器件和实验要求设计电路, 自拟实验调试步骤和测试数据表格。

四. 设计要求:

基本要求:

用中、小规模集成电路或者可编程器件或者两者结合设计一台能显示日、时、分秒的数字电子钟, 要求如下:

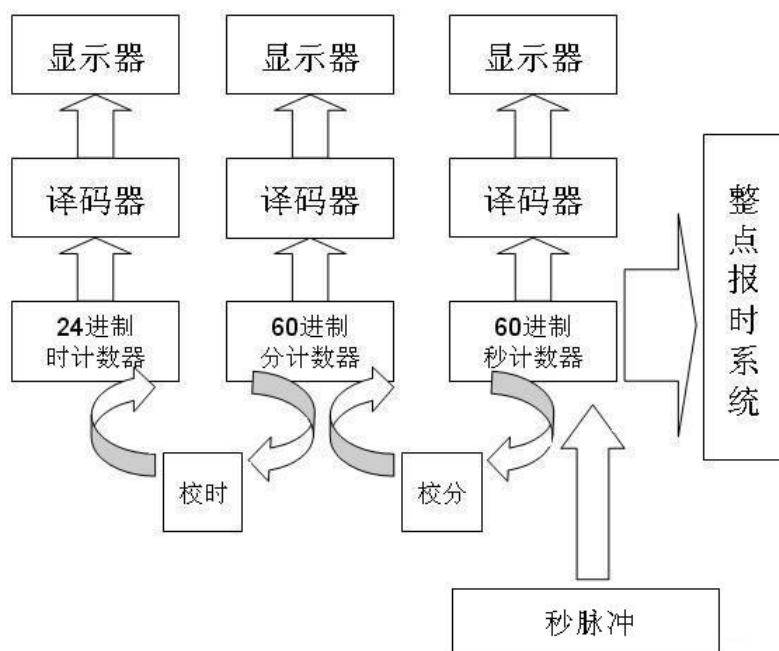
1. 设计产生 1HZ 标准秒信号。
2. 秒、分为 00-59 六十进制计数器。
3. 时为 00-23 二十四进制计数器。
4. 利用实验箱提供的六个数码管显示时、分、秒。
5. 能使数字电子钟清零(复位)。
6. 能启动或者停止数字钟的运行。

提高要求:

1. 可手动校正: 能分别进行秒、分、时的校正。只要将开关置于手动位置。可分别对秒、分、时进行调整。
2. 整点报时。整点报时电路要求在每个整点前鸣叫五次低音(500HZ), 整点时再鸣叫一次高音(1000HZ)。
3. 自拟的其他功能(如闹钟功能)。

五. 设计思路提示:

- 1、分析要求、画出原理框图



2、功能电路具体细化设计

实验五 简单电子琴

一. 实验目的:

1. 熟悉可编程器件的使用
2. 学会用硬件描述语言来设计数字逻辑电路。

二. 预习要求:

- 1、复习数字电路有关知识,
- 2、了解电子琴的工作原理及音调的初步知识。
- 3、熟悉相关 EDA 软件的使用方法。

三. 实验所用器件和仪器设备:

- | | |
|-----------|-----|
| 1、数字电路实验箱 | 1台 |
| 2、计算机 | 1 台 |

四. 实验要求:

1、使用TDS实验台上的8个电平开关作琴键，电平开关输出为高电平时相当于琴键按下，电平开关输出为低电平时相当于琴键松开。模拟电子琴共有C调的8个音：1、2、3、4、5、6、7、i

2、TDS实验台上的喇叭区的开关J1置为开路，从“输入”插孔向驱动喇叭的三极管基极送控制信号（某一频率方波），则控制喇叭按希望的频率发声。C调的音符与频率的关系如下：

音 符	1	2	3	4	5	6	7	i
频率（HZ）	262	294	330	349	392	440	494	523

3、设计一个多模计数器，对实验台上的100KHZ时钟进行分频，产生上述8种希望的频率，驱动喇叭的方波占空比应是50%，以增大音量。

五. 实验内容:

1. EDA软件中，将设计好的程序输入、调试、编译、连接生成相应格

式的文件。

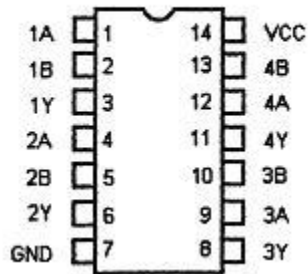
2. 将生成的格式文件下载到可编程芯片中。

3. 将设计好的芯片根据程序中引脚定义（或自动分配的引脚）连线，目标芯片的引脚20 (CLK) 接实验台100KHZ, 引脚38 (mu) 接喇叭“输入”端，八个输入引脚分别接八个电平开关（代表音符1、2、3、4、5、6、7、i）。当电平开关只有一个为高电平时，喇叭会发出相应的声音。并用示波器测量此时的频率及波形。

常用芯片管脚图

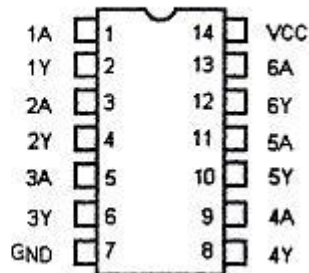
1. 四 2 输入正与非门 74LS00

$$Y = \overline{AB}$$



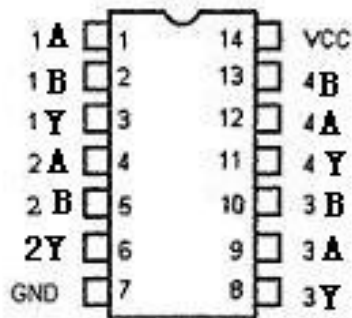
六反相器 74LS04

$$Y = \overline{A}$$



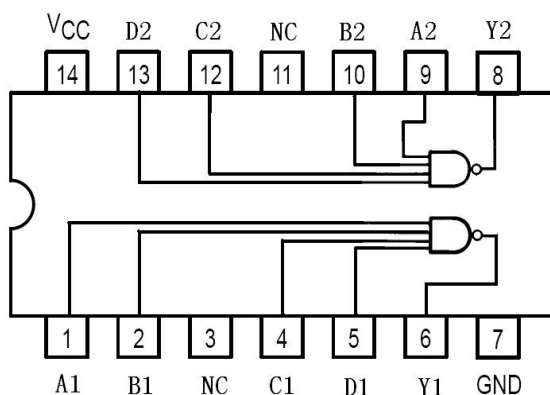
四 2输入与门 74LS08

$$Y = A \cdot B$$



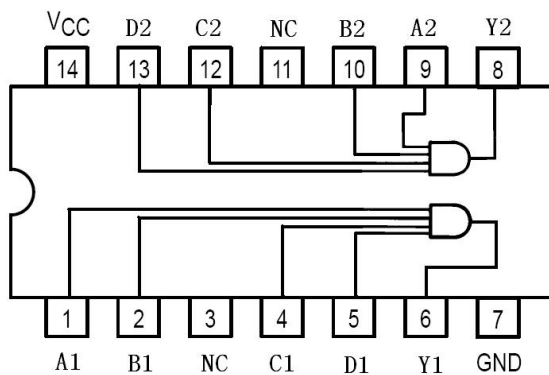
74LS20 双 4 输入与非门

$$Y = \overline{ABCD}$$



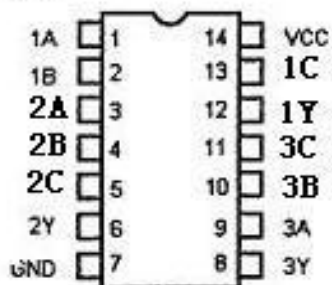
74LS21 双 4 输入与门

$$Y = ABCD$$



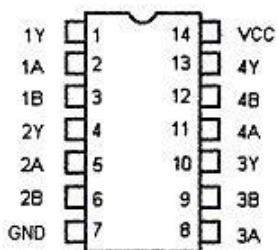
三 3 输入或非门 74LS27

$$Y = \overline{A+B+C}$$



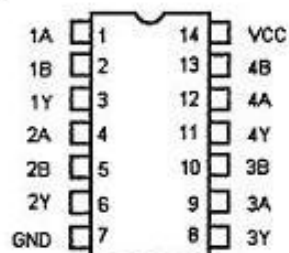
四 2 输入正或非门 74LS28

$$Y = \overline{A + B}$$



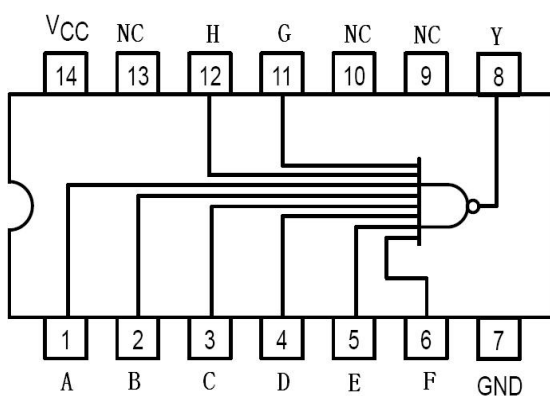
四 2 输入或门 74LS32

$$Y = A + B$$



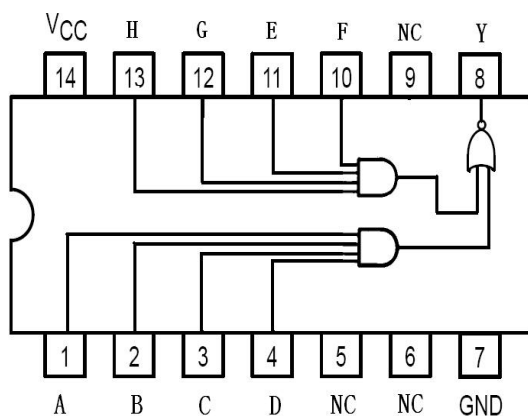
74LS30 8 输入与非门

$$Y = \overline{ABCDEFGH}$$



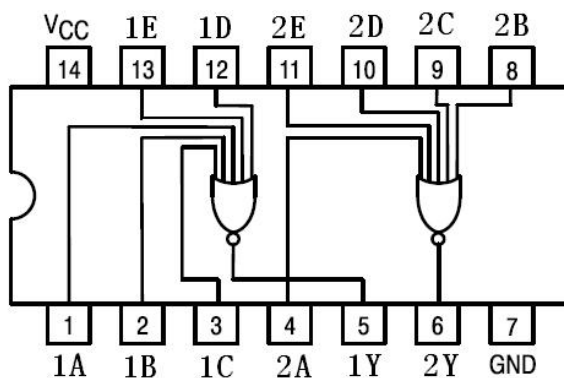
74LS55 2 路 4-4 输入与或非

$$Y = \overline{ABCD + EFGH}$$



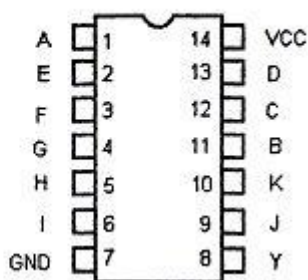
74LS260 双 5 输入或非门

$$Y = \overline{A+B+C+D+E}$$



4-2-3-2 与或非门 74S64

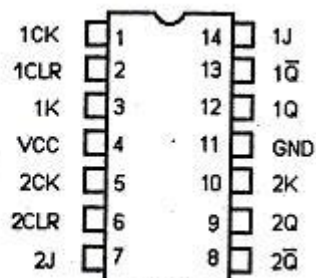
$$Y = \overline{ABCD + EF + GHI + JK}$$



双 JK 触发器(带清除端) 74LS73

真 值 表

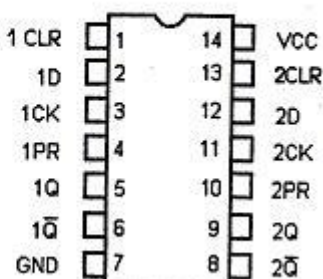
输 入				输 出	
清除	时钟	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	↓	L	L	Q_0	\bar{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	反转	反转
H	H	X	X	Q_0	\bar{Q}_0



双 D 型正边沿触发器（带预置和清除端）74LS74

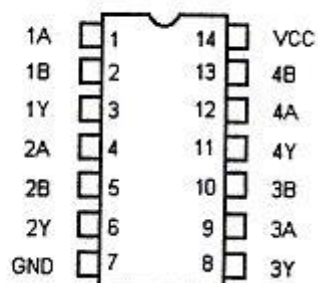
真 值 表

输 入				输出	
预置	清除	时钟	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	\uparrow	H	H	L
H	H	\uparrow	L	L	H
H	H	L	X	Q_0	\bar{Q}_0



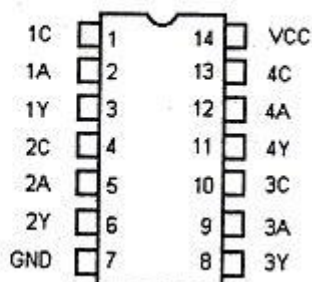
四 2 输入异或门 74LS86

$$Y = A \oplus B = A\bar{B} + \bar{A}B$$

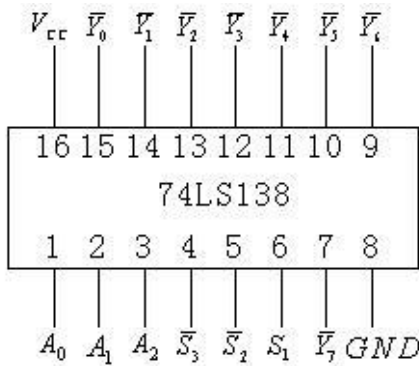


三态输出的四总线缓冲门 74LS125

正逻辑
 $Y = A$
 C为高时输出截止



3-8 译码器 74LS138

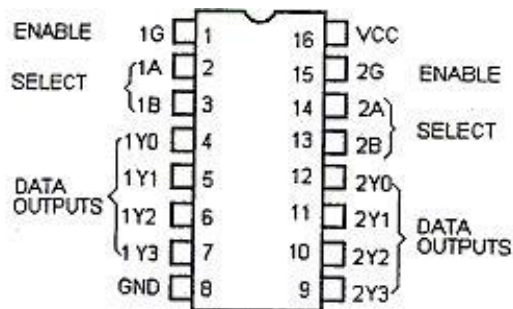


输 入				输 出								
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

双 2—4 译码器/分配器 74LS139

真值表

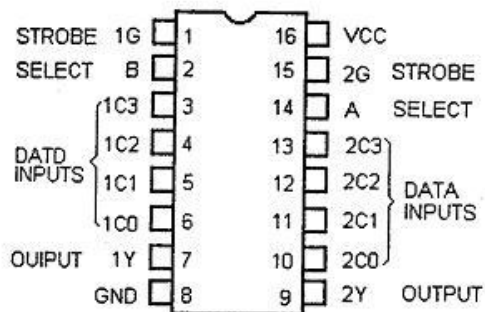
输入端		输出端					
允许	选择						
G	B A	Y0	Y1	Y2	Y3		
H	X X	H	H	H	H		
L	L L	L	H	H	H		
L	L H	H	L	H	H		
L	H L	H	H	L	H		
L	H H	H	H	H	L		



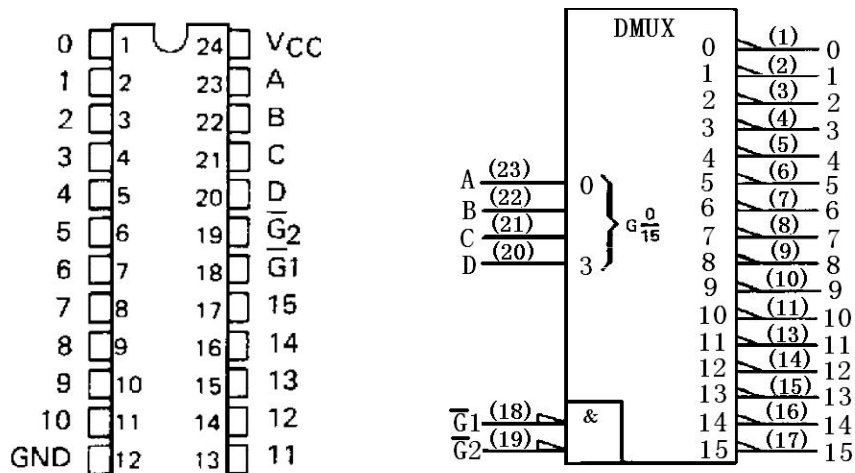
双 4—1 线数据选择器/多路开关 74LS153

真 值 表

选择输入		数据输入				选通	输出
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H



74LS154 4-16 线译码器



引脚图

功能表

Inputs						Low Output*
$\overline{G1}$	$\overline{G2}$	D	C	B	A	
L	L	L	L	L	L	0
L	L	L	L	L	H	1
L	L	L	L	H	L	2
L	L	L	L	H	H	3
L	L	L	H	L	L	4
L	L	L	H	L	H	5
L	L	L	H	H	L	6
L	L	L	H	H	H	7
L	L	H	L	L	L	8
L	L	H	L	L	H	9
L	L	H	L	H	L	10
L	L	H	L	H	H	11
L	L	H	H	L	L	12
L	L	H	H	L	H	13
L	L	H	H	H	L	14
L	L	H	H	H	H	15
L	H	X	X	X	X	—
H	L	X	X	X	X	—
H	H	X	X	X	X	—

说明：H—高电平

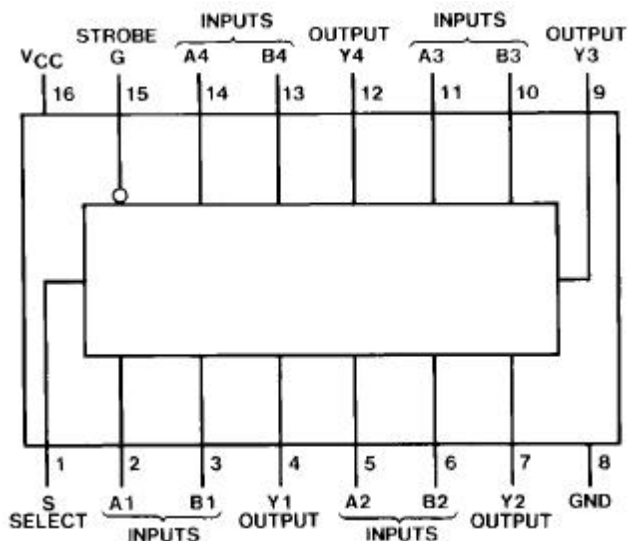
L—低电平

X—任意

—其他输出端为高电平

74LS157 4 组 2 选 1 数据选择器

74LS157 为四组 2 选 1 数据选择器，数据选择端（S）为四组共用，供四组从各自的 2 个数据（A1、B1、A2、B2、A3、B3、A4、B4）中分别选取 1 个所需数据，只有在四组共用的选通端 G 为低电平时才可选择数据。

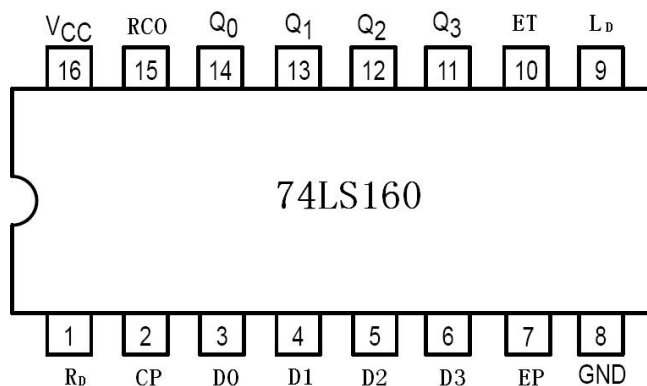


引出端符号：

S	选择输入端
A1~A4、B1~B4	数据输入端
G	选通输入端（低电平有效）
Y1~Y4	数据输出端

输入				输出
G	S	A	B	Y
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

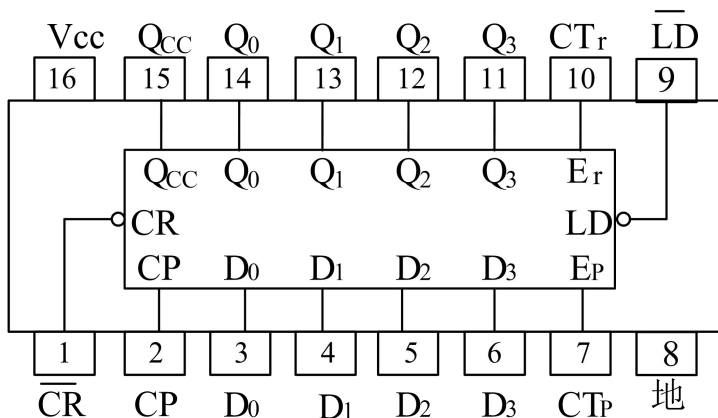
74LS160 十进制同步加法计数器（十进制、异步清零）



真值表

清零	预置	使能		时钟	预置数据输入				输出				工作模式
R_0	L_0	EP	ET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d_3	d_2	d_1	d_0	q_3	q_2	q_1	q_0	同步置数
1	1	0	×	×	×	×	×	×	保持				数据保持
1	1	×	0	×	×	×	×	×	保持				数据保持
1	1	1	1	↑	×	×	×	×	十进制计数				加法计数

74LS161 为二进制同步计数器，具有同步预置数、异步清零以及保持等功能。



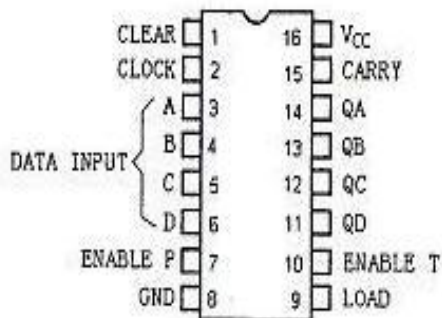
74LS161 的功能表

输 入									输 出			
\overline{CR}	\overline{LD}	CTr	CTp	CP	D ₀	D ₁	D ₂	D ₃	Q ₀	Q ₁	Q ₂	Q ₃
0	x	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	↑	d0	d1	d2	d3	d0	d1	d2	d3
1	1	1	1	↑	x	x	x	x	计 数			
1	1	0	x	x	x	x	x	x	保 持			
1	1	x	0	x	x	x	x	x	保 持			

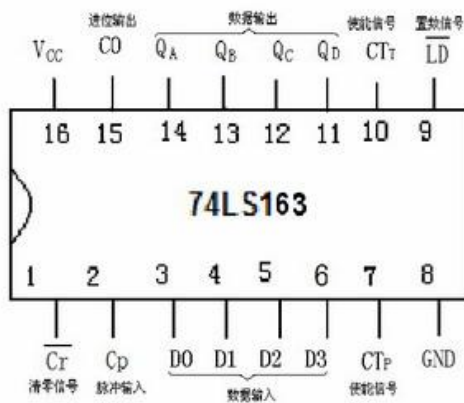
注: $Q_{CC} = CTr \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3$

同步十进制计数器 74LS162

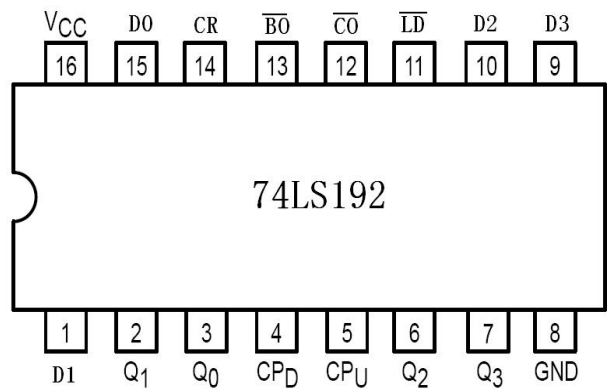
1. 74LS162是同步BCD计数器。
2. CLOCK是计数时钟, 上升沿计数。
3. CLEAR为同步清除, 低有效。
4. LOAD为同步预置, 低有效。
5. D、C、B、A是数据预置端, D是高位。
6. QD、QC、QB、QA是计数输出, QD是高位。
7. CARRY是进位位, 高有效, 脉宽与QA脉宽相等。
8. ENABLE T和ENABLE P为高时, 允许计数, ENABLE T为低时, 禁止CARRY输出。



74ls163 可预置四位二进制计数器(并清除异步)



74LS192 同步可逆双时钟 BCD 计数器

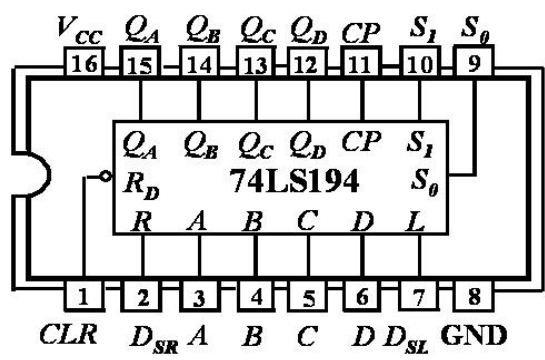


74LS192功能表

CPU: 加计数脉冲
CPD: 减计数脉冲
 \overline{LD} : 置数
 \overline{CO} : 进位
 \overline{BO} : 借位
CR: 清零
D3~D0: 并行输入端
Q3~Q0: 输出端

CP _U	CP _D	\overline{LD}	CR	操 作
X	X	0	0	置 数
↑	1	1	0	加计数
1	↑	1	0	减计数
X	X	X	1	清 零

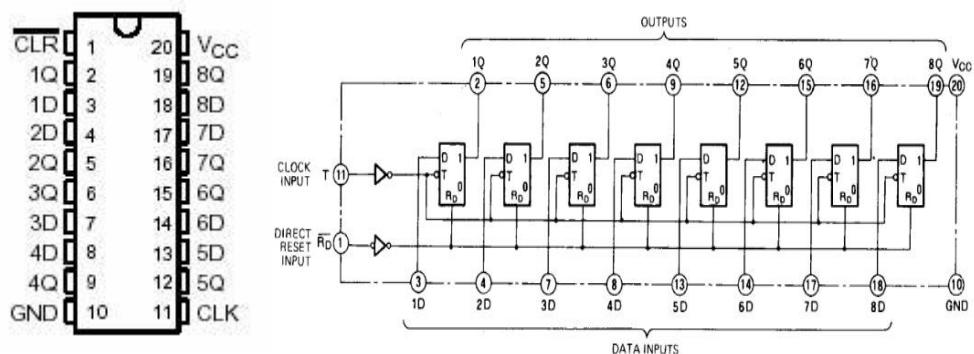
74LS194 四位双向通用移位寄存器



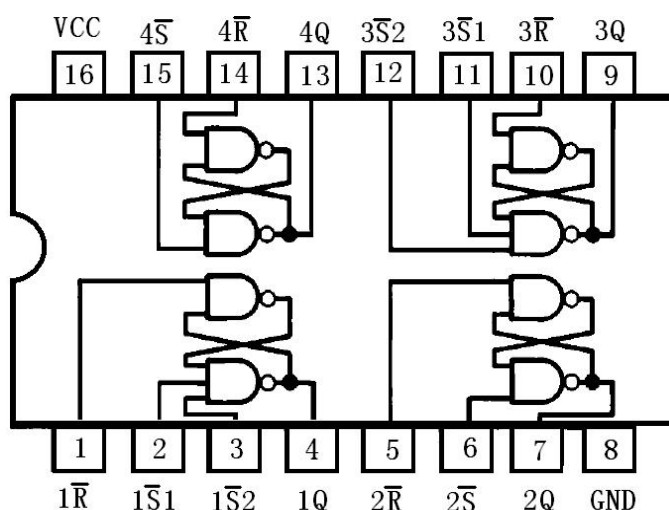
输 入										输 出	注
CLR	S1	S0	RIN	LIN	CLK	A	B	C	D	Q _A Q _B Q _C Q _D	
0	x	x	x	x	x	x	x	x	x	0 0 0 0	清零
1	x	x	x	x	0	x	x	x	x	Q _A Q _B Q _C Q _D	保持
1	1	1	x	x		a	b	c	d	a b c d	并行输入
1	0	1	1	x		x	x	x	x	1 Q _A Q _B Q _C	右移输入1
1	0	1	0	x		x	x	x	x	0 Q _A Q _B Q _C	右移输入0
1	1	0	x	1		x	x	x	x	Q _B Q _C Q _D 1	左移输入1
1	1	0	x	0		x	x	x	x	Q _B Q _C Q _D 0	左移输入0
1	0	0	x	x	x	x	x	x	x	Q _A Q _B Q _C Q _D	保持

功能真值表

74LS273 8 位数据/地址锁存器，是一种带复位清除功能的 8D 触发器



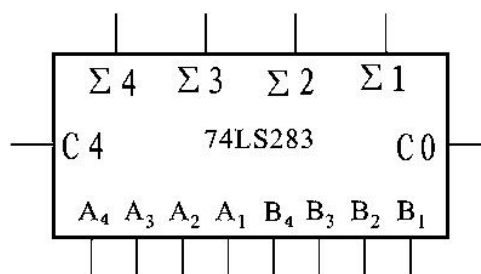
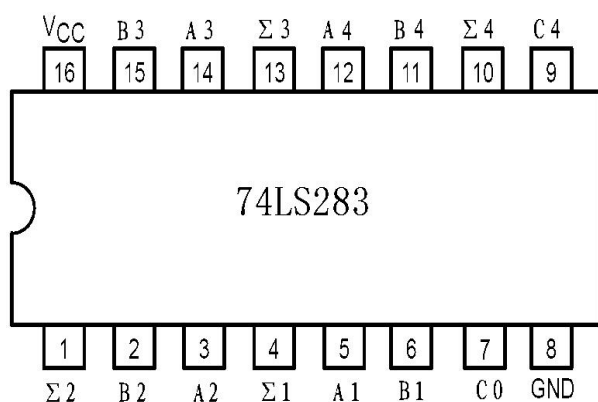
74LS279 4R-S 锁存器



功能真值表

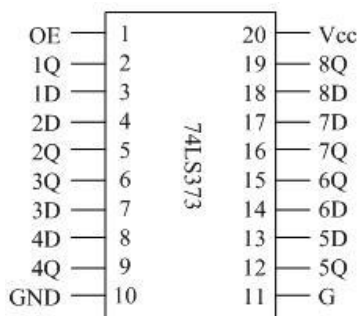
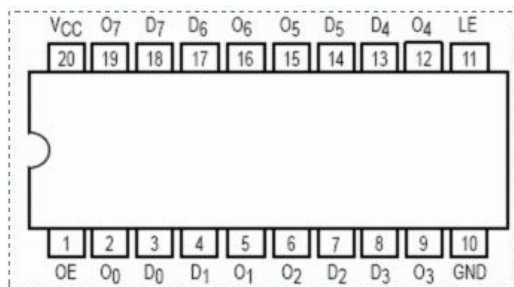
输入		输出
$\bar{S}(1)$	\bar{R}	Q
L	L	H*
L	H	H
H	L	L
H	H	Q_0

74LS283 4 位二进制全加器



它能实现四位二进制数的全加。A₄、A₃、A₂、A₁ 表示加数，B₄、B₃、B₂、B₁ 表示被加数。 $\Sigma 4$ 、 $\Sigma 3$ 、 $\Sigma 2$ 、 $\Sigma 1$ 分别表示每位的加数和。C₀ 是低位的进位数，C₄ 是向高位的进位。若进行四位二进制数的全加，只需一块这样的芯片，用起来很方便。

74LS373 三态输出的八 D 锁存器



TRUTH TABLE
LS373

D_n	LE	OE	O_n
H	H	L	H
L	H	L	L
X	L	L	Q_0
X	X	H	Z*

H = HIGH Voltage Level

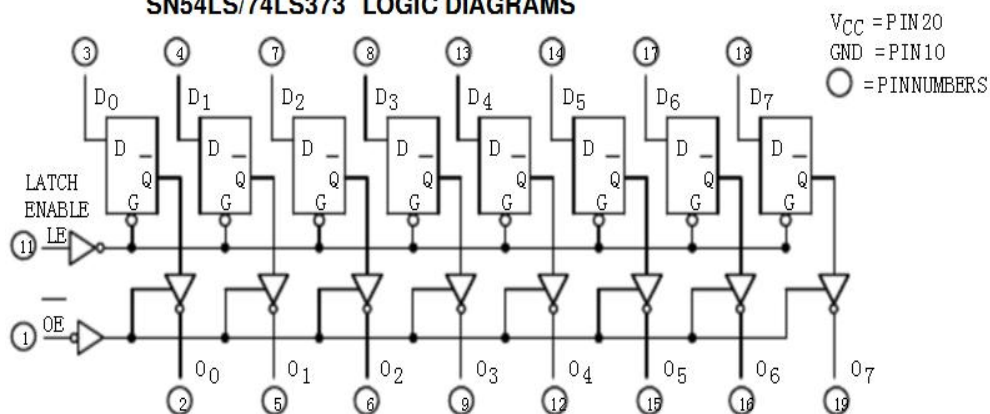
L = LOW Voltage Level

X = Immaterial

Z = High Impedance

* Note: Contents of flip-flops unaffected by the state of the Output Enable input (\overline{OE}).

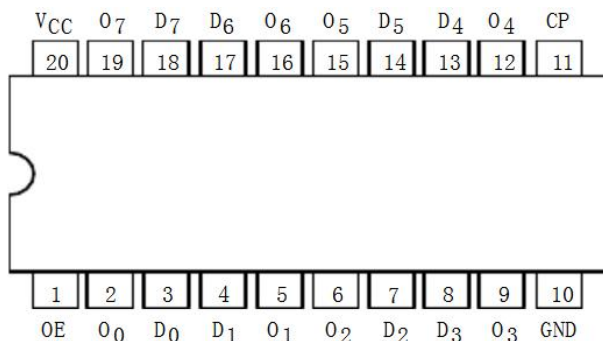
SN54LS/74LS373 LOGIC DIAGRAMS



输出端 $Q_0 \sim Q_7$ 可直接与总线相连。当锁存允许端 LE 为高电平时，Q 随数据 D 而变。当 LE 为低电平时，D 被锁存在已建立的数据电平。

当三态允许控制端 OE 为低电平时， $Q_0 \sim Q_7$ 为正常逻辑状态，可用来驱动负载或总线。当 OE 为高电平时， $Q_0 \sim Q_7$ 呈高阻态，即不驱动总线，也不为总线的负载，但锁存器内部的逻辑操作不受影响。

74LS374 具有三态输出的八 D 上升边沿触发器



TRUTH TABLE

LS374

D_n	LE	OE	O_n
H		L	H
L		L	L
X	X	H	Z*

H = HIGH Voltage Level

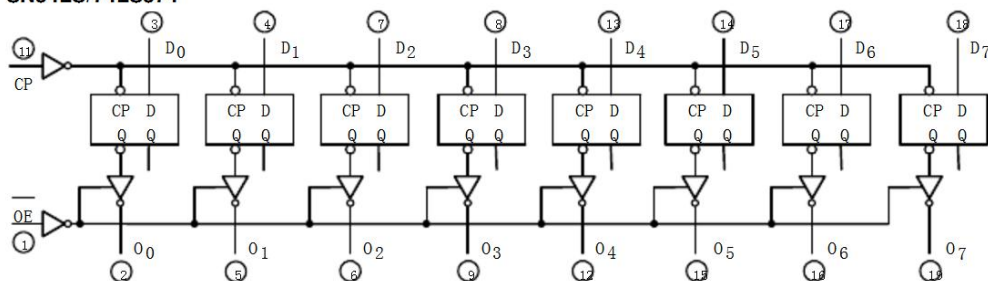
L = LOW Voltage Level

X = Immaterial

Z = High Impedance

* Note: Contents of flip-flops unaffected by the state of the Output Enable input (\overline{OE}).

SN54LS/74LS374



输出端 $O_0 \sim O_7$ 可直接与总线相连。当三态允许控制端 OE 为低电平时， $O_0 \sim O_7$ 为正常逻辑状态，可用来驱动负载或总线。当 OE 为高电平时， $O_0 \sim O_7$ 呈高阻态，即不驱动总线，也不为总线的负载，但锁存器内部的逻辑操作不受影响。当时钟端 CP 脉冲上升沿的作用下， O 随数据 D 而变。

引出端符号：

$D_0 \sim D_7$ 数据输入端

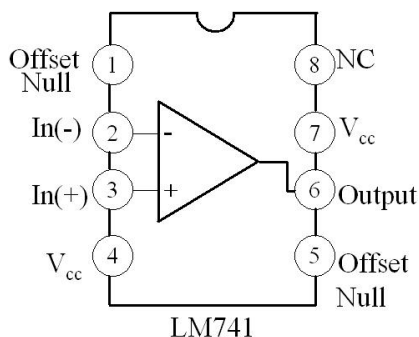
OE 三态允许控制端（低电平有效）

CP 时钟输入端

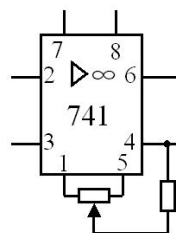
$O_0 \sim O_7$ 输出端

LM741 运算放大器

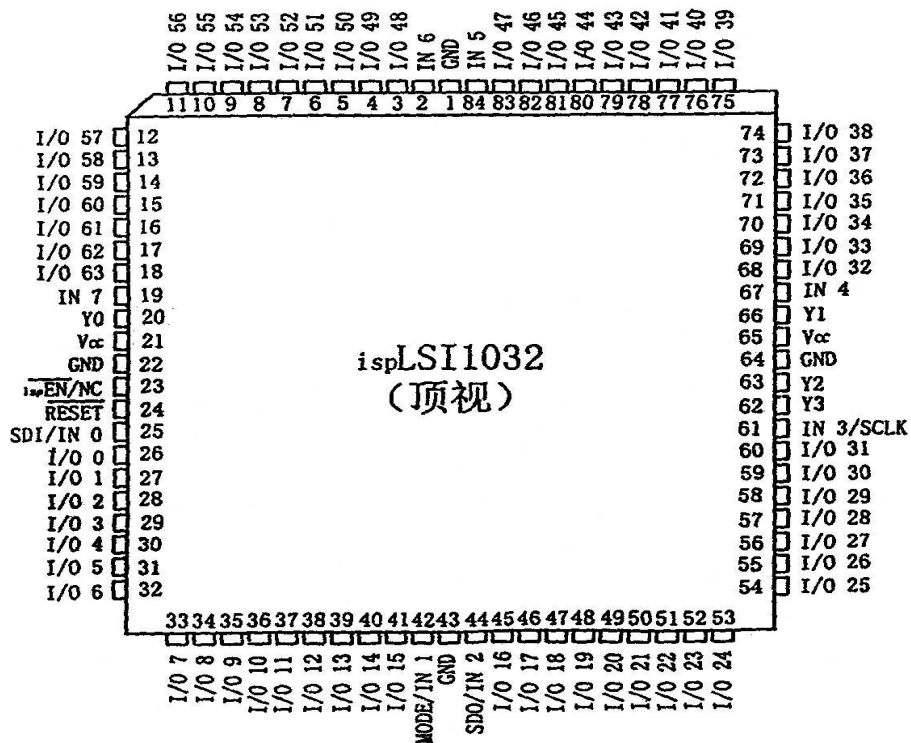
管脚说明及一般应用接线



- 2—反相输入端
- 3—同相输入端
- 6—输出端
- 4—正电源端
- 7—负电源端
- 1、5—接调零电位器
- 8—闲置端 (NC)



ispLSI1032



附录一 信号发生器

1. 概述

在实验中我们采用的是 DF1026 型信号发生器，它是一种便携式 RC 振荡器，除了输出低失真正弦波，还能选择方波输出。

2. 工作原理

仪器由文氏桥振荡电路、方波整形电路、输出电路、压电源组成，见方框图(图 2-1)。

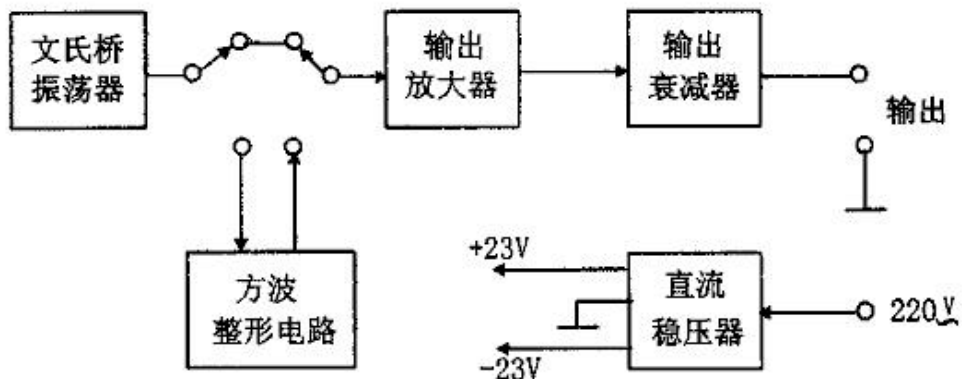


图 2-1

2.1 文氏桥振荡电路

文氏桥振荡电路由高输入阻抗、高增益宽带放大器和 RC 调谐网络组成。

RC 网络作为正反馈支路，以改变 R 阻值来转变振荡器频段再配合双联可变电容，使每个频段的频率有 10 倍连续变化，从而达到 10Hz~1MHz 的整个频率范围。

振荡器负反馈支路采用非线性热敏电阻来稳定振荡幅度。

2.2 方波整形电路

方波整形电路由射极耦合施密特触发器和缓冲电路组成，将文氏振荡器产生的正弦波整形成良好升降特性的方波。

2.3 输出电路

输出电路是一个互补推挽 OCL 电路，输出阻抗低，用以配合低阻抗衰减器。

2.4 输出衰减器

它是一个以 10dB 步进衰减的 6 位衰减器，提供 0dB~-50dB 的衰减量，其输出

阻抗为 600Ω 。

2.5 稳压电源

它是一组 $\pm 23\text{VDC}$ 稳压器，由稳压管提供基准电压。

3. 使用方法

3.1 前后面板功能

前后面板布局参见图 2-2。

3.1.1 前面板：

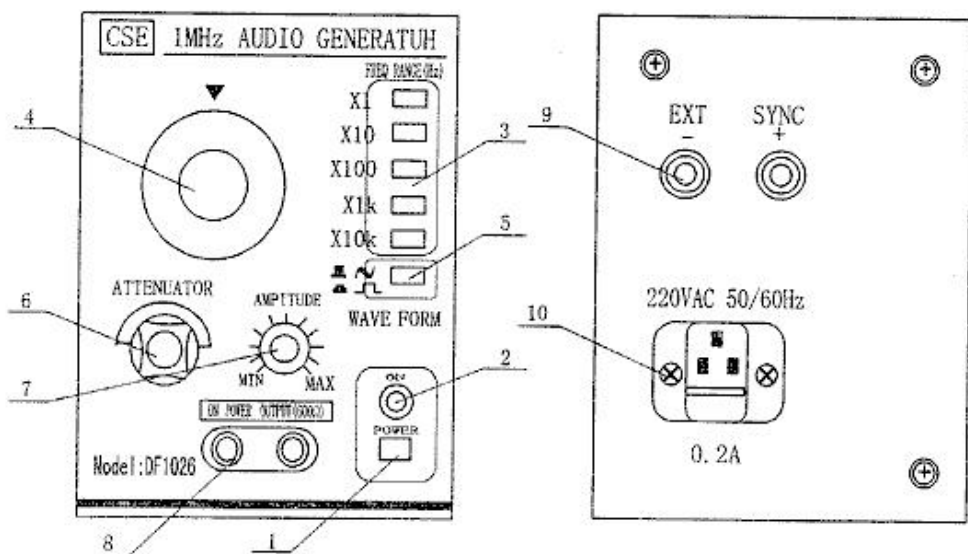


图 2-2

(1)POWER 电源开关。

(2)电源接通 ON 指示灯。

(3)取 FREQ RANGE(Hz)频率倍乘选择开关。从 X1~X10k 共分 5 档

(4)频率度盘在其上方，面板上印有倒三角形度盘指针，将该指针对应的度盘读数(10~100)与所选频率倍乘档相乘，即为仪器振荡频率。

(5)WAVE FORM 输出波形选择开关。该按键开关释放位置“~”输出正弦波，按下位置“ ”为方波。

(6)ATTENUATOR 输出衰减器。从-50~0dB 共分 6 档，以 10dB 步进。

(7)AMPLITUDE 输出幅度调节器。可连续改变输出幅度。

(8)OUTPUT(600Ω) 600Ω 输出端。其黑色端子为仪器公共端。

3.1.2 后面板

(9)EXT SYNC 外同步信号输入端。黑色插孔为公共端。

(10)FUSE 保险丝座及电源插座，内装 0.2A 保险丝(20mm)。

3.2 使用说明

3.2.1 通电:

将电源引线插头插入 AC220V 电源插座中,按下电源开关(1),电源指示 LED(2)发光表示仪器电源接通,预热 10 分钟,使仪器工作稳定。

3.2.2 频率选择

先将频率量程开关(3)置于所需的频率倍乘档,而后调节频率度盘(4),使所需频率值对准度盘上方的度盘指针。

例如,所需频率为 2.5kHz,设置过程如下:

- a.将频率量程开关(3),按到 X100 档,
 - b.调节频率度盘,使度盘刻度“25”对准频率指针,
- 则仪器工作频率为 $25 \times 100 = 2500\text{Hz} = 2.5\text{kHz}$ 。

3.2.3 波形选择

如需信号为正弦波。波形选择开关(4)应处于释放位置“~”;如需方波信号应按下方波形选择开关(4)到“ ”位置。

3.2.4 调节输出电压

600 Ω 输出端(8)的输出信号(正弦波或方波)电压,能通过输出幅度调节电位器(7)连续调节并由输出衰减器(6)步级衰减。

例如,将输出电压调到 10mVrms,步骤如下:

- a.在输出端(8)接一个至少能测 1Vrms 的 AC 电压表。
- b.将衰减器(6)置于“0dB”档,调节输出幅度(7)AC 电压表指示 1Vrms。
- c.将衰减器(6)转到“-40dB”档,则输出端(8)的信号电压为 10Vrms。

3.2.5 外同步用法:

在后面板外同步输入端(9)接入一正弦波外同步信号,能使本仪器振荡频率与外同步信号频率同步,频率同步范围与外同步信号电压成正比,约为 $\pm 1\%/V$ 。

例如,外同步端输入一个频率为 1kHz,幅度为 1Vrms 的外同步信号,它能控制的同步频率范围为 $1\text{kHz} \pm 1\text{kHz} \times 1\%/V \times 1V = 1\text{kHz} \pm 0.01\text{kHz} = 990\text{Hz} \sim 1010\text{Hz}$ 。也就是说,本信号源在未加外同步信号时,如果工作在 990Hz~1010Hz 的振荡频率上,那么,外同步输入端引入一个 1kHz、1Vrms 信号后。本信号源就被锁定在外同步信号的频率 1kHz 上,即信号源振荡频率为 1kHz。

应当注意的是,同步信号幅度大,同步频率范围也大,但过大的同步电压会影响信号源的输出幅度和失真度。当同步信号大于 3Vrms 时,要考虑到以上影响的副作用,另外,外同步信号电压不得大于 10Vrms,如果外同步信号带有直流分量,应通过隔直电容再接到外同步输入。

2.2 控制件的作用

表 2—1 列出了本示波器所有的控制件的名称和功能简介，如何使用，将在后面的有关章节中详细说明。

表 2—1

序号	控制件名称	功 能
1	亮度调节 (INTENSITY)	轨迹亮度调节。
2	聚焦调节 (FOCUS)	调节光点的清晰度，使其既圆又小。
3	轨迹调节 (TRACE ROTATION)	调节轨迹与水平刻度线平行。
4	电源指示灯 (POWER INDICATOR)	电源接通时该指示灯亮。
5	电源开关 (POYER)	按下时电源接通，弹出时关闭。
6	校准信号 (PROBE ADJUST)	提供幅度为 0.5V，频率为 1kHz 的方波信号，用于调整探头的补偿和检测垂直和水平电路的基本功能。
7、8	垂直移位 (VERTICAL POSITION)	调整轨迹在屏幕中垂直位置。
9	垂直工作方式选择 (VERTICAL MODE)	垂直通道的工作方式有以下选择： CH1 或 CH2：通道 1 或通道 2 单独显示。 ALT：两个通道交替显示。 CHOP：两个通道断续显示，用于在扫描速度较低时的双踪显示。 ADD：用于显示两个通道的代数和 (叠加显示)。
10	X-Y 方式选择	水平方式在 “TIME” 时，X 轴为扫描工作状态。 按下 “X-Y” 时 X 轴从 CH1 输入信号，此方式可观察李沙育图形。
11、12	灵敏度调节 (VOLTS / DIV)	CH1 和 CH2 通道灵敏度调节。
13、14	灵敏度微调 (VARIABLE)	用于连续微调 CH1 和 CH2 的灵敏度。
15、16	输入耦合方式 (AC-GND-DC)	DC 时输入信号直接耦合到 CH1 或 CH2 通道； AC 时输入信号交流耦合到 CH1 或 CH2 通道； GND 时通道输入端接地。
17、18	CH1 OR X； CH2 OR Y	被测信号的输入端口。
9	水平移位 (HORIZONTAL POSITION)	用于调节轨迹在屏幕中的水平位置。
20	触发电子调节 (LEVEL)	用于调节被测信号在某一电平触发扫描。

21	触发极性(SLOPE)	用于选择信号上升或下降沿触发扫描。
22	扫描方式选择(SWEEP MODE)	扫描方式选择： 自动(AUTO)：信号频率在 20Hz 以上时常用的一种工作方式。 常态，(NORM)：无触发信号时，屏幕中无轨迹显示，在被测信号频率较低时选用。

序号	控制件名称	功 能
23	内触发源选择 (INT TRIGGER SOURCE)	选择 CH1 或 CH2 的信号作为扫描触发源。
24	扫描速度选择(SEC / DIV)	用于选择扫描速度。
25	微调、扩展调节 (VARIABLE PULLX10)	用于连续调节扫描速度，在旋钮拉出时，扫描速度被扩大 10 倍。
26	触发源选择(TRIGGER SOURCE)	用于选择产生触发的内、外源信号。
27	接地(⏏)	安全接地，可用于信号的连接。
28	外触发输入(EXT INPUT)	在选择外触发方式时触发信号插座。
29	CH1 通道频率跟踪(CH1 OUTPUT)	CH1 通道频率跟踪输出插座。
30	电源插座	电源输入插座。
31	电源设置	110V 或 220V 电源设置。
32	保险丝座	电源保险丝座

2.3 操作方法

2.3.1 电源电压的设置

本示波器具有二种电源电压设置，在接通电源前，应根据当地标准参见仪器后盖提示将开关置合适档位，并选择合适的保险丝装入保险丝盒。

2.3.2 面板一般功能的检查

(2) 将有关控制件位置表 2—2 位置。

表 2—2

控制件名称	作用位置	控制件名称	作用位置
亮度调节 (INTENSITY)	居中	输入耦合方式	DC
聚焦调节 (FOCUS)	居中	扫描方式选择	自动
移位 (三只)	居中	触发极性 (SLOPE)	+
垂直工作方式选择	CH1	SEC / DIV	0.5ms
灵敏度调节	0.1V (X)	触发源选择	内
微调 (VARIABLE)	顺时针旋足	内触发源选择	CH1

(2)接通电源，电源指示灯亮、稍等预热，屏幕中出现光迹，分别调节亮度和聚焦旋钮，使光迹的亮度适中、清晰。

(3)通过连接电缆将本机校准信号输入至 CH1 通道。

(4)调节电平旋钮使波形稳定，分别调节垂直移位和水平移位，使波形与图 3-2 吻合。

(5)将连接电缆换至 CH2 通道插座，垂直方式置“CH2”，重复(4)操作。

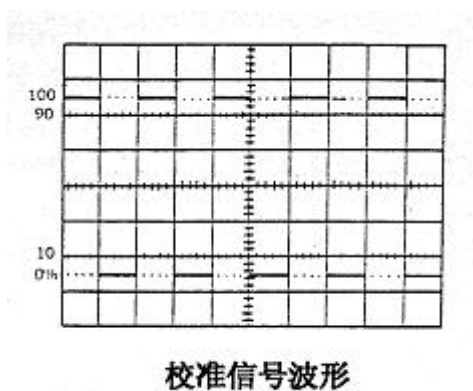


图 3-2

2.3.3 亮度控制

调节辉度电位器，使屏幕显示的轨迹、亮度适中，一般观察不宜太亮，以避免荧光屏过早老化。高亮度的显示用于观察一些低重复频率信号的快速显示。

2.3.4 垂直系统的操作

(1)垂直方式的选择

当只需观察一路信号时，将“MODE”开关接入“CH1”或“CH2”，此时被选中的通道有效，被测信号可从通道端口输入；当需要同时观察两路信号时，将

“MODE”开关置交替“ALT”，该方式使两个通道的信号被得到交替的显示，交替显示的频率受扫描周期控制。当扫速在低速档时，交替方式的显示将会出现闪烁，此时应将开关置连续“CHOP”位置；当需要观察两路信号的代数和时，将“MODE”开关置“ADD”位置，在选择该方式时，两个通道的衰减设置必须一致。

(2)输入耦合选择

直流(DC)耦合：适用于观察包含直流成份的被测信号，如信号的逻辑电平和静态信号的直流电子，当被测信号的频率很低时，也必须采用该方式。

交流(AC)耦合：信号中的直流成份被隔断，用于观察信号的交流成份，如观察较高直流电子中的小信号。

接地(GND)：通道输入端接地(输入信号断开)用于确定输入为零时光迹所在位置。

2.3.5 水平系统的操作

扫描速度的设定：扫速范围从 $0.5 \mu s / div$ 到 $0.5s / div$ 按 1-2-5 进位分 18 档步进，微调“VARIABLE”提供至少 2.5 倍的连续调节，根据被测信号频率的高低，选择合适的档级，在微调顺时针旋足至校正位置时，可根据度盘的指示值和波形在水平轴方向上的距离读出被测信号的时间参数，当需要观察波形的某一个细节时，可拉出扩展旋钮，此时原波形在水平方向被扩展 10 倍。

2.3.6 触发控制

(1)扫描方式的选择(SWEEP MODE)

自动(AUTO)：当无触发信号输入时，屏幕上显示扫描光迹，一旦有触发信号输入。电路自动转换为触发扫描状态。调节电平可使波形稳定地显示在屏幕上，此方式是观察频率在 50Hz 以上信号的最常用的一种方式。

常态(NORM)：无信号输入时，屏幕上无光迹显示，有信号输入时，触发电平调节在合适位置上，电路被触发扫描，当被测信号频率低于 50Hz 时，必须选择该方式。

(2)触发源的选择(TRIGGER SOURCE)

触发源有四种方式选择：

当垂直方式工作于“交替”或“断续”时，触发源选择某一通道，可用于两通道时间或相位的比较。

在单踪显示时，选择 CH1 其触发信号来自 CH1，选择 CH2 其触发信号来自 CH2。

(3)极性的选择(SLOPE)

用于选择触发信号的上升或下降沿去触发扫描。

(4)电平的设置(LEVEL)

用于调节被测信号在某一合适的电平上起扫扫描。

2.3.7 信号连接

(1)探极操作

本示波器附件中有 2 根衰减比为 10:1 和 1:1 可转换的探极,为了减少对被测

电路的影响，一般使用应将探级衰减比置 10: 1 位置，此时探头的输入阻抗为 $10M\Omega // 16.2pF$ ；衰减比置 1: 1 时，用于观察一些微弱信号，但此时的输入阻抗已被降低为 $1M\Omega$ ，输入电容将达到 27pF，因此在测量时应考虑对被测电路的影响。

为了提高测量精度，探头的接地和被测电路应尽量采取最短的连接。

对于一些较大信号的粗略测量，例如 5V 逻辑电平，可将仪器前面板接地插座与被测电路的地线连接，探头的接地线可以不用，但用这种联接方式测量快速信号将会产生较大的误差。

(2)探极的调整

由于示波器输入特性的差异，在使用探极(10:1)测量以前，应首先对探极补偿进行检查或调整。调整方法见第 4 章。

3.测量

3.1 测量前的检查和调整

为了使仪器获得最高的测量精度，并避免产生某些明显误差，在测量前应对如下项目进行检查或调整。

3.1.1 光迹旋转(TRACE ROTATION)

在正常情况下，被显示波形的水平方向应与屏幕的水平刻度线平行，但由于地磁或其他某原因造成误差，可按下列步骤检查或调整。

(1)预置仪器控制件，使屏幕获得一个扫描基线。

(2)调节垂直移位使扫描基线与水平刻度平行，如不平行，用起子调整前面板“TRACE ROTATION”控制器。

3.1.2 探头补偿

探头的调整用于补偿由于示波器输入特性的差异而产生的误差。调整方法如下：

(1)按第三章表 3-2 设置面板控制件，并获得一扫描基线。

(2)设置“VOLTS / DIV”为“0.1V”(10XPROBE 档)。

(3)将 CH1 的探头插入插座，探头衰减置 10X 档，并与本机校准信号“PROBE ADJUST”联接。

(4)按第三章内容操作有关控制件，使屏幕获得图 3-3 波形。

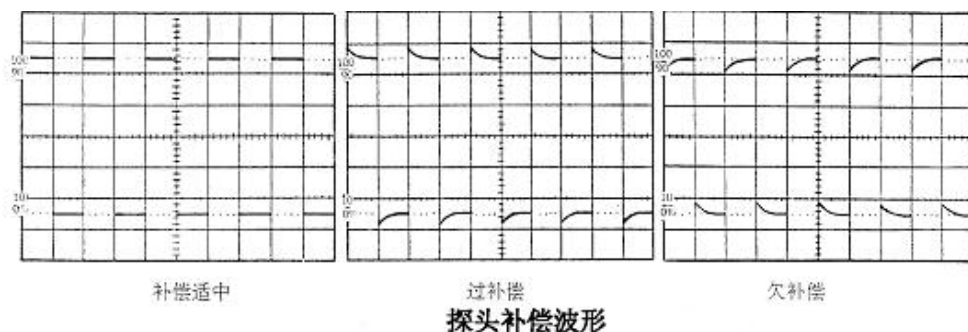


图 3-3

(5)观察波形补偿是否适中，否则，调探头补偿元件。见图 4—2。



图 3-4

3.2 幅值的测量

3.2.1 峰—峰电压的测量

对被测信号波形峰—峰电压的测量，步骤如下：

(1)将信号输入至 CH1 或 CH2 插座，将垂直方式置选用的通道。
 (2)设置电压衰减器并观察波形，使被显示的波形幅度 5 格左右调顺时针旋足(校正位置)。

(3)调整触发电平，使波形稳定。

(4)调整扫速控制器，使屏幕显示至少一个波形周期。

(5)调整垂直移位，使波形的底部在屏幕中某一水平座标上。(见图 3-5 A 点)

(6)调整水平移位，使波形顶部在屏幕中央的垂直座标上。(见图 3-5 B 点)

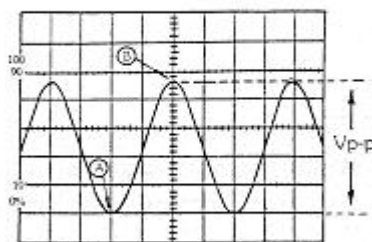
(7)测量垂直方向 A-B 两点的格数。

(8)按下面公式计算被测信号的峰—峰电压值(V_{p-p})。

V_{p-p} =垂直方向的格数 X 垂直偏转因数

例如：在图 3-5 中，测出 A-B 两点的垂直格数为 4.6 格，垂直偏转因数为 5V/DIV，
 则：

$$V_{p-p}=4.6 \times 5=23(V)$$



峰—峰电压的测量

图 3-5

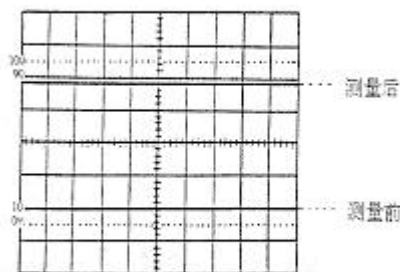
3.2.2 直流电压的测量

直流电压的测量步骤如下：

- (1)设置面板控制器，使屏幕显示一扫描基线。
- (2)设置被选用通道的耦合方式为“GND”(图 3-6)。
- (3)调节垂直移位，使扫描基线在某一水平座标上，定义此时的电压为零。
- (4)将信号馈入被选用的通道插座。
- (5)将输入耦合置“DC”，调整电压衰减器，使扫描基数偏移在屏幕中一个合适的位置上。(微调顺时针旋足)
- (6)测量扫描线在垂直方向偏移基线的距离。(图 3-6)
- (7)按下式计算被测直流电压值：
 $V = \text{垂直方向格数} \times \text{垂直偏移因素} \times \text{偏转方向}(+ \text{或} -)$

例如：在图 3-6 中，测出扫描基线比原基线上移 3.8 格，偏转因数为 $2V / \text{div}$ ，则：

$$V = 3.8 \times 2 (+) = 7.6 (V)$$



直流电压的测量

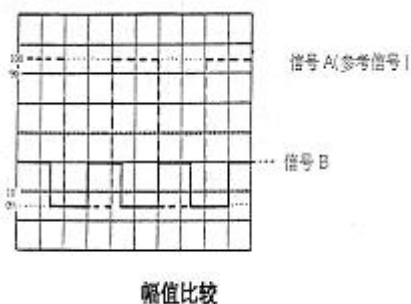
图 3-6

3.2.3 幅值比较(比例)

在某些应用中，需要对两个信号之间幅值的偏差(百分比)进行测量，步骤如下：

- (1)将作为参考的信号馈入 CH1 或 CH2 端口，设置垂直方式为被显示的通道。
- (2)调整电压衰减器和微调控制器使屏幕显示幅度为垂直方向 5 格。
- (3)要保持电压衰减器和微调控制器在原位置上不变的情况下，将从参考信号换接至需比较的信号，调整垂直移位使波形底部在屏幕的 0% 刻度上。
- (4)调整水平移位使波形顶部在屏幕中央的垂直刻度线上，
- (5)根据屏幕左侧的 0% 和 100K 的百分比标注，从屏幕中央的垂直座标上读出百分比。(1 小格等于 4%，针对 5 格计算)，

例如：在图 3-7 中，虚线表示参考波形，幅度为 5 格，实线为被比较的信号波形，垂直幅度为 1.5 格，则该信号的幅值为参考信号的 30%。



3.2.4 代数叠加

当需要测量两个信号的代数和时，可根据下列步骤操作：

- (1) 设置垂直方式为“ALT”或“CHOP”，(根据被测信号的频率)。
- (2) 将两个信号分别馈入 CH1 和 CH2 插座。
- (3) 调整电压衰减器，使两个信号的显示幅度适中，调节垂直移位，使两个信号波形的垂直位置靠近屏幕中央。

- (4) 将垂直方式换置"ADD"，即得到两个信号的代数和显示。

图 3-8 分别列举了两个信号的代数和的显示结果。



图 3-8

3.3 时间测量

3.3.1 时间间隔的测量

对一个波形中两点间时间间隔的测量，可按下列步骤进行：

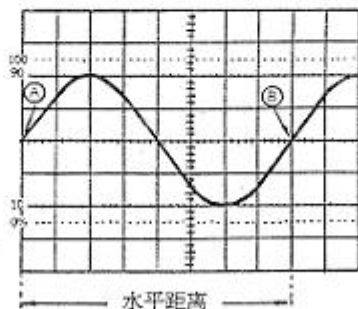
- (1) 将被测信号馈入 CH1 或 CH2 插座，设置垂直方式为选用的通道。
- (2) 调整触发电平使波形稳定显示。
- (3) 将扫速微调顺时针旋足(CAL 位置)，调整扫速选择开关，使屏幕显示 1~2 个信号周期。
- (4) 分别调整垂直移位和水平移位，使波形中需测量的两点位于屏幕中央的水平刻度线上。

(5)测量两点间的水平距离，按下式计算出时间间隔。

$$\text{时间间隔}(S) = \frac{\text{两点间的水平距离(格)} \times \text{扫描时间因数(时间/格)}}{\text{水平扩展因数}}$$

例:在图 4-5 中，测得 AB 两点的水平距离为 8 格，扫描时间因数设置为 2ms/格，水平扩展为×1，则：

$$\text{时间间隔} = \frac{8 \text{ 格} \times 2\text{ms/格}}{1} = 16\text{ms}$$



时间间隔的测量

图 3-9

3.3.2 周期和频率的测量

在图 3-9 的例子中，A、B 两点间的时间间隔的测量是一个特例，测量结果即为该信号的周期(T)，该信号的频率 f 则为 1 / T。例如：在上述例子中，测出该信号的周期为 16ms，则该信号的频率为：

$$f = 1 / T = 1 / 16 \times 10^{-3} = 62.5(\text{Hz})$$

3.3.3 上升(或下降)时间的测量

上升(或下降)时间的测量方法和时间间隔的测量方法一样。不过被选择的测量点规定在波形满幅度的 10%和 90%两处，步骤如下：

- (1)设置垂直方式为 CH1 或 CH2，将信号馈入被选中的通道。
- (2)调整电压衰减和微调。使波形垂直方向显示 5 格。
- (3)调整垂直移位，使波形的顶部和底部分别位于 100%和 0%的刻度线上。
- (4)调整扫速开关，使屏幕显示波形的上升或下降沿。
- (5)调整水平移位，使波形上升沿的 10%处相交于某一垂直刻度线上。
- (6)测量 10%至 90%二点间的水平距离(图 3-10 中 AB 两点)。

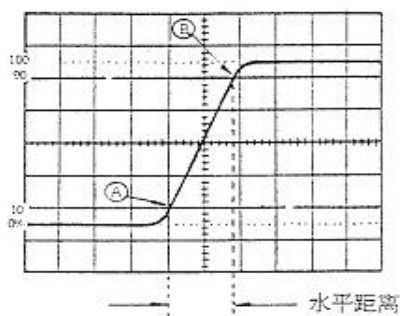
注：对一些速度较快的前沿(或后沿)的时间测量，将扫描扩展旋钮拉出，可使波形中水平方向扩展 10 倍。

- (7)按下列计算出波形的上升时间。

$$\text{上升(或下降)时间:} = \frac{\text{水平距离(格)} \times \text{扫描时间因数(时间 / 格)}}{\text{水平扩展因数}}$$

例：在图 3-10 中，波形上升沿的 10%处(A 点)90%(B 点)的水平距离为 1.8 格，扫速开关置 $0.1 \mu\text{s} / \text{格}$ ，扫描扩展因数为 X10，根据公式计算出：

$$\text{上升时间} = \frac{1.8 \text{ 格} \times 1 \mu\text{s} / \text{格}}{10} = 0.18 \mu\text{s}$$



上升时间的测量

图 3-10

3.3.4 时间差的测量

对两个相关信号的时间差的测量，可按下列步骤进行。

- (1)根据被测信号频率将垂直方式开关置“ALT”或“CHOP”位置。
- (2)将参考信号和一个受比较的信号分别输入“CH1”和“CH2”插座。
- (2)设置触发源选择至作为参考的那个通道。
- (4)调整“VOLTS / DIV”，使屏幕显示合适的观察幅度。
- (5)调整电平使波形稳定指示。
- (6)调整“SEC / DIV”，使二个波形的测量点之间有一个能方便观察的水平距离。
- (7)调整垂直移位，使二个波形的测量点位于屏幕中央的刻度线上。
- (8)测出两点之间的水平距离并用下列计算出时间差。

$$\text{时间差} = \frac{\text{水平距离(格)} \times \text{扫描时间因数(时间 / 格)}}{\text{水平扩展因数}}$$

例：在图 3-11 中，扫描时间因数置 $50 \mu\text{s} / \text{格}$ ，水平扩展置 X1，测得两测量点之间的水平距离为 1.5 格，则：

$$\text{时间差} = \frac{1.5 \text{ 格} \times 50 \mu\text{s} / \text{格}}{1} = 75 \mu\text{s}$$

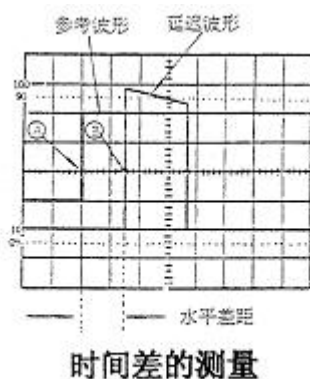


图 3-11

3.3.5 相位差的测量

相位差的测量可参考时间差的测量方法进行，步骤如下：

- (1)按以上时间差测量方法的步骤(1)~(4)设置有关控制件。
- (2)调“VOLTS / DIV”和微调，使两个波形的显示幅度一致。
- (3)调“SEC / DIV”和微调，使波形的一个周期在屏幕上显示 9 格，这样水平刻度线上的每格即被定为 40° (360° 除以 9)。

(4)测量两个波形在上升或下降到同一个幅度时的水平距离。

(5)按下列计算出两个信号的相位差：

$$\text{相位差} = \text{水平距离(格)} \times 40^\circ / \text{格}$$

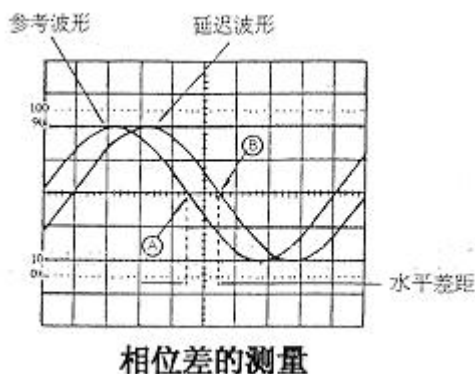


图 3-12

例：在图 3-12 中，测得两个波形测量点的水平距离为 1.5，则根据公式可算出：
相位差 = $1.5 \text{ 格} \times 40^\circ / \text{格} = 60^\circ$

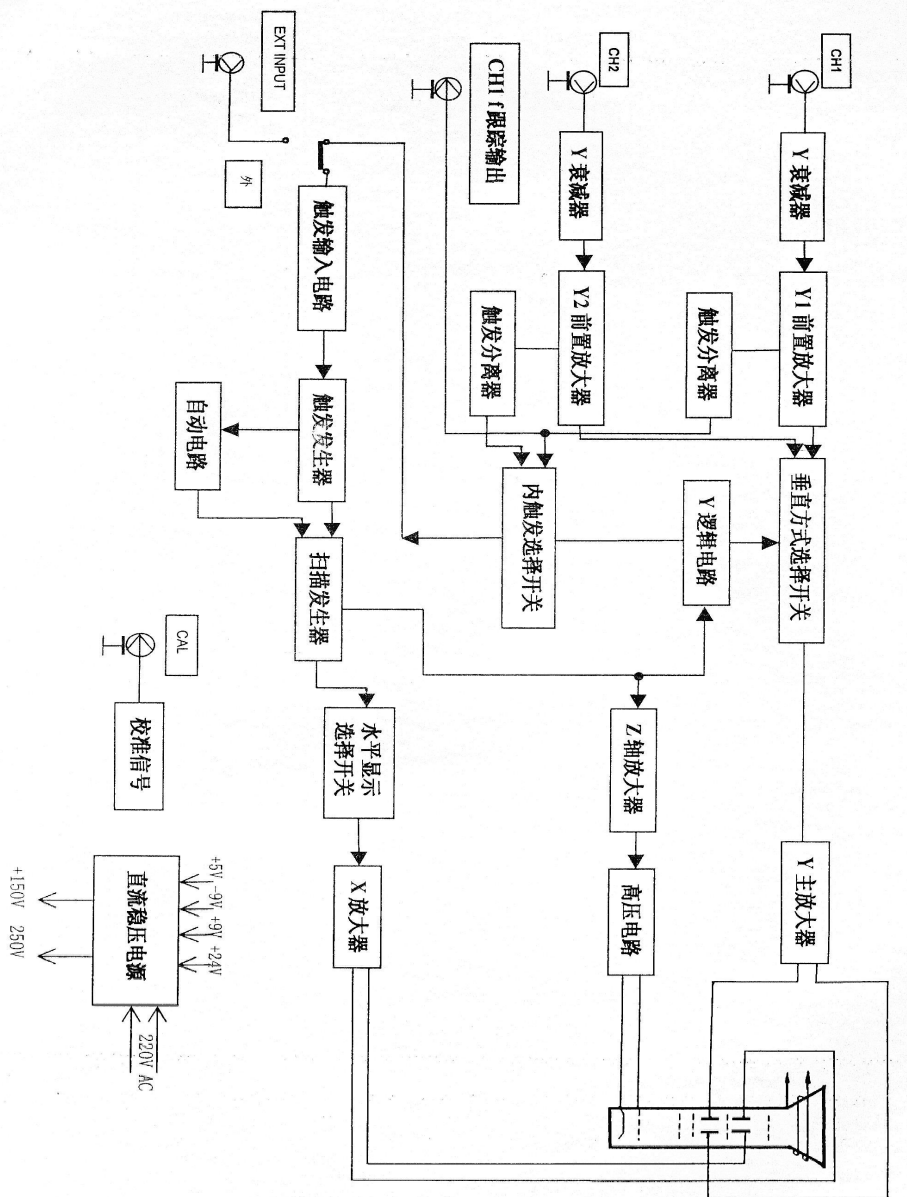
3.4 X-Y 方式的应用

在某些场合，X 轴的光迹偏转需由外来信号控制，如：外接扫描信号、李沙育图形的观察或作为其它设备的显示装置等，都需要用到该方式。

X-Y 方式的操作：将垂直 MODE CH2 按下，水平 MODE 按到 X-Y 位置由“CH1 OR X”端口输入 X 轴信号，其偏转灵敏度仍按该通道的“VOLTS / DIV”开关指示读值读取。

3.6 CH1 信号频率跟踪的应用

由仪器背面的 CH1 OUT 输出插座对通道 CH1 的信号频率进行跟踪输出。



附录三 MY60 型数字万用表

一. 概述

MY60 数字万用表是实验室常用到的仪表之一,可用来测量直流和交流电压、直流和交流电流、电阻、二极管、三极管等参数。

二. 特点

- 5. 功能选择具有 32 个量程。
- 6. LCD 显示, 字高 25mm。
- 7. 过量程显示 “1”。
- 8. 最大显示值 1999 (即三位半)。

三. 技术指标及使用方法: (所有测试数据不需乘任何系数)

1. 直流电压:

输入阻抗: 所有量程为 $10\text{M}\Omega$ 。

量程: 200mV、2V、20V、200V、1000V 五档。

将红表棒插 V Ω 孔, 黑表棒插 COM 孔, 功能开关放 V-档位。

2. 交流电压:

输入阻抗: 所有量程为 $10\text{M}\Omega$ 。

量程: 200mV、2V、20V、200V、700V 五档。

频率范围: 40Hz—400Hz。

显示: 平均值 (正弦波有效值)。

将红表棒插 V Ω 孔, 黑表棒插 COM 孔, 功能开关放 V-档位

3. 直流电流:

量程: 20uA、200uA、2mA、20mA、200mA、2A、10A 七档。

最大输入电流: 10A。

测量电压降: 满量程为 200mV。

将红表棒插 A 孔, 黑表棒插 COM 孔, 功能开关放 A-档位

4. 交流电流:

量程: 200uA、2mA、20mA、200mA、2A、10A 六档。

最大输入电流: 10A。

测量电压降: 满量程为 200mV。

频率范围: 40Hz—400Hz。

显示: 平均值 (正弦波有效值)。

将红表棒插 A 孔, 黑表棒插 COM 孔, 功能开关放 A-档位。

5. 电阻: (测量电路中的电阻时, 应将电路中的电源切断)

量程: 200Ω 、 $2\text{K}\Omega$ 、 $20\text{K}\Omega$ 、 $200\text{K}\Omega$ 、 $2\text{M}\Omega$ 、 $20\text{M}\Omega$ 、 $200\text{M}\Omega$ 七档。

在 $200\text{M}\Omega$ 档, 表笔短路, 显示器显示 10 个字是正常的, 在测量中

应从读数中减去这 10 个字。

将红表棒插 V Ω 孔，黑表棒插 COM 孔，功能开关放 Ω 档位。

注意事项：

1. 测量电流时，仪表与被测电路串联，禁止仪表跨接在被测电路的电压两端，以防止仪表过负荷而损坏。
2. 仪表使用完毕后，关电源。
3. 为确保安全，测量 700V 量限时，应将测试杆一端固定接在电路电位上，将测试杆的另一端去接触被测高压电源。

实验总评成绩:考试+平时实验成绩（实验报告加出勤及平时实验情况分）,合计 100 分

实验总学时: 32 学时

必做实验项目 (18 学时)

实验一 基本门电路和三态门的测试及应用 (3 学时)

实验二 全加器 (3 学时)

实验四 中规模集成芯片设计组合逻辑电路 (3 学时)

实验五 触发器的测试和应用 (3 学时)

实验六 计数器及其应用 (3 学时)

实验七 移位寄存器的测试及应用(串-并转换) (3 学时)

综合设计实验 2 个(14 学时)

一、篮球竞赛 24 秒定时电路 (6 学时)

二、计算机时序部件设计 (8 学时)