

EC Examen de Problemes

Exercici 1 (Examen Final juny 2011)

Considera un computador amb un processador que té amplada de dades i d'adreces de 64 bits, i una memòria cache de dades amb les següents característiques:

- 512 blocs, amb 2 paraules per bloc (paraules de 64 bits)
 - correspondència directa
 - escriptura immediata sense assignació
- a) Quina és la capacitat en bytes per a dades de la memòria cache?
- b) Indica el rang de bits de l'adreça que especifiquen l'índex a la memòria cache
- c) Indica el rang de bits de l'adreça que especifiquen l'etiqueta
- d) Quants bits d'emmagatzematge per a etiquetes i bits de control fan falta en total per cada entrada de la memòria cache?
- e) Considera el següent programa en alt nivell, que s'executa en aquest computador:

```
int V[6];           /* un int ocupa 64 bits */
main() {
    int i, tmp;      /* variables ubicades en registres */

    tmp = V[0];
    for (i=1; i<6; i++) V[i-1] = V[i];
    V[5] = tmp;
}
```

Tenint en compte que el vector V està emmagatzemat a partir de l'adreça 0, indica la seqüència d'adreces (en hexadecimal) dels accessos a memòria de dades que genera l'execució del programa, especificant per cada una: si és lectura o escriptura (R/W) i si produeix un encert o fallada (hit/miss) a la cache.

Exercici 2 (Examen Final gener 2013)

Considera el següent programa:

```
int M[4][2];        /* adreça base d'M = 0 */
int V[2];
main() {
    int i,j;         /* emmagatzemades en registres */
    for (i=0; i<4; i++)
        for (j=0, j<2; j++)
            M[i][j] = M[i][j]+V[j];
}
```

que s'executa en un computador MIPS que disposa d'una memòria cache de dades, inicialment buida, de correspondència directa i política d'escriptura retardada amb assignació, que conté 4 blocs i on els blocs són de 8 bytes.

Emplena la següent taula, que mostra la seqüència de les 12 primeres referències a memòria (E: escriptura/ L: lectura) corresponent al programa.

	element accedit	línia de MC	hit/miss	bytes llegits d'MP	bytes escrits a MP
L	M[0][0]	0	miss	8	0
L	V[0]				
E	M[0][0]				
L	M[0][1]				
L	V[1]				
E	M[0][1]				
L	M[1][0]				
L	V[0]				
E	M[1][0]				
L	M[1][1]				
L	V[1]				
E	M[1][1]				

Table 1: TLB

Exercici 3 (Examen Final juny 2012)

Considera el següent programa:

```

int M[F][C];                /* adreça base d'M = 0 */

main() {
    int i,j;                 /* emmagatzemades en registres */

    for (i=0; i<F-4; i++)
        for (j=0, j<C; j++)
            M[i][j] = M[i+4][j];
}

```

que s'executa en un computador MIPS que disposa d'una memòria cache de dades, inicialment buida, de correspondència directa, que conté 16 blocs i on els blocs són de 16 bytes.

Omple una taula especificant el nombre de referències, el nombre de fallades i el nombre de bytes transferits a/des de MP per aquests dos casos:

- MC amb política d'escriptura immediata sense assignació; matriu M amb F=16 i C=16
- MC amb política d'escriptura retardada amb assignació; matriu M amb F=8 i C=8