

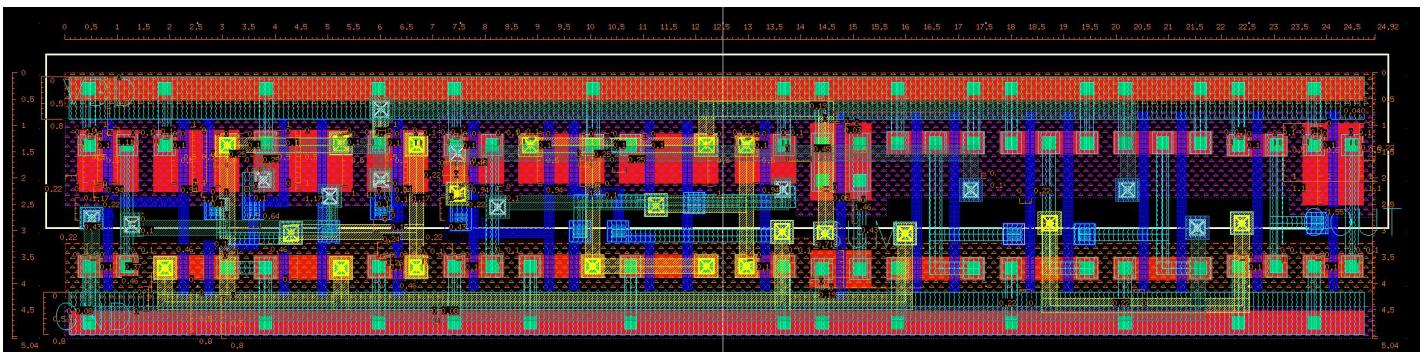
2022 NYCU EE VLSI Lab Report

Lab02 1-Bit Full Adder

Student ID: 109611070 Name: 郭家均 Date: 2022/10/25

I. Layout result

1. Layout picture with ruler



Height : 5.04um , Width : 24.92um , VDD/GND Rail : 0.8um

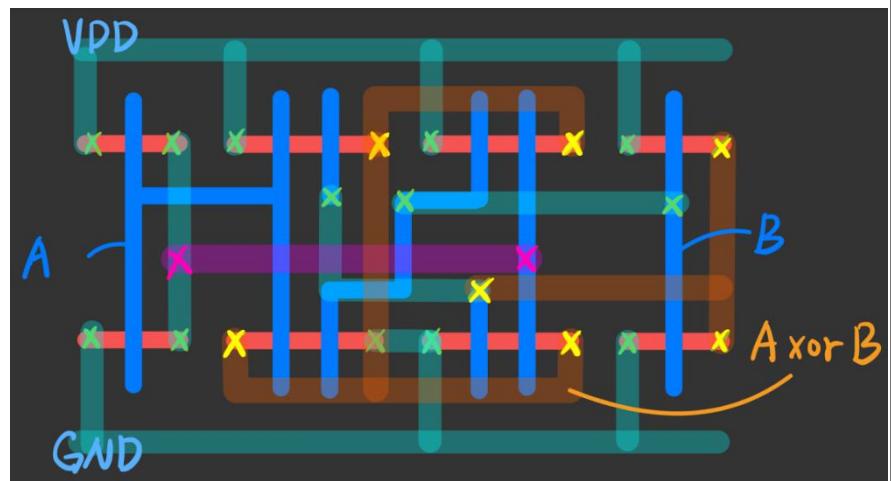
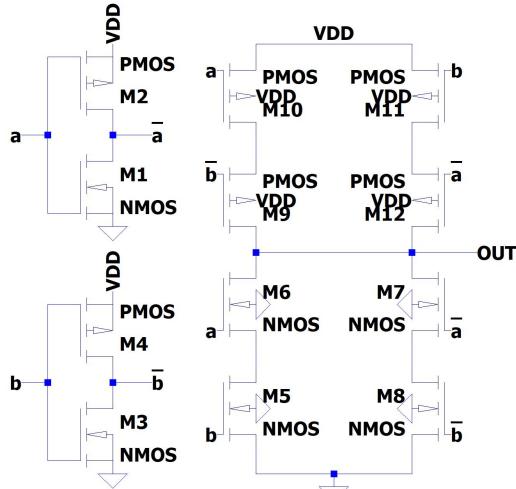
2. Design concept

(1) Stick Diagram / Circuit Schematic

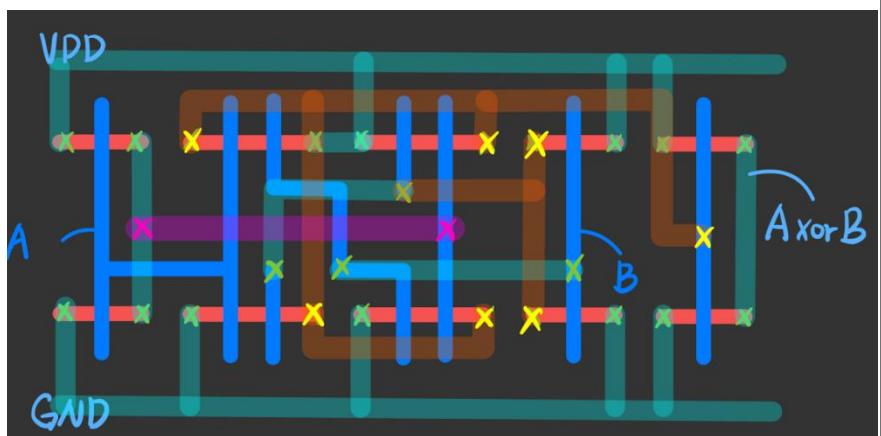
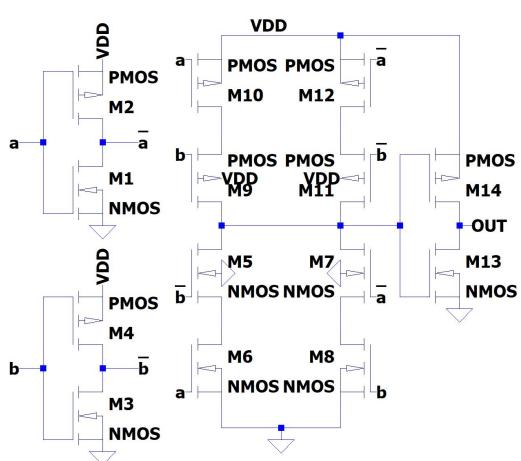
All the Stick diagram follows the color palette below:



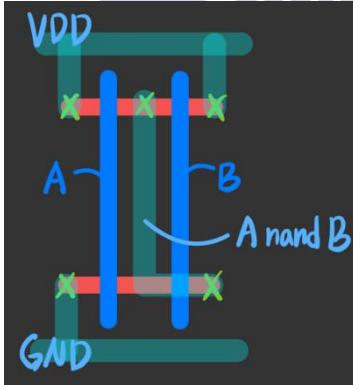
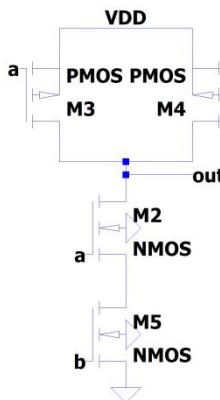
XOR 12 Transistors



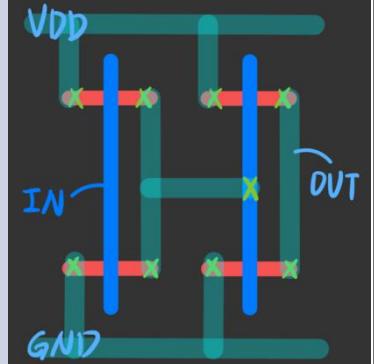
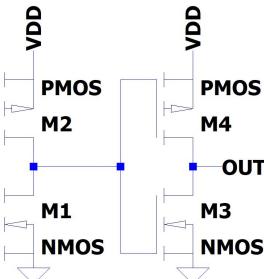
XNOR + INVERTER 14 Transistors



NAND 4 Transistors

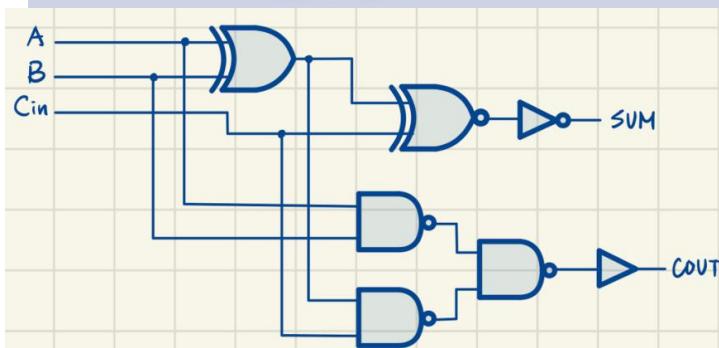


BUFFER 4 Transistors



(2) Summary of structure (number of transistor / logic gate is used)

以下的電路圖為我的 adder 設計：

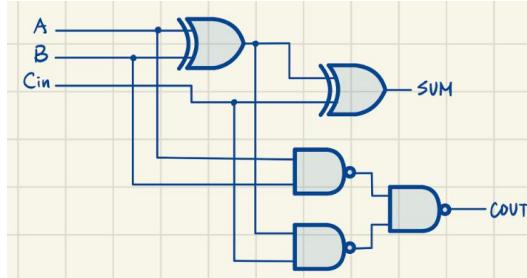


1 XOR, 1 XNOR, 1 INVERTER, 3 NAND, 1 BUFFER(2 INVERTERS)

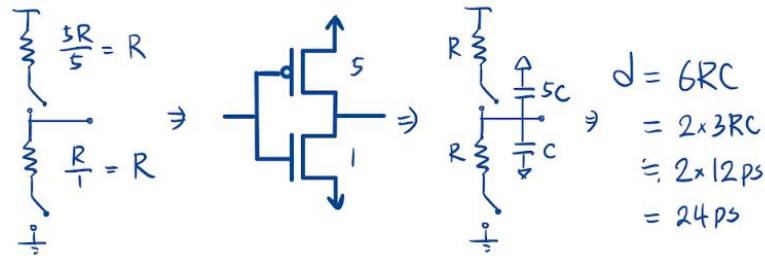
Total # of transistors : $12+14+3*4+4 = 42$ transistors

以下說明為何我採用此電路為我的 FA 架構：

這次實驗規定我們使用一般的 2XOR+3NAND 為 adder 架構，不能進行化簡。照原電路來進行 Tprop 的分析，電路如下。

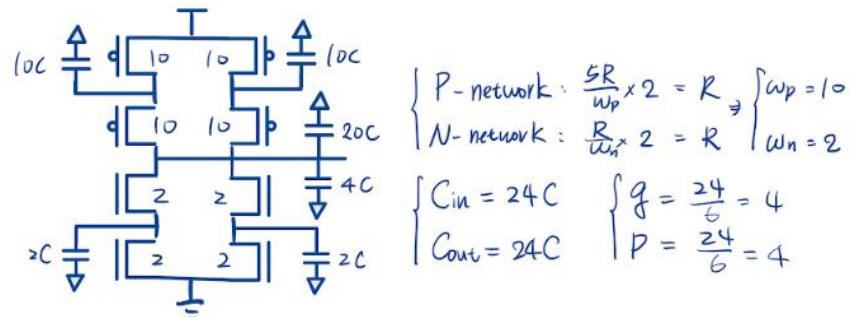


在此電路只用到 XOR, NAND 元件。我們對元件最理想的模型進行 delay 的分析。因為使用 umc.18 製成，因此 P_18_G2、N_18_G2 的 mobility 比例不像一般課本常用的 1:2。翻閱 library 可以發現比例約為 1:5，定義一個 unit pmos 等效為 $5R$ ，unit nmos 等效成 R 。因此一個理想的 Inverter 為了讓 p-network 和 n-network 充放電流大小相同，等效的 resistance 應要一致。如下圖：

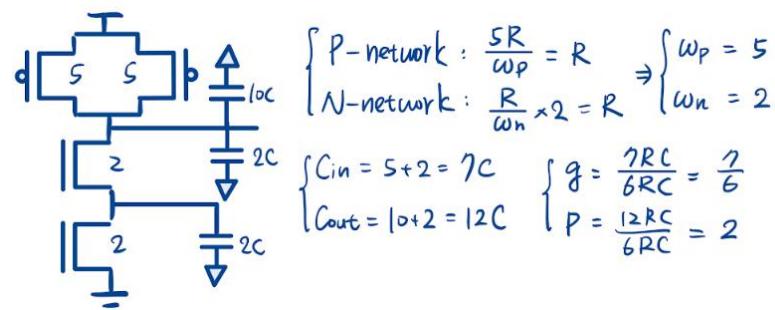


一個 inverter 的 delay 大概為 24ps(3RC 大概是 12ps)即為 $\tau = 6RC$ 。之後的邏輯閘 delay 都會依據 $6RC$ 為單位來計算，且定義理想的邏輯閘 p-network, n-network 充放電路徑等效阻值都是 R 。以下是分析。

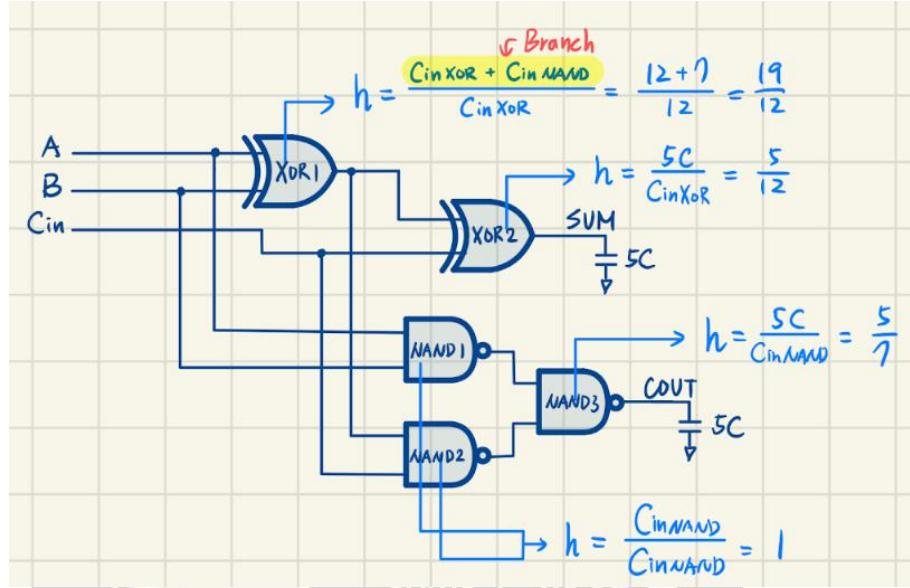
XOR : ($g = 4, p = 4$)



NAND : ($g = \frac{7}{6}, p = 2$)



得到 XOR、NAND 的 logic effort 和 parasitic delay 後，我們來計算 FA SUM 和 COUT 的 propagation delay。其中值得注意的是，因為我們最後 output loading 是放 $10fF$ ，而根據上課講義一般 C 的大小為 $2fF$ 。推算完我們視為 SUM, COUT 後方各接了一個 $5C$ 的 loading。接著我們將 FA 電路上所有邏輯閘的 h (electrical effort) 算出來：



有了個邏輯閘的 g , p , h 等參數，我們可以推出每個 gate delay 如下表

	XOR1	XOR2	NAND1	NAND2	NAND3
g	4	4	1.17	1.17	1.17
p	4	4	2	2	2
h	1.58	0.42	1	1	0.71
$f(g \cdot h)$	6.32	1.68	1.17	1.17	0.83
$d(f+p)$	10.32	5.68	3.17	3.17	2.83

接著我們分析 input 到 SUM、COUT 最長的 path。

SUM :

$$INPUT \Rightarrow XOR1 \Rightarrow XOR2 \Rightarrow SUM$$

$$Delay_{SUM} = d_{XOR1} + d_{XOR2} = 16\tau = 384ps > 0.3ns$$

COUT :

$$INPUT \Rightarrow XOR1 \Rightarrow NAND2 \Rightarrow NAND3 \Rightarrow COUT$$

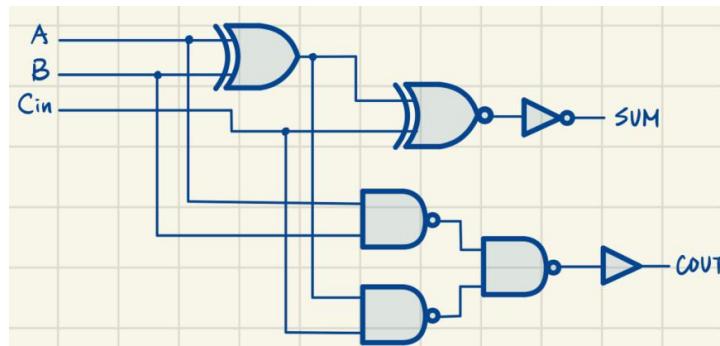
$$Delay_{COUT} = d_{XOR1} + d_{NAND2} + d_{NAND3} = 16.32\tau = 391.68ps > 0.3ns$$

理論值最佳化的設計會使 propagation delay 不符合 pre-sim spec！

因此在 width 的選擇上，不能顧及完美的充放電速度，因為 width 越大，等效 Capacitance 就越大，進而使 propagation delay 增加！

另外因為 layout 的限制，diffusion 中間要打個 $0.24 \times 0.24u$ 的 contact。因此 nmos width 最小為 $0.44u$ 。以理論上最好的 design pmos 的 width

會出現 $5*0.44=2.2\mu m$ ，即 $10*0.44=4.4\mu m$ 的選擇。
 在 stdcell design 的限制下高度只有 $5.04\mu m$ ，空間會幾乎不夠容納。
 因此我們另外選定 mos width，讓 propagation delay 達到容許值。
 但在縮小 mos width 的同時，要注意 rise time、fall time 的問題。這次 spec 規定 tr, tf 要小於 $0.1ns$ ，如果我們 mos width 選擇太低，會變成充放電的速度不夠快，tr, tf 會太大。如此衝突的性質在多次調整數值後仍無法達到 pre-sim 標準，因此決定改變架構。以下為最終電路：



我選擇將原先 XOR, NAND 的 mos width 都盡量調小，使 propagation delay 大幅降低後，再各自在 output 端加入 Buffer 來 restore 信號的強度和增加其充放電速度。雖然多加的 buffer 會使 propagation delay 增加，但因為前方 mos width 很小，所以等效 capacitance 效應很低，有空間加入 buffer 改善 tr, tf。

在此值得注意的是，我的 SUM 不是直接接上 buffer，而是採用 XNOR+INVERTER 的架構。因為 XNOR 和 XOR 電路幾乎一樣，其 gate delay 也是相同的，因此只要直接在後方接上 inverter，等同於省了兩顆 mos 和一級 INVERTER 的 delay。

為了使 SUM, COUT 的 tr, tf 夠快，我把 SUM 的 INVERTER 和 COUT Buffer 靠近 output 的 INVERTER mos width 調大。即為在最後級把 output signal 充放電速度提升，也有 restore output 的效果。

最終各個 mos width 訂為以下的數值，完成 pre-sim。

	XOR	XNOR	INV	NAND	BUFF	
Wp (um)	1.17	0.94	1.46	0.44	0.44	1.55
Wn (um)	0.46	0.44	0.71	0.44	0.44	0.44

II. Simulation result

1. Timing report

Table 1: Post-sim of 1Bit Full Adder (Unit: ps)

Input	SUM _{td}	SUM _{tr}	SUM _{tf}	Cout _{td}	Cout _{tr}	Cout _{tf}
000→100	327.74	106.59	--	--	--	--
100→010	--	--	--	--	--	--
010→110	315.20	--	106.74	183.77	80.48	--
110→001	136.38	104.13	--	224.91	--	108.37
001→101	379.79	--	95.00	362.64	83.85	--
101→011	--	--	--	--	--	--
011→111	341.08	106.40	--	--	--	--
111→000	174.88	--	102.72	224.69	--	104.82

Table 2: Simulation Summary

	Spec.	Pre-sim	Post-sim
Worst Rise Time	< 0.1ns	98.36	106.59
Worst Fall time	< 0.1ns	98.68	108.37
Worst Propagation Delay	< 0.3ns	298.86	379.79
Average Power	< 100uw	42.42	49.37

(1) Pre-sim (*paste measurement result of hspice, i.e. .mt0)

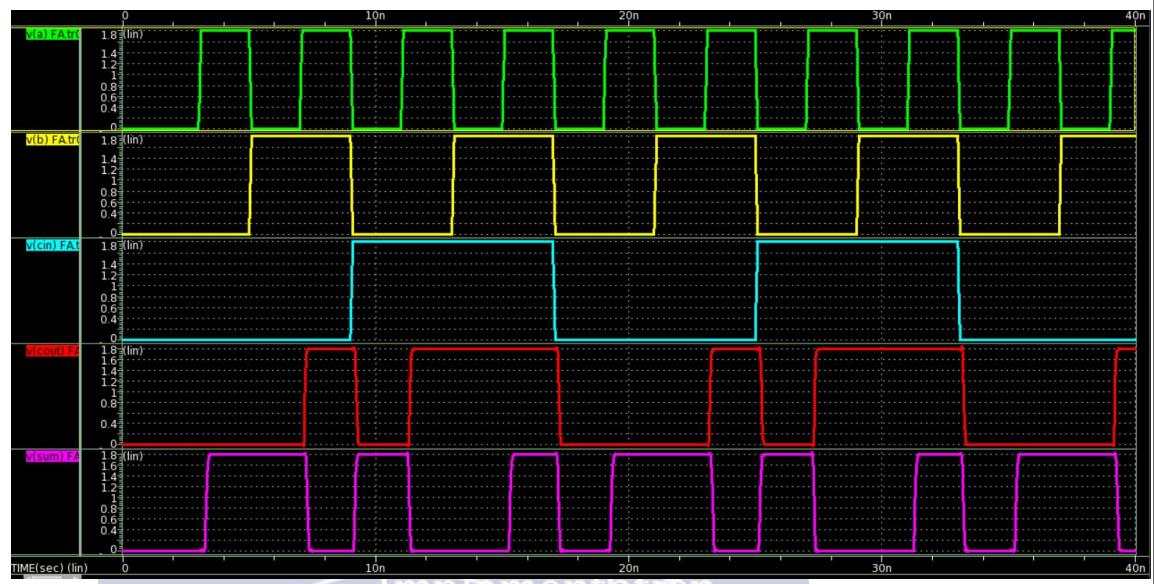
```
.TITLE '.title vlsi_lab02_fa_pre_sim'
avg_power      sum_td1        sum_td2        sum_td3
sum_td4        sum_td5        sum_td6        cout_td1
cout_td2        cout_td3        cout_td4        sum_tr1
sum_tr2        sum_tr3        sum_tf1        sum_tf2
sum_tf3        cout_tr1        cout_tr2        cout_tf1
cout_tf2        temper         alter#
4.242e-05     2.635e-10    2.623e-10    1.381e-10
2.819e-10     2.690e-10    1.841e-10    1.556e-10
1.989e-10     2.989e-10    1.987e-10    9.836e-11
9.575e-11     9.471e-11    9.868e-11    8.425e-11
9.585e-11     7.653e-11    7.872e-11    9.862e-11
9.827e-11     25.0000       1
```

(2) Post-sim (*paste measurement result of hspice, i.e. .mt0)

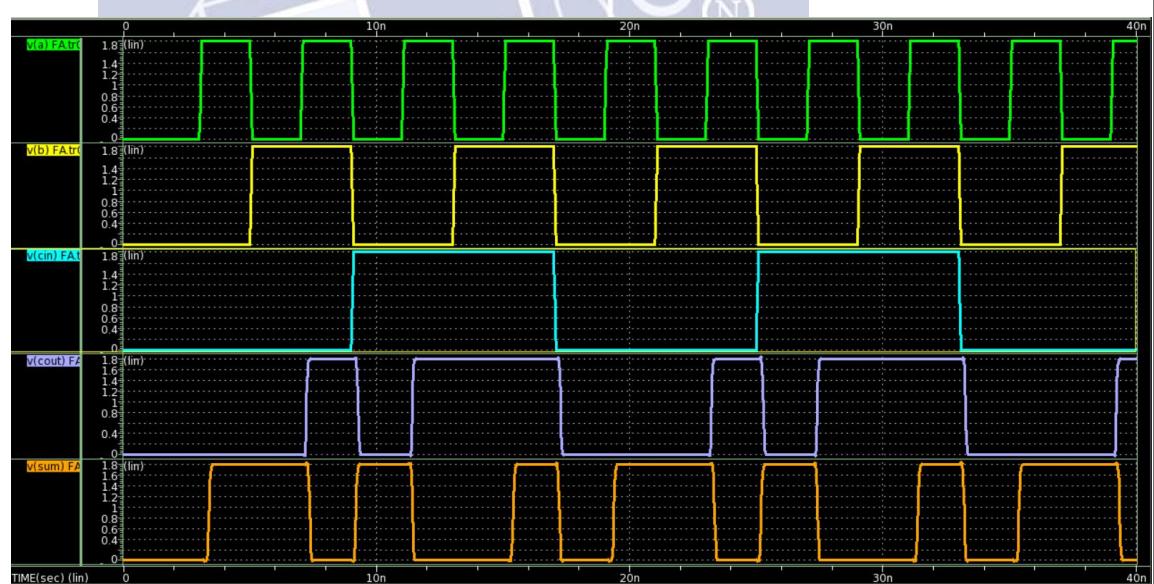
```
.TITLE '.title vlsi_lab02_fa_post_sim'
avg_power      sum_td1        sum_td2        sum_td3
sum_td4        sum_td5        sum_td6        cout_td1
cout_td2        cout_td3        cout_td4        sum_tr1
sum_tr2        sum_tr3        sum_tf1        sum_tf2
sum_tf3        cout_tr1        cout_tr2        cout_tf1
cout_tf2        temper         alter#
4.937e-05     3.277e-10    3.152e-10    1.364e-10
3.798e-10     3.411e-10    1.749e-10    1.838e-10
2.249e-10     3.626e-10    2.247e-10    1.066e-10
1.041e-10     1.064e-10    1.067e-10    9.500e-11
1.027e-10     8.048e-11    8.385e-11    1.084e-10
1.048e-10     25.0000       1
```

2. Output waveform

(1) Pre-sim

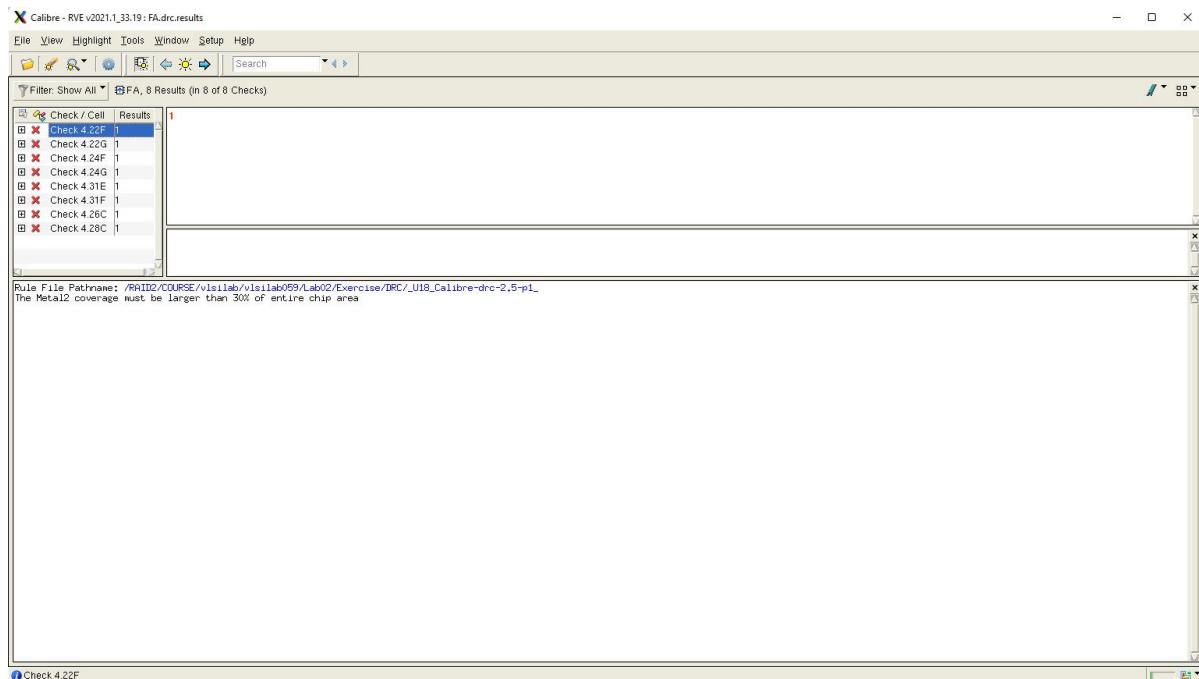


(2) Post-sim

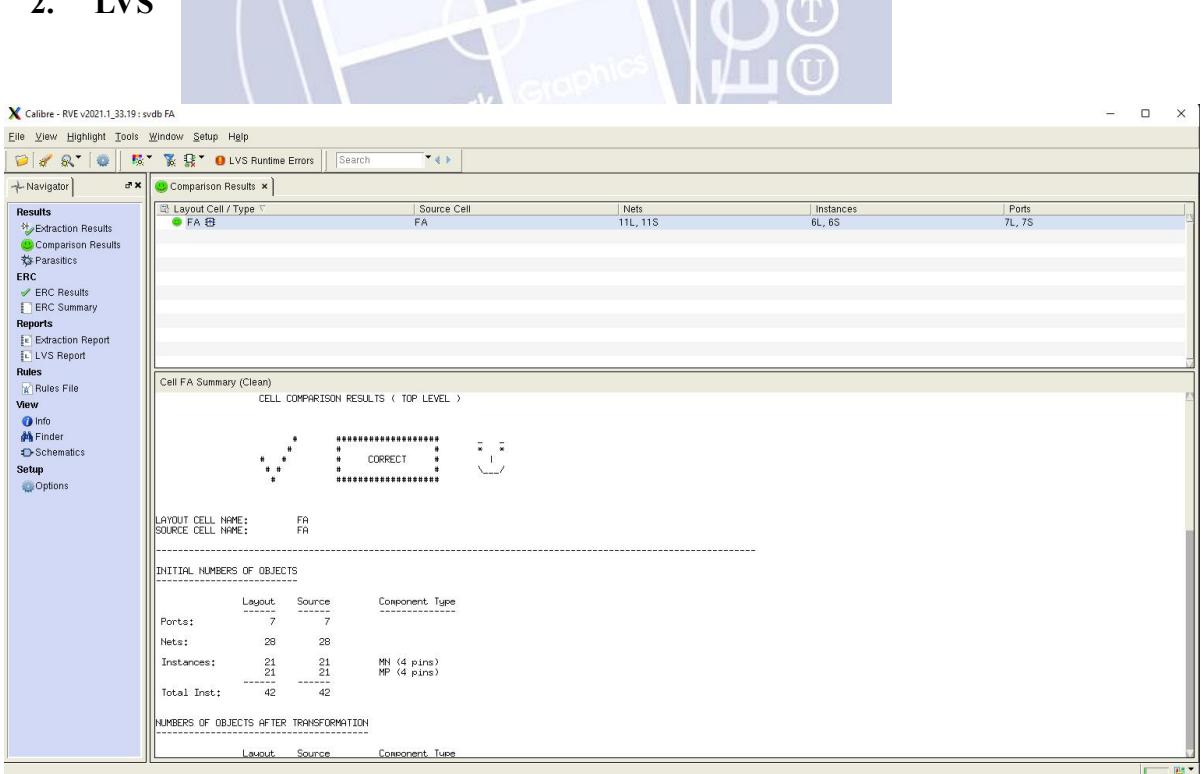


III. Verification result

1. DRC



2. LVS



IV. Discussion

1. How to reduce your area of layout? What are advantages and disadvantages of reducing area?

在畫 layout 時我使用以下方法/特性壓縮面積：

- 1) 共用 Diffusion taps
- 2) 使用 poly 作為短程的繞線
- 3) Metal 1 2 3 可以 overlaps
- 4) Contact 必要時才打

Advantages :

Overall

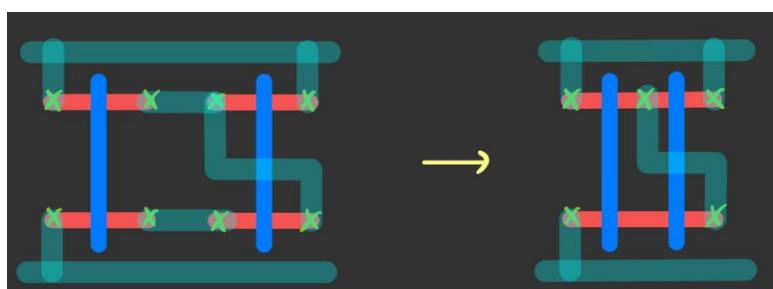
一般以 digital IC design 的過程中，有時候 design 規模會很大，如果一個一個邏輯閘都要自己定義的話，設計過程會變得十分冗長，不切實際。因此有了 EDA tools 可以幫我們合成電路。而為了使 EDA tools 合成時每個 cells 可以對齊、且有系統的規劃電路，所以 stdcell 的概念就非常重要。

所謂 stdcell design 就是把每個數位裡面常用的電路 (FA, MUX, DFF, MAC) 做成一個一個的 block，且每個 block 為固定高度(此 lab 為 5.04um)。因此設計電路時只需撰寫 HDL(verilog)，由 EDA tools 自動幫我們抓 library 中的 stdcell，像疊床架屋一樣把一個個 block 接起來，加上繞線就合成電路。

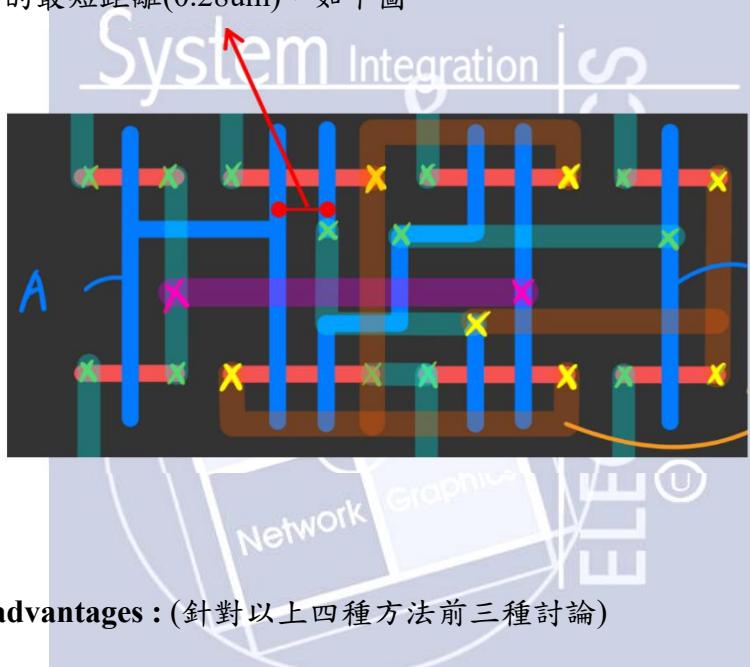
因此想當然耳，如果每個 stdcell 面積越小，單位面積下能放進的 component 就越多，相對於單位面積的電路效能提升了。

Trivia (針對以上四種縮面積的方法討論)

- 1) 若多共用 taps，可以省掉一個 contact 和 diffusion 間最短距離的長度。且理論上 delay 會減少。如下圖所示，左圖多了兩個 diffusion 之間連接的 metal delay，而右圖直接共用就不會有額外 delay。



- 2) poly 接上 metal 要打上 0.44×0.44 的 poly 及中間的 contact，非常占用空間，因此如果兩個 mos gate 相鄰且 input 相同時，就可以直接用 poly 繞線相連。
- 3) 一般正規的 stdcell design 應該只能使用 metal 1 進行拉線，其餘 metal 2 3 都是用在不同 stdcell 之間的拉線用。不過此次 lab 因為沒有此限制，因此可以將原先分散的電路拉近，將原先有些拉近會產生 metal1 overlap 的地方使用 metal 2 3 取代，如此更壓縮面積。
- 4) XOR 的架構裡因為有很多串連的部分，因此串聯中間的 node 不但可以共用 tap，因為不需要接 metal 的關係，所以可以直接拉到 poly 能容忍的最短距離($0.28\mu m$)，如下圖。

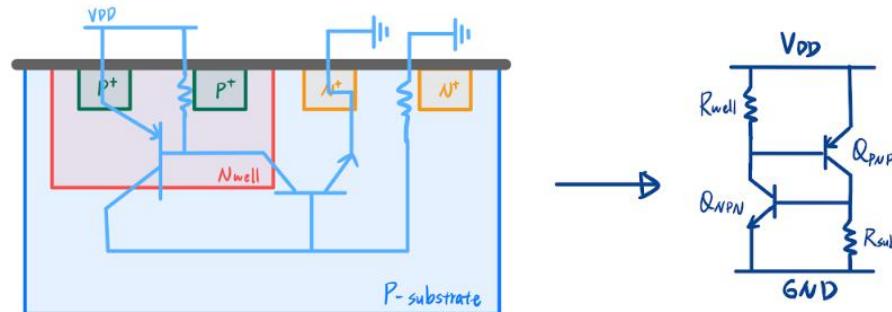


Disadvantages : (針對以上四種方法前三種討論)

- 1) 共用 tap 省面積，但相對的拉線空間較小。若共用的 tap 兩側 poly 為不同輸入的話，若出現太多連續共用的 diffusion tap，很有可能會沒有空間拉 0.44×0.44 的 poly-contact input。
- 2) 根據 VLSI 導論上課的內容，可以知道一般 metal 1 sheet resistance 為 $0.08\Omega/\mu m^2$ ，而 poly 為 $3-10\Omega/\mu m^2$ 。且 metal 1 之 capacitance per μm 為 $0.2fF/\mu m$ ，而 poly 為 $2fF/\mu m$ 。同樣長度 poly 相較 metal 不僅阻值大，capacitance 也大不少。將會有較長的 delay。因此要盡量避免太長的 poly 繞線。
- 3) 因為 metal 2 3 取代的 metal 1 有很多用於水平走線，因此有時候會出現兩條不同高度的 metal 重疊的分很多 (例如水平 metal 2 直接疊在同樣為水平的 metal 1 上)。兩條 metal 間的 capacitance 會相對較高。

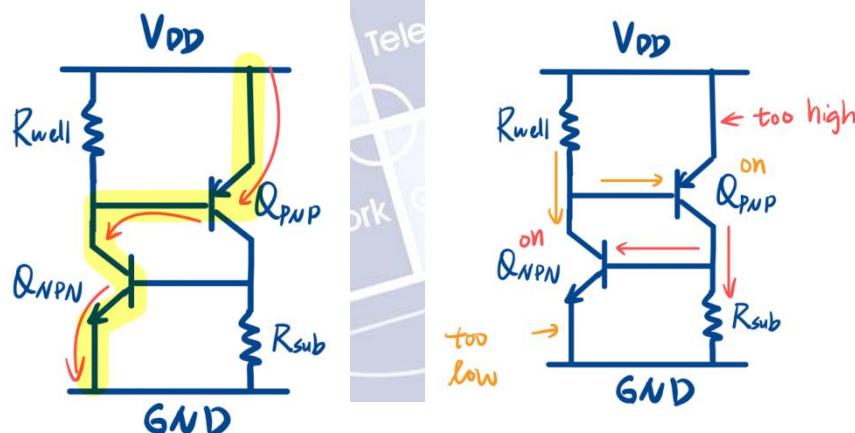
2. Why you need Avoid-Latch-Up contact and how it works?

先討論何謂 Latch-Up。已知 mos 架構中有 parasitic BJT 如下圖。

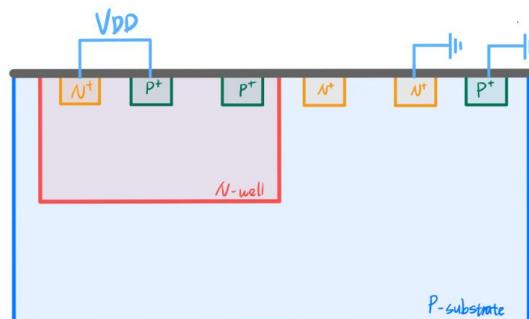


如果沒有特別做處理，在某些情況會出現 latch-up。

例如假設 Q_{PNP} 的 Emitter 有一瞬間大於 V_{DD} 的訊號，會使 $V_{EB} > 0.7V$ ， Q_{PNP} 即會達到 forward bias， I_c 電流將流向 R_{sub} 導致 Q_{NPN} 的 V_{BE} 上升，最終 Q_{NPN} 也到 forward bias，會有一條從 VDD 直通 GND 的 path 入下圖左。下圖右顯示兩種情況，第一如同上述，而第二是 Q_{NPN} Emitter 電位太低時的情況。兩種情況皆會使兩個 BJT 同時導通，產生 VDD 到 GND 的大電流。有點類似數位的 latch，兩個 BJT I_c 在 forward bias 時經過 beta 倍的放大，導致 positive feedback。



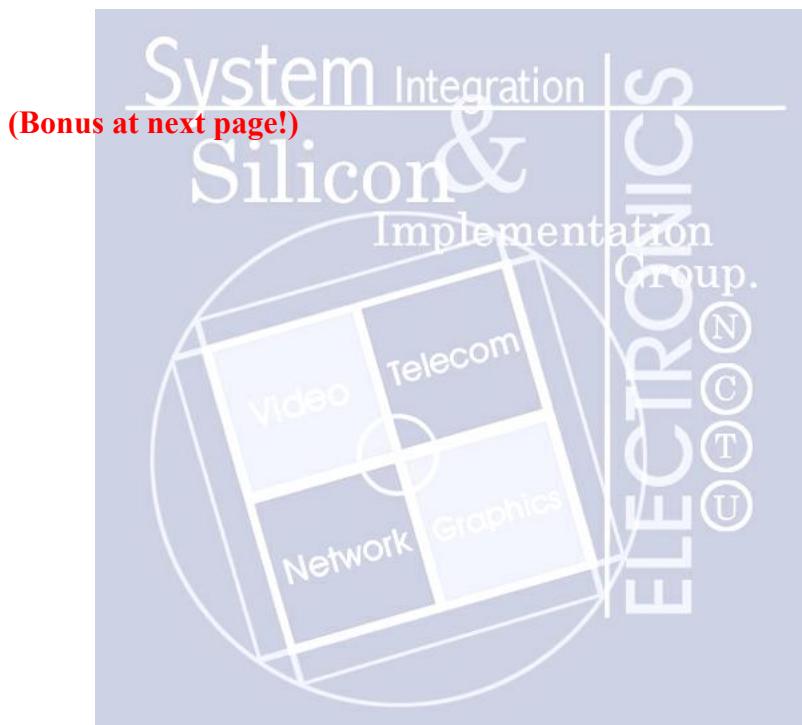
為了避免出現以上兩個情況，(避免 parasitic BJT 的 forward bias)我們應該在 n-Well 和 p-substrate 打入各自的 n+ p+ 確保 mos 的 body 電位和 source 相符，不會因為 parasitic BJT 變成 forward bias 而產生漏電流。如下圖：



3. Summary

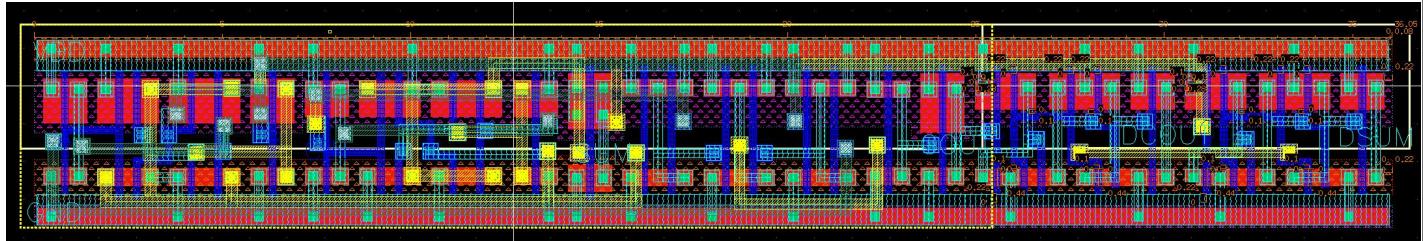
這次實驗第一次上手實作 layout，不過真正的挑戰在 Pre-sim。在下手畫 layout 前，應該要先分析電路，讓電路基本符合規格後再下手畫 layout 比較實在。有好幾次是自己粗心沒有顧慮到 Pre-sim 的一些 spec，結果最後 layout 畫了好多版，非常浪費時間。layout 的部分有很多小技巧，雖然一開始碰熟了操作，但因為 5.04um 高度限制，導致中間很多繞線過程太過複雜，應該有很多更好的畫法。是一次挑戰性十足的 lab。

下次進行 stdcell design 前，應該先認真分析完電路，預估參數的合理性，再決定架構和 layout !

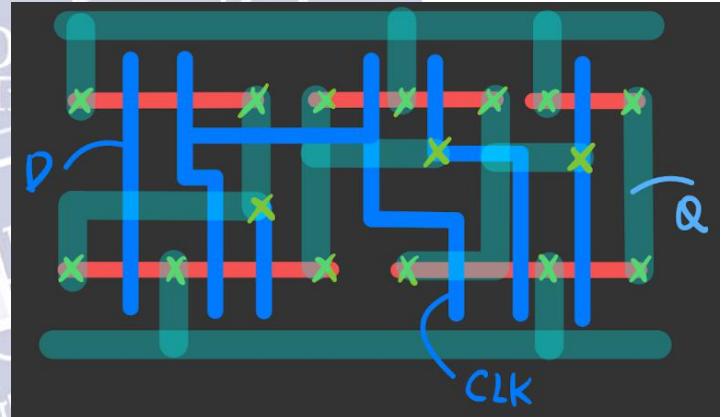


Bonus

FA_seq layout picture :



DFF structure



DRC

LVS

X Calibre - RVE v2021.1_33.19 : FA_seq.drc.results

File View Highlight Tools Window Setup Help

Filter: Show All FA_seq, 8 Results (in 8 of 8 Checks)

Check / Cell	Results
Check 4.2F	1
Check 4.22G	1
Check 4.24F	1
Check 4.24G	1
Check 4.31E	1
Check 4.31F	1
Check 4.26C	1
Check 4.26C	1

Rule File Pathname: /RAID2/COURSE/vsilab/vsilab059/Lab02/Bonus/DRC/_U18_Calibre-drc-2.5-p1
The Metal2 coverage must be larger than 30% of entire chip area

X Calibre - RVE v2021.1_33.19 : svdb FA_seq

File View Highlight Tools Window Setup Help

Navigator | Comparison Results | Extraction Results | ERC Results | Reports | Rules | View | Info | Finder | Schematics | Setup | Options

Comparison Results | Layout Cell / Type: FA_seq | Source Cell: FA_seq | Nets: 20L, 20S

ERC Results | ERC Summary | Extraction Report | LVS Report

Reports | Extraction Report | LVS Report

Rules | Rules File

View | Info | Finder | Schematics | Setup | Options

Cell FA_seq Summary (Clean) CELL COMPARISON RESULTS < TOP LEVEL >

CORRECT

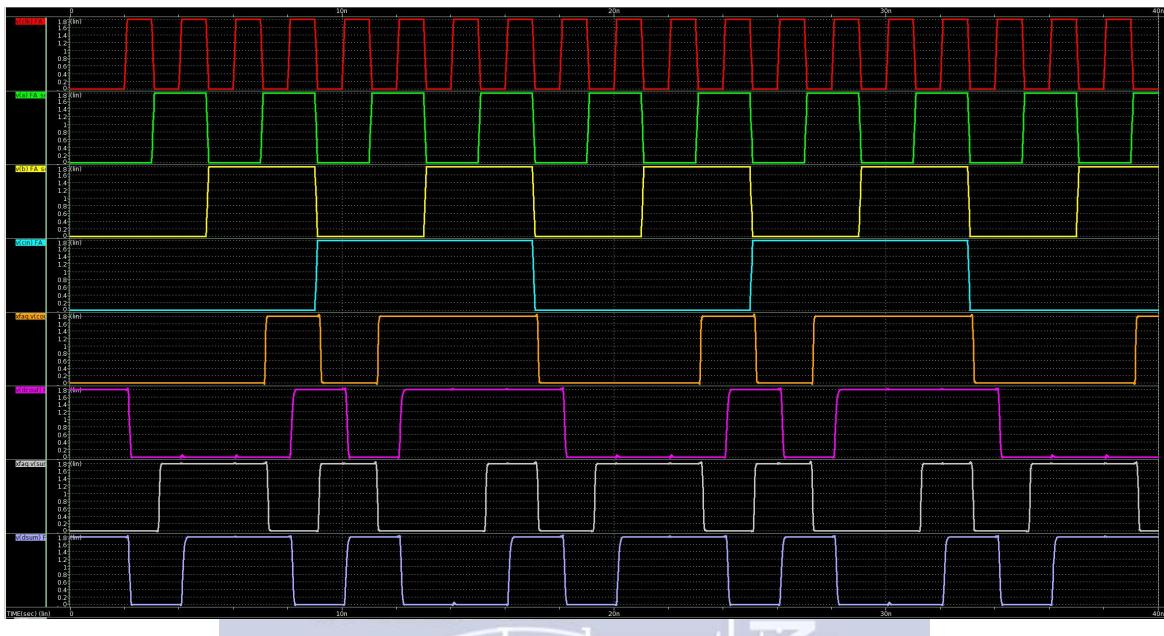
INITIAL NUMBERS OF OBJECTS

Layout	Source	Component Type
Ports:	8	8
Nets:	43	43
Instances:	33	33
	31	31
Total Inst:	64	64

NUMBERS OF OBJECTS AFTER TRANSFORMATION

Layout	Source	Component Type
--------	--------	----------------

Waveform Pre-sim



Waveform Post-sim

