

2022 NYCU EE VLSI Lab Report

Final Project

6-Bit Multiplier and Accumulator Design

Student ID: 109611070 Name: 郭家均

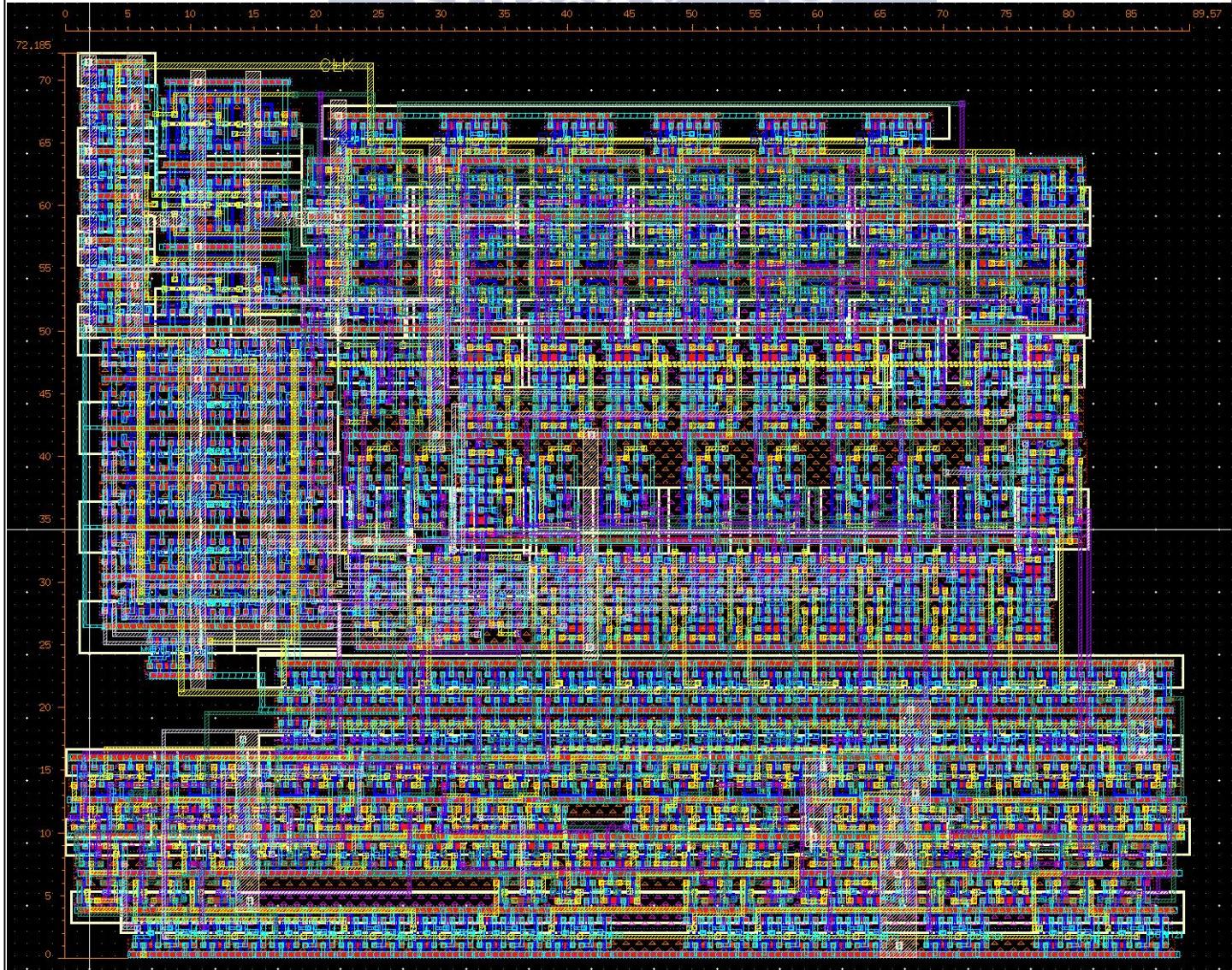
Student ID: 109611039 Name: 蔡宜珊

Student ID: 109611080 Name: 楊詠晴

Date: 2022/01/12

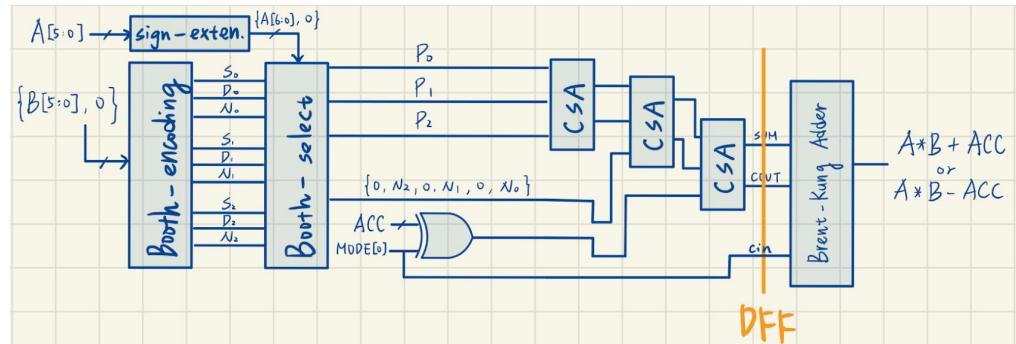
I. Layout result

1. Layout picture with ruler Width : 89.57u Height : 72.185u



2. Design concept

(1) Pipeline multiplier design



上圖為這次 lab 的架構，三級 pipeline 分別切在頭尾，而中間在 CSA 接進 Parallel Prefix Adder 的位置切了第二級 DFF。為了加速電路，ACC 會先和 XOR 做 one's complement，並在 CSA 中和 partial product 合在一起運算，不用等 multiplier 出來後再相加。而 MODE 的部分當作 ACC two's complement 的 CIN，藉著一級 DFF 打到 Brent-Kung Adder 裡做運算。同理 Partial Product 的 sign-bit 是在 CSA 就和 partial product 相加，避免之後需要用 propagation adder 去進位。

(2) Summary of structure (Roughly number of transistor / logic gate is used)

Structure name	Sub structure included	# of transistor used	# of this structure
Booth encoder	XOR AOI33	26T	3
Booth selector	XOR AOI22	14T	21
ACC-inverse	XOR	6T	12
3-level CSA	FA	28T	18
	HA	12T	15
	Inverter	2T	3
13-bit Adder	RB block	10T	12
	YB block	12T	8
	Andor block	8T	11
	XOR	6T	14
Pipeline DFF	--	11T	25+26+13

總共約使用： 2276 顆 transistor

電路分成四個部分：

Booth Encode、ACC-inverse、3-level CSA、13-bit Adder

Booth Encoder

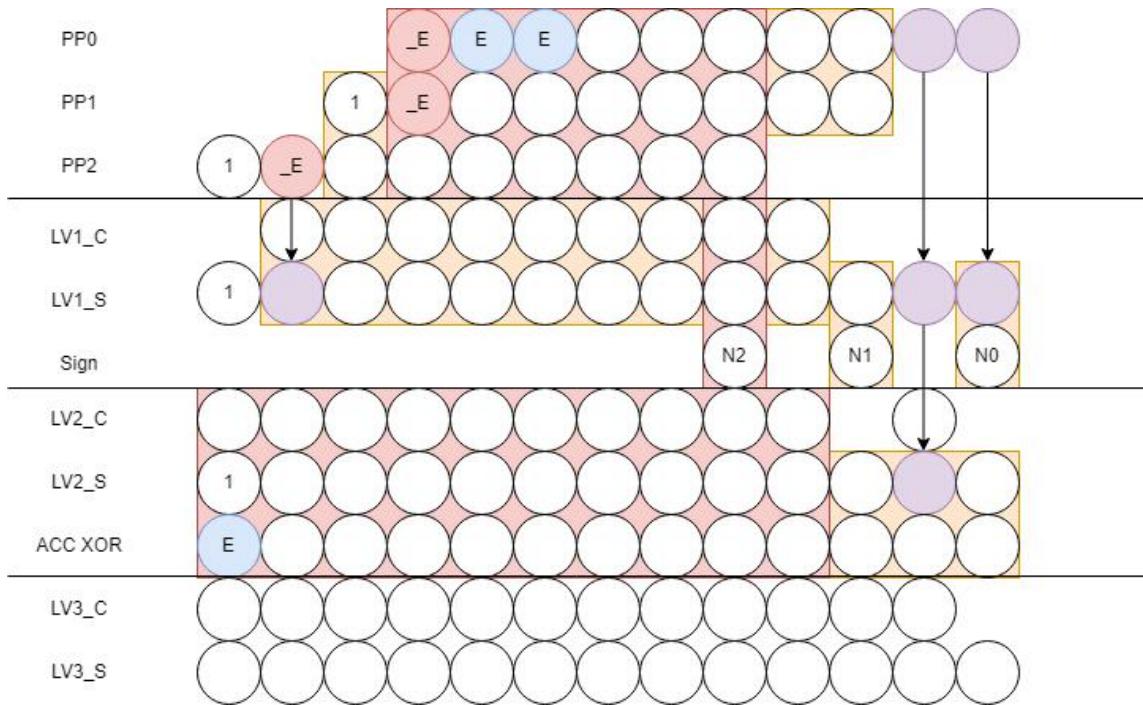
採用一般教科書的架構，因為為 6×6 的 multiplier，因此需要 3 個 encoder 和 3×7 個 Selector。

ACC-inverse

組成為簡單的 XOR。由 MODE value 決定是否對 ACC 做 1's complement。

3-level CSA

組成為 CCMOS FA 和一般 logic gate 組成的 HA 累加 3 個 partial product、partial product sign bit、12-bit ACC，output 為 13-bit SUM 和 12-bit COUT，具體架構如下圖。

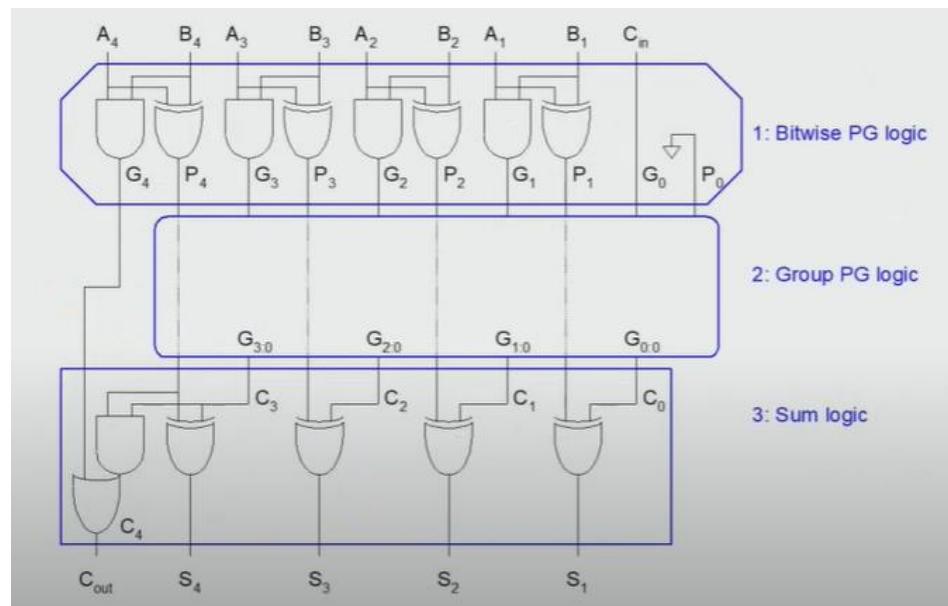


為了使計算過程簡化以及減少 layout 浪費面積，我們將原本的 sign extension simplify，接者一行中只有兩個 bit 要相加者用 HA 實作、一行中有三個 bit 者則用 FA。值得注意的是，在加 ACC XOR 時也要做 sign extension，否則最後一位會出錯。

13-bit Adder

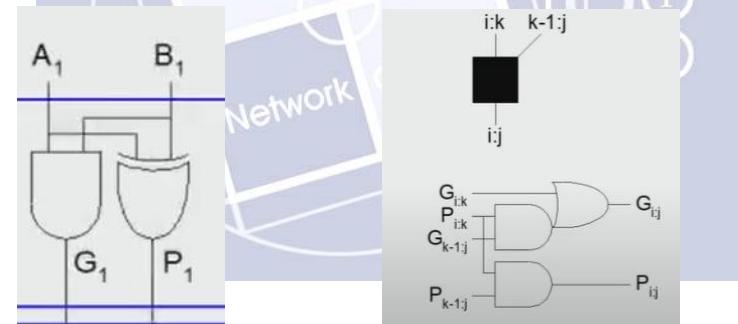
我們採用 Brent-Kung adder 的架構，為一種 Parallel prefix adders，有點像 Carry Look Ahead 的變體，然後我們根據三層主要層來得來得到 prefix adder，第一層為 Bit-wise PG 層，主要是配對兩個同位置要相加的兩 bit 做 xor&and 的動作來產生 P&G；第二層為 Group PG logic，主要為中間對上層產生 P&G 所做的運算以及連線，而每個 Parallel adders 主要也是改此層，用不同種接線方式，來得到各個不同效能的 adder；第三層 Sum logic，主要就是最後要輸出合值要做的處理。(請搭配圖一)

(圖一)

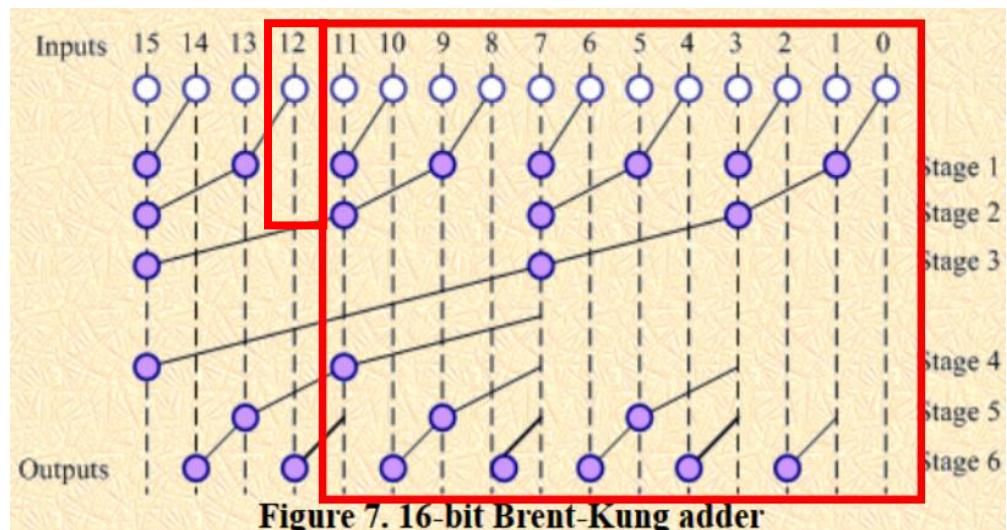


下圖圖二圖三為 Brent-Kung adder 第一層(白色圓圈)以及第二層(子色圓圈)的主要接法，而因為此次用到的 adder 為 13bit adder，所以我們只取圖三的前 0~11 以及 12 的白色圓圈 gate，最後的 output G 再跟下一位 bit 第一層出的 P 做 xor 就可以得到最終的 sum。

(圖二)所有的白色圓圈(左)以及紫色圓圈(右)。



(圖三)



XOR

這次所有電路考量到 power 上的問題，幾乎都使用 complementary 的架構。但 XOR 因為在本電路廣泛被使用到，因此考慮到整體速度面積，XOR 使用 N network pass-transistor XNOR + inverter 實現。

以下是新版的 XOR 和 complementary 架構的實測比較數據：

	Pass-transistor	Complementary
# of transistor	6T	12T
Prop. Delay (ps)	90.2	100
Trise Tfall Avg (ps)	116.5	187.5
Power (uW)	8	17
Sizing Wp:Wn	0.44 : 0.44	1.3 : 0.44

乍看之下 Pass-transistor 的各數據都比 complementary 架構還好，但 pass-transistor logic 會有 degraded output 的潛在問題。

當 A、B 任意一個為 1 時，nmos 會形成 pass-transistor 將 B、A 打到 output 端。但 nmos 會有 pass transistor 產生的 degraded 0，如果前方推力不夠，後方 XOR fan out 很大的話，n network 有可能無法將電位拉到低於 threshold voltage，產生錯誤。不過因為要實現 XOR，後方會加入一級 inverter 去做信號的 restore，因此整體下來影響不大。

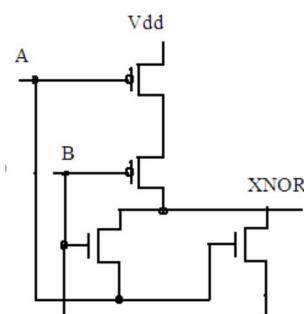
另外 pass transistor 的架構也有一個可能發生的問題：

如果接進 XNOR 的走線很長、線組很大，會有分壓問題產生。

可以想成 Rmetal、Rmos 的分壓是 A、B 點電位，由於 pass transistor logic 不是 full-swing，有可能在規模更大的電路上產生 timing 和 logic level 的 violation。因此一般數位電路中為了確保 logic 的 robustness，stdcell 應該都是採用 complementary 的架構的。

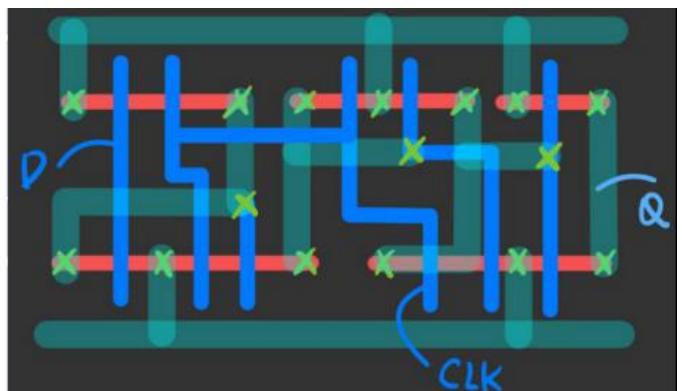
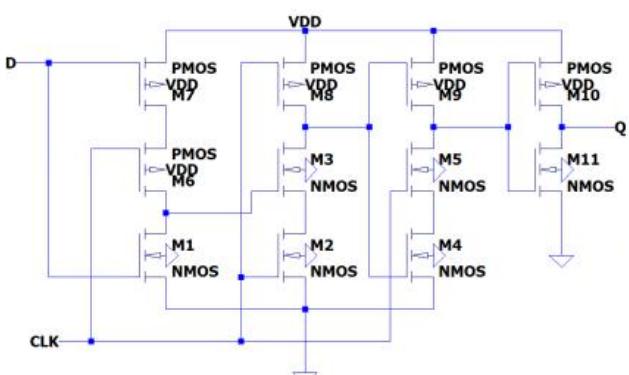
本次 Final Project 是走 full-custom flow，因此採用了個數據都比較好的 pass transistor XNOR + Inverter 的作法。

(下圖為 pass-transistor XNOR)

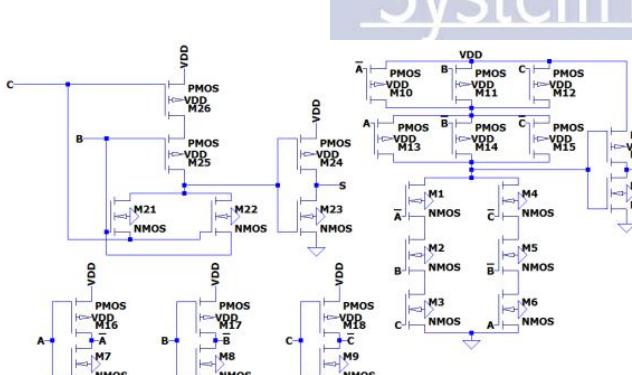


(3) Circuit Schematic / Building Blocks

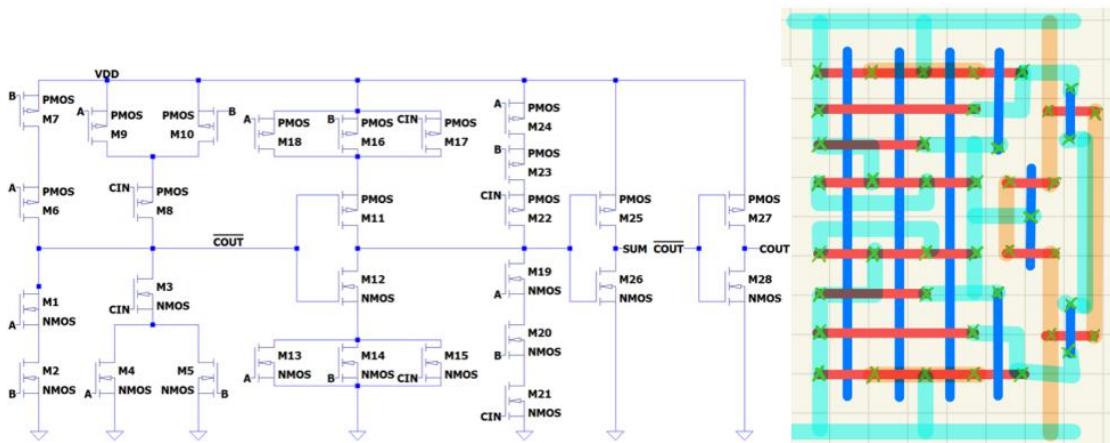
DFF :



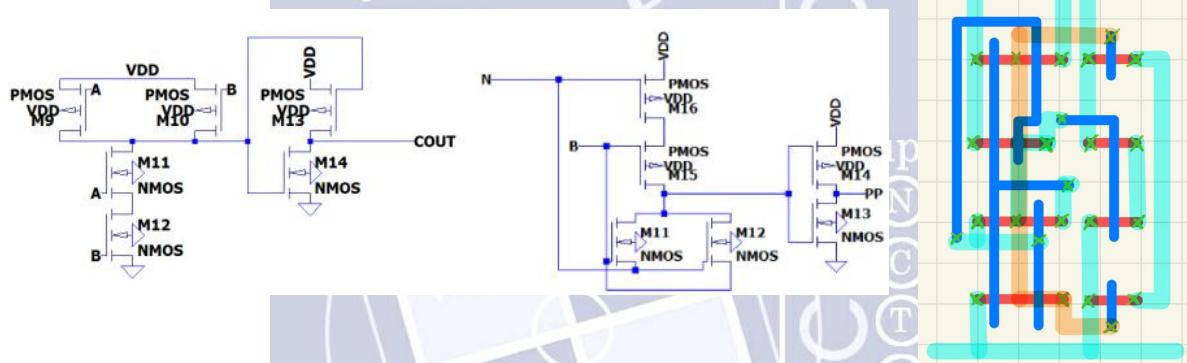
Encoder :



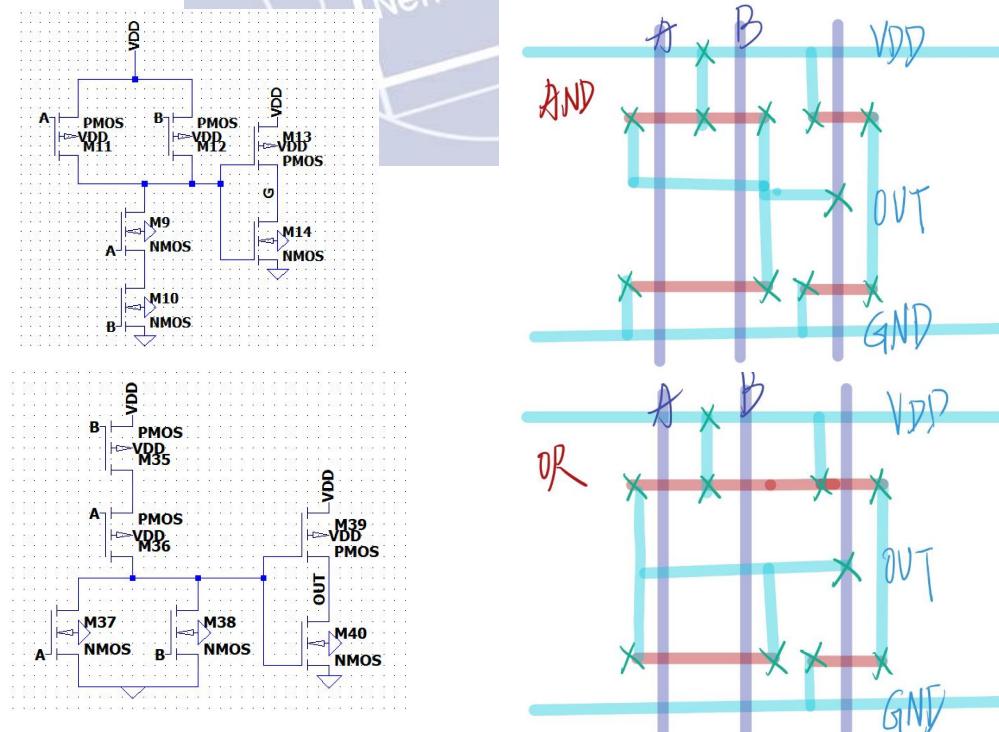
FA :



HA : (AND + XOR)



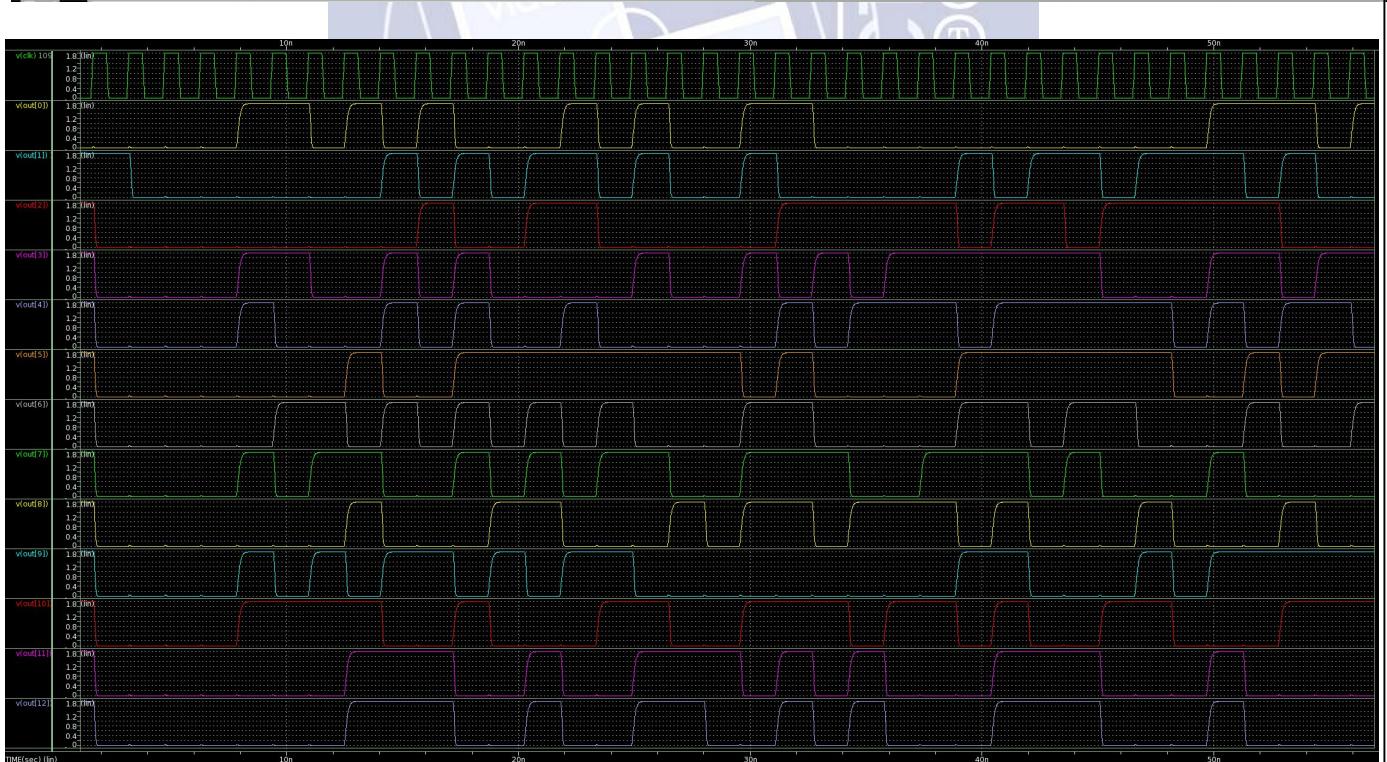
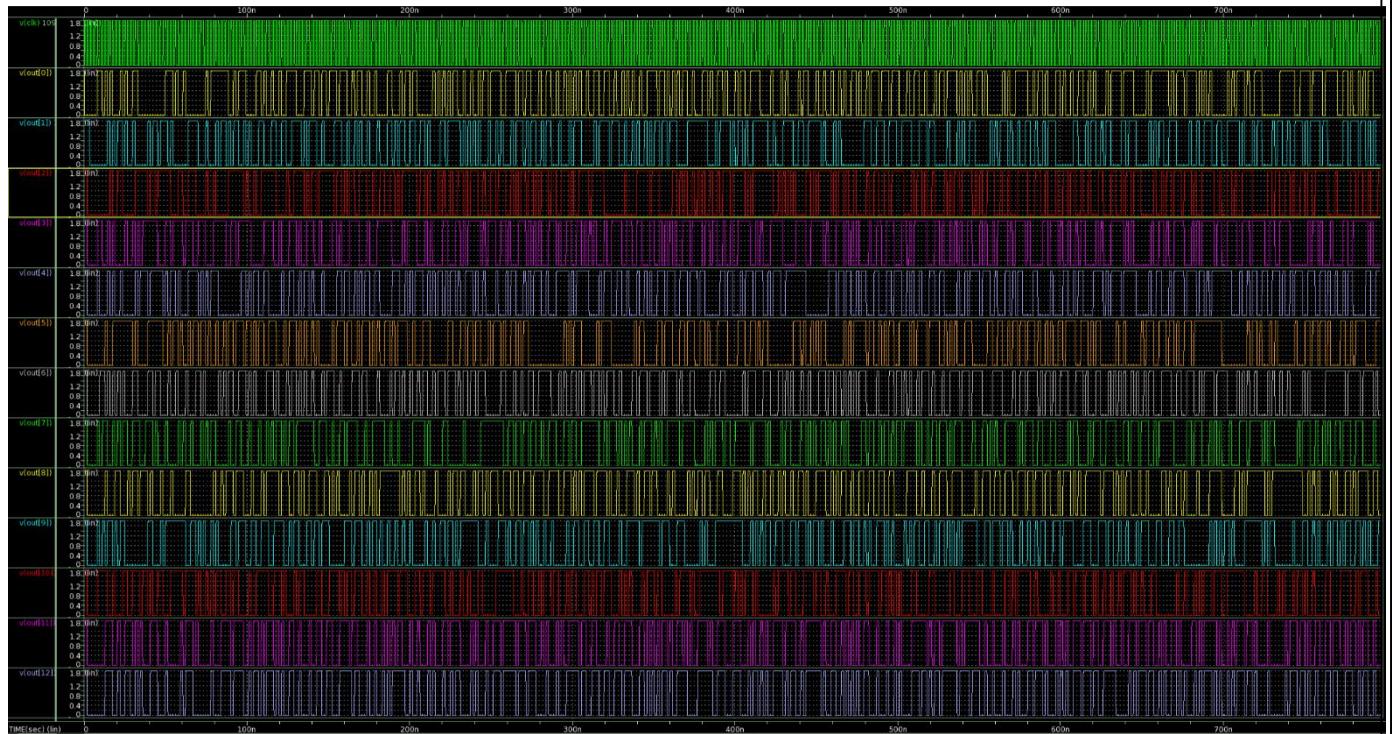
Parallel Prefix Adder (PG Logic) : AND + OR + XOR(架構同上)



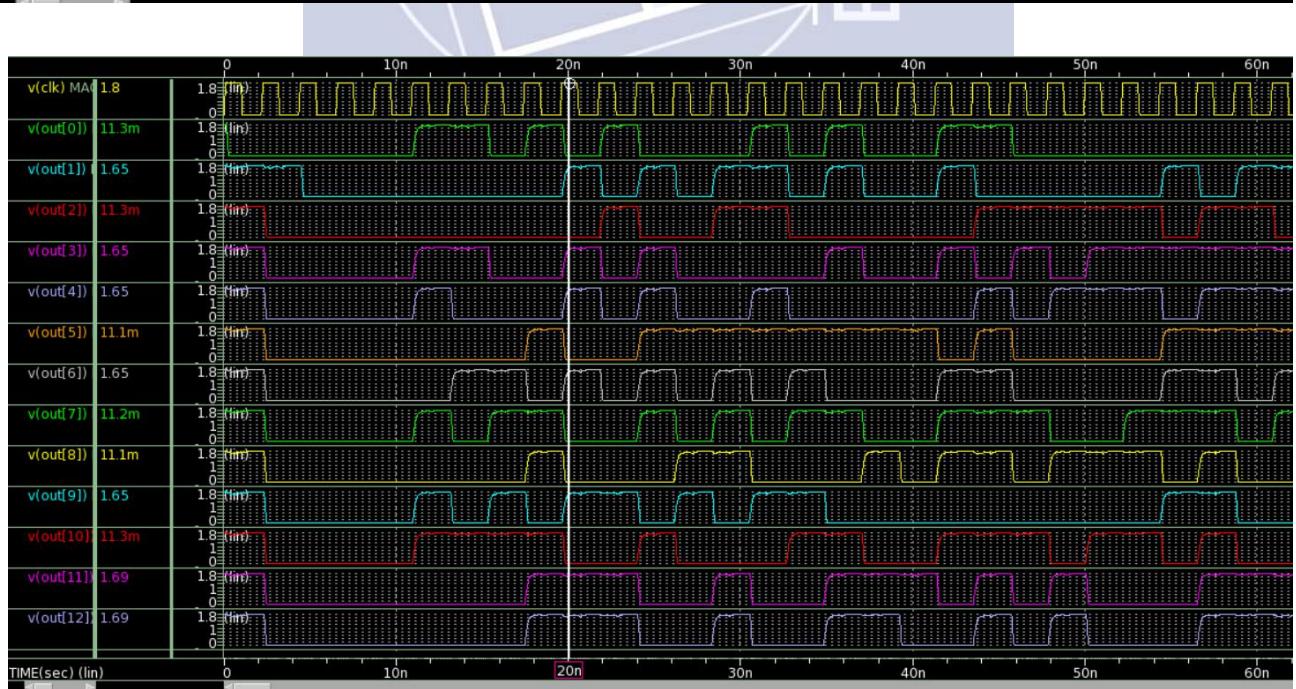
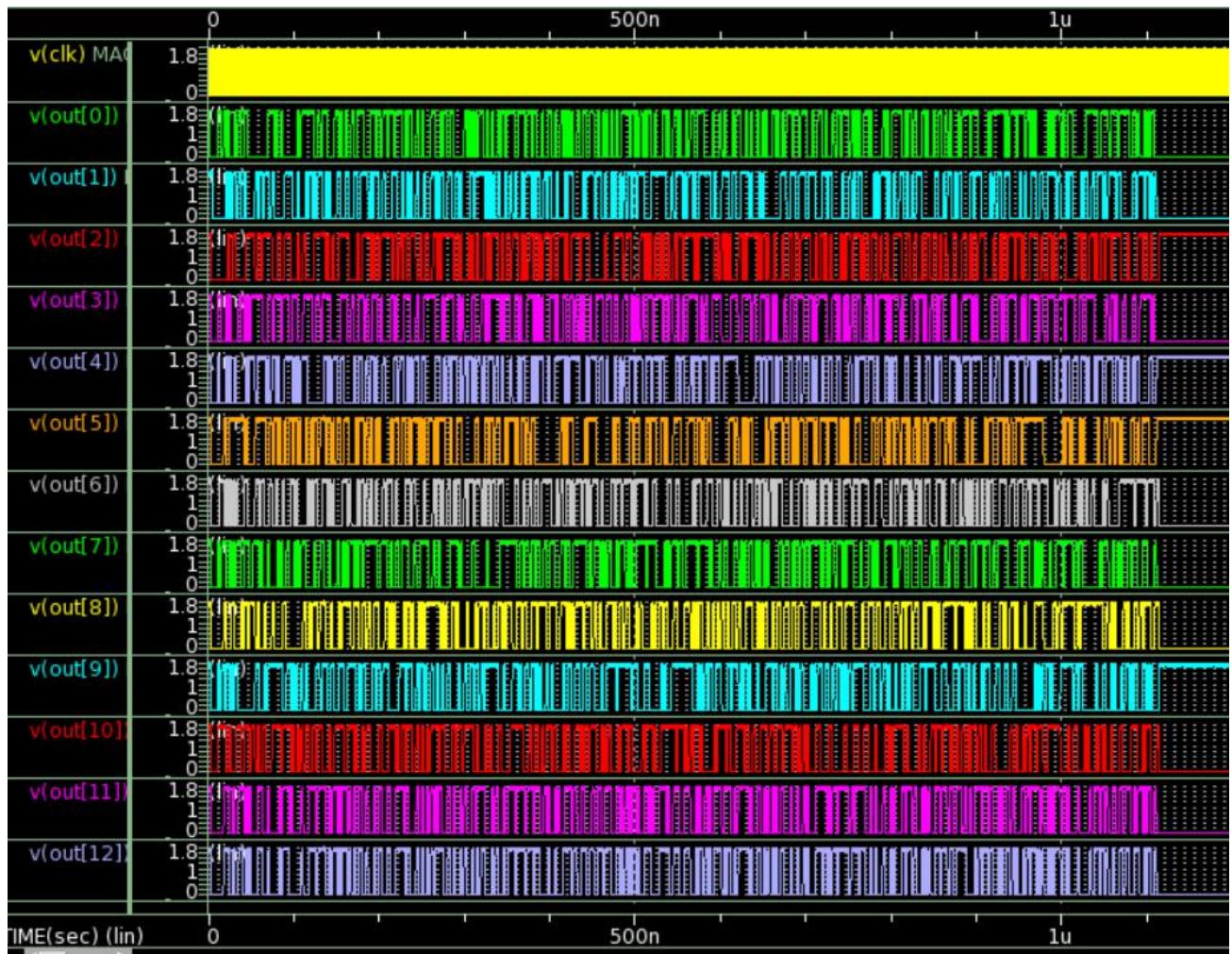
II. Simulation result

1. Output waveform (with input from MAC6.vec)

(1) Pre-sim (Output waveform)



(2) Post-sim (Output waveform)



(3) Performance list (TT case under worst case input pattern)

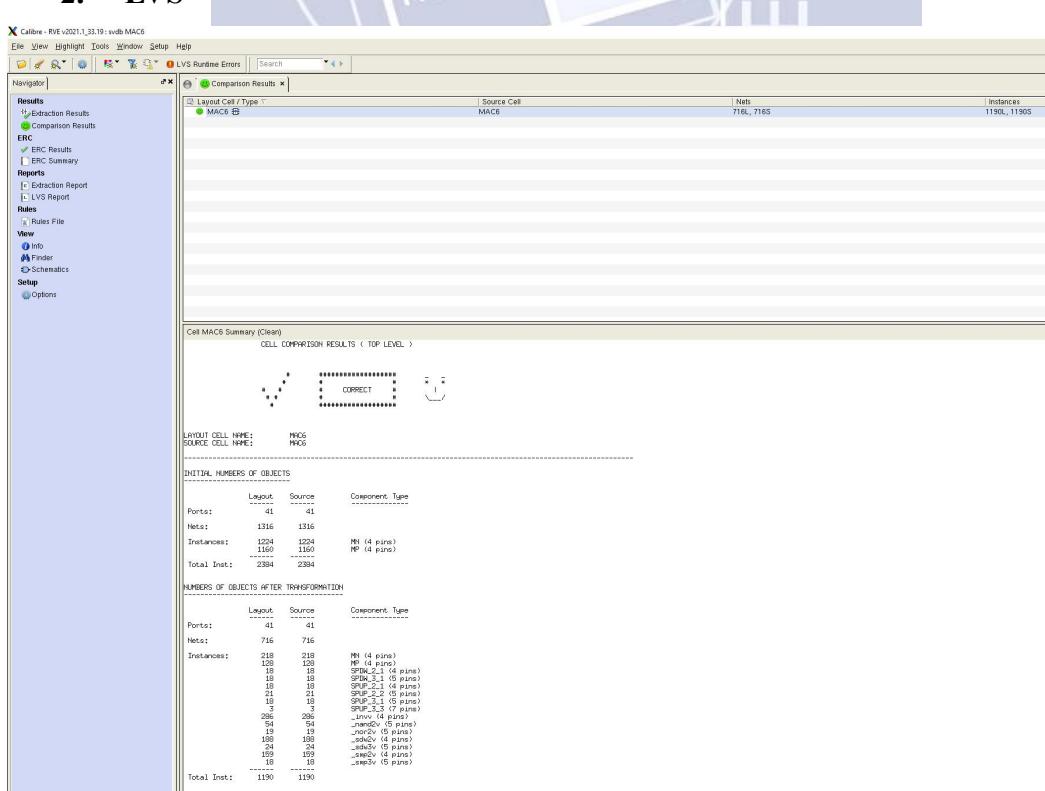
Maximum operation frequency	Pre-sim: 644MHz
	Post-sim: 460.8 MHz
Average power	Pre-sim: 2.8552 m
	Post-sim: 2.6942 m
Layout area	$69.57 * 72.185 = 5021.9$
Multiplier and adder structure	Radix-4 Booth multiplier Brent-Kung Parallel Prefix Adder
Glitch control (Yes/No)	Yes, it is lower than 0.2V

III. Verification result

1. DRC



2. LVS



IV. Discussion

1. Optimization or anything worth sharing

(1) Reduce clock cycle:

為減少 clock cycle，我們將原本需要在最後 13bit 加法相加做補數的地方改為在 CSA 中按位置加入 N0、N1、N2，完成一補數變為二補數的過渡，這樣可以避免掉多餘 ripple adder propagation，大幅減少 critical path 的時間。另外，調整 width 方面，我們盡量將 width 都調至最小(0.44u)以達到更小的 loading，增加充放電速度。

(2) Area and Speed trade off:

在切 flip-flop 時實際測試的結果發現其實如果把 pipeline 切在 CSA 第二級中間的話，能夠更加節省 clock cycle，但考慮到這樣的話需要 pipeline 的訊號會增加，造成 layout 上的困難，我們決定犧牲部份的 clock cycle 速度來使 layout 安排更好進行、減少 area。

(3) Reduce power:

根據之前幾次 lab 的實驗的觀察，pseudo 架構雖然能夠同時加速又減少 area，但是它有巨大的 power 消耗。以 Lab03 的數據來說，FA4 就會有 mW 等級的 power，十分可觀。因此我們選擇使用 complementary 架構實現大致上電路，避免過大的電流。

(4) Fan out 問題：

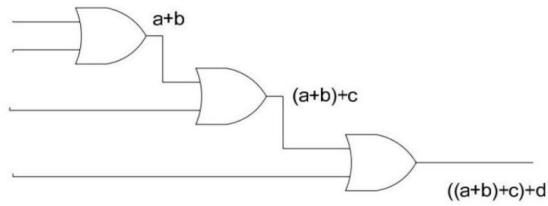
在 Lab05 gate level synthesis 中沒有 fan out 的問題，因此當時的 Parallel Prefix adder 是採用 level 數最低的 Sklansky adder 進行實作。但由於 Final Project 會經過實際 layout，因此 metal 等效電容電阻加上 fan out，會使 performance 大受影響。最終我們選用 Brent-Kung Parallel Prefix adder 就是因為 fan out 小、面積相對小而選擇的。最後注意到的是 Booth Encoding 中有大量的 signal 對應到極大的 fan out (N、S、D)，loading 會很重，因此電路中較前方的元件 sizing 會稍大一些，以推動後級的電路。

(5) Adder 架構-- Parallel prefix adders

Parallel prefix adders 是一種 adder 的形式，有點像 Carry Look Ahead 的變體，(圖一)為一般的序列表加法，(圖二)為平行加法，此 adder 的基礎就是這個，然後再加上(圖三)的 prefix 技巧，以及(圖四)的結構，此結構跟 CLA 有關，然後最後形成 Parallel prefix adders。

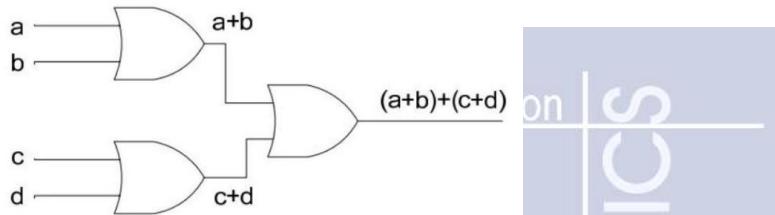
(圖一)

Serial implementation:

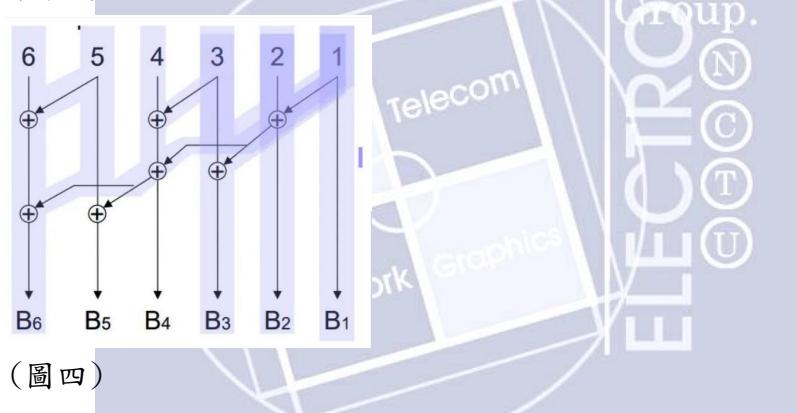


(圖二)

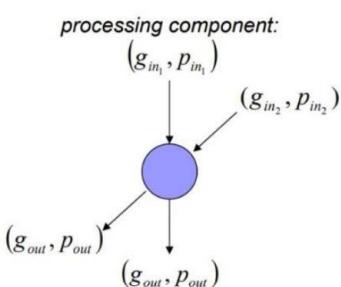
Parallel implementation:



(圖三)



(圖四)

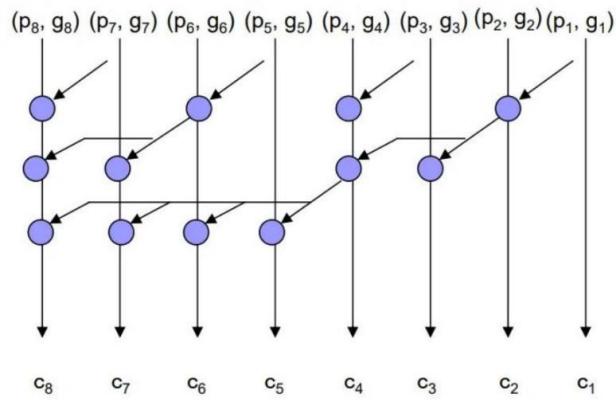


$$(g_{out}, p_{out}) = (g_{in_1} + p_{in_1} \cdot g_{in_2}, p_{in_1} \cdot p_{in_2})$$

多種 PPA 變體，其主要設計思路是在加法器範圍、電路深度、節點輸出數量和整體佈線四點上做出均衡。常見的有下圖幾種。

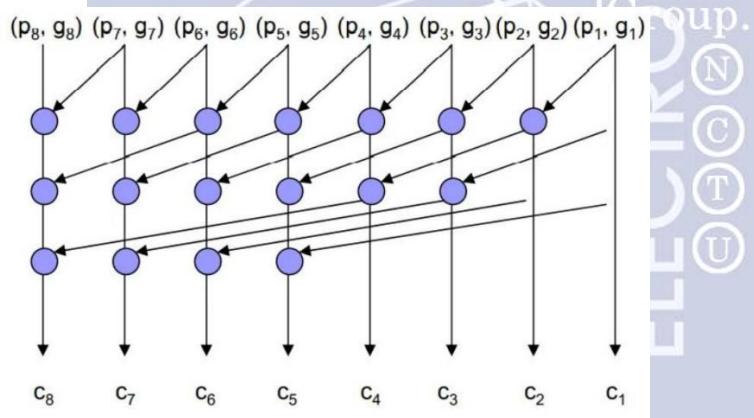
一、Ladneer-Fischer Adder

優點：低層數；缺點：fan-out 大，波型不可控



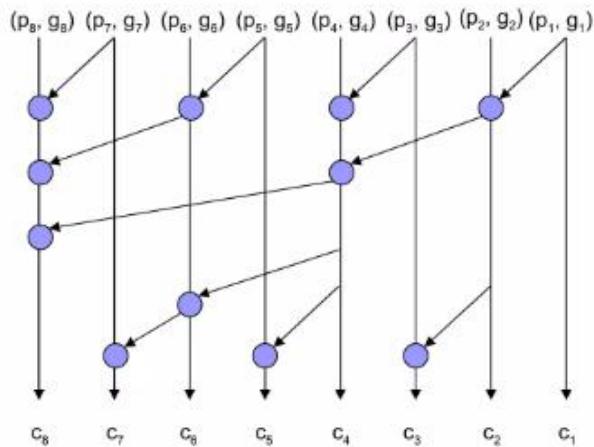
二、Kogge-Stone Adder

優點：低層數，fan-out 最小；缺點：node 數量巨大



三、Brent-Kung adder

優點：node 數少；缺點：層數較多



還有許多種變形 prefix adder model，但考慮 layout 以及 fan-out 問題後，我們決定使用 Brent-Kung adder，因為 node 數目以及 fan-out 都幾乎最少。

(6) Layout 整體布局安排：



Layout 規劃把整個電路分為幾個大架構：pipeline DFF(三個 level)、Booth Encode、CSA、13-bit Adder，根據訊號進入的順序與方向依序完成布局，最後達成長寬比接近 1:1 的方形。

Power rail 方面，考量到 N-well 位置，使用 VDD、GND 正反交錯的架構，可將兩背靠背的架構 N-well 合併在一起。Metal 1 拉出一般使用的 VDD、GND rail，再使用 Metal 6 將整體 VDD、GND rail 串接起來，垂直交錯的架構可盡量保證整個 area 的 VDD、GND 準位相同，避免準位不同可能造成延伸問題。

2. Your thoughts about VLSI LAB course and exercises

(1) 109611070 郭家均

本學期的所有 Lab 和 project 做下來真的學了很多，從最一開始單純 Pre-sim、到後來接觸 std cell design flow、full custom flow，中間還額外碰到 Verilog Synthesis 的操作。雖然 loading 很重，但整體下來非常的紮實。結合吸收 VLSI 導論的內容，然後在 Lab 中實現。其中 Lab3 的 4bit FA 做的滿有成就感的，運用 CLA 和 pseudo 架構，深深體會各電路不同特性，和一些 full-custom flow 的 layout 技巧。不過個人覺得部分 exercise 可以往多一點 Verilog 純 synthesis 的方向去做。雖然 Lab5 有 Verilog，但只有 gate level，並沒有碰到 behavior 的寫法。使用 behavior 的 Verilog 最後 Lab 的成品就可以選用規模更大、functionality 更廣泛的主題。不過最後這個 final project 真的非常有挑戰性，最後跑出成果真的很有成就感！這學期真的很充實，謝謝教授跟助教們了。

(2) 109611039 蔡宜珊

這學期的 VLSI lab 對我來說真的是最硬的課了，從第一個 lab 的 layout 出體驗到期末專題超級無敵多電晶體，覺得自己越來越血汗的同時也深刻感受到自己 layout 與 debug 實力的增長，對於曾經書本上的知識架構自己做一遍確實印象深刻很多，因為需要把每一個細節弄清楚。我覺得 vlsi lab 課程有需要改進的地方在於前後 deadline 時長的安排，前面的 lab 時間還很充裕，但到後面隨著東西越來越難還有期末的到來，時間會越來越不夠用，覺得如果能夠避開這些令人絕望的繁忙期來交報告還有安排 deadline 的話，想必能有更好的學習效果。這堂課真的有感受到教授與助教的用心，非常感謝。

(3) 109611088 楊詠晴

在 VLSILAB 這門課中，前期剛開始接觸 hspice 時，非常地不熟悉，但到現在做 Final project 時，已經會許多小技巧，雖然在剛畫 layout 時，我熟悉了很久，但經過 lab2/3 時已經大致上可以快速畫出，然後也開始學會怎麼縮面積，以及增加 performance，但是在這次畫 Final project 的時候，因為動輒就幾百幾千個 mos 起跳，而且因為 layout 太大所以我們分成三個 part 畫，在接的時候也會因為各種原因跑不過，然後經過好幾天，我們才將 layout 全部搞定，總體來說，這門課學到的東西很多，但時間卻不夠我們更精進，所以如果有更多時間學習這門課會更好。