2022 NYCU EE VLSI Lab Report

**Final Project**

**6-Bit Multiplier and Accumulator Design**

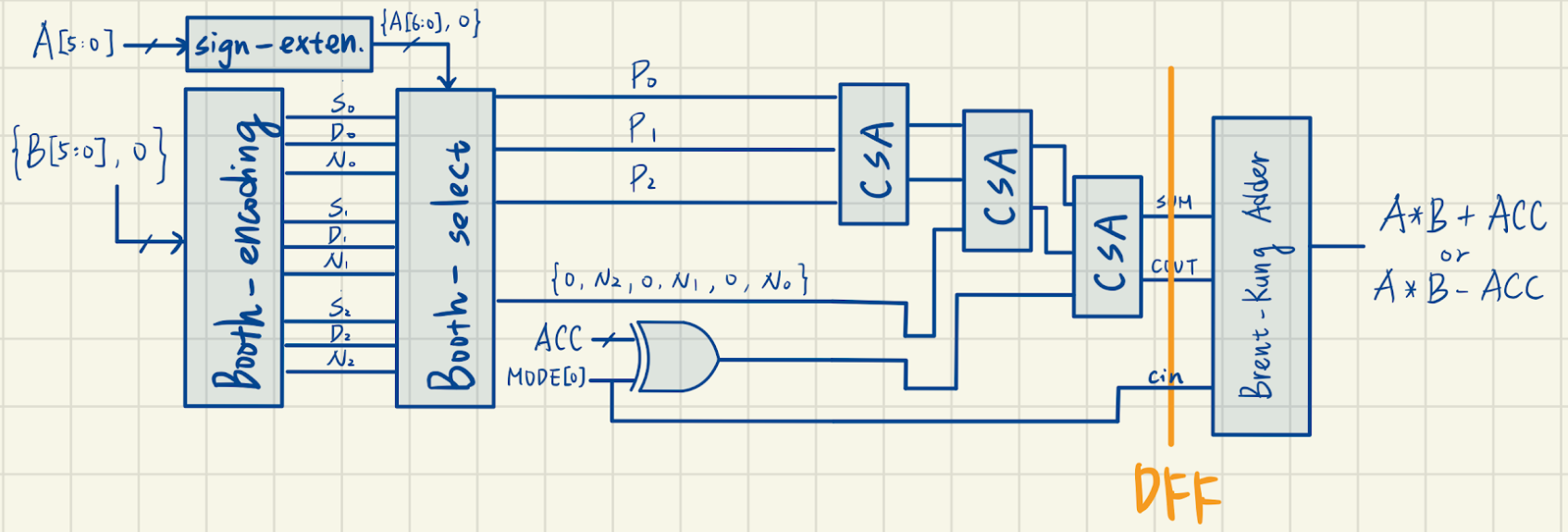
Student ID: XXXXXXXXX Name: XXX

Student ID: XXXXXXXXX Name: XXX

Student ID: XXXXXXXXX Name: XXX

Date: 2022/XX/XX

1. **Layout result**
2. **Layout picture with ruler**
3. **Design concept**
4. Pipeline multiplier design

上圖為這次lab的架構，三級pipeline分別切在頭尾，而中間在CSA接進Parallel Prefix Adder的位置切了第二級DFF。為了加速電路，ACC會先和XOR做one’s complement，並在CSA中和partial product 合在一起運算，不用等multiplier出來後再相加。

而MODE的部分當作ACC 2’complement的CIN，藉著一級DFF打到Brent-Kung Adder裡做運算。

同理Partial Product的sign-bit則是在CSA就和partial product相加，避免之後需要用propagation adder去進位。

1. Summary of structure (Roughly number of transistor / logic gate is used)

電路分成四個部分 Booth Encode、ACC-inverse、3-level CSA、

13-bit Adder

Booth Encoder

採用一般教科書的架構，因為為6\*6的multiplier，因此需要3個 encoder和3\*7個Selector。

ACC-inverse

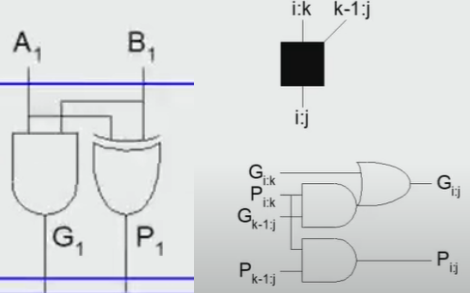
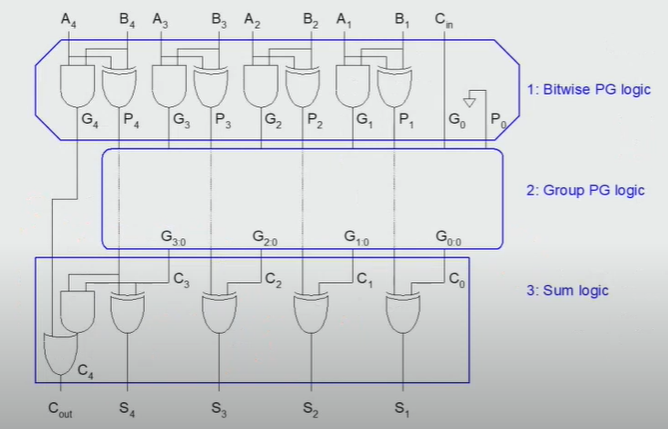
組成為簡單的XOR。利用MODE value對ACC做1’s complement。

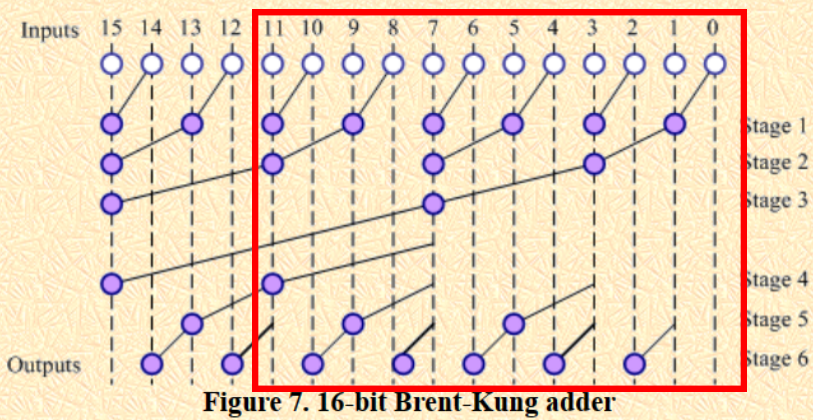
3-level CSA

組成為CCMOS FA和一般logic gate組成的HA累加3個partial product、partial product sign bit、12-bit ACC，output為13-bit SUM和 12-bit COUT。

13-bit Adder

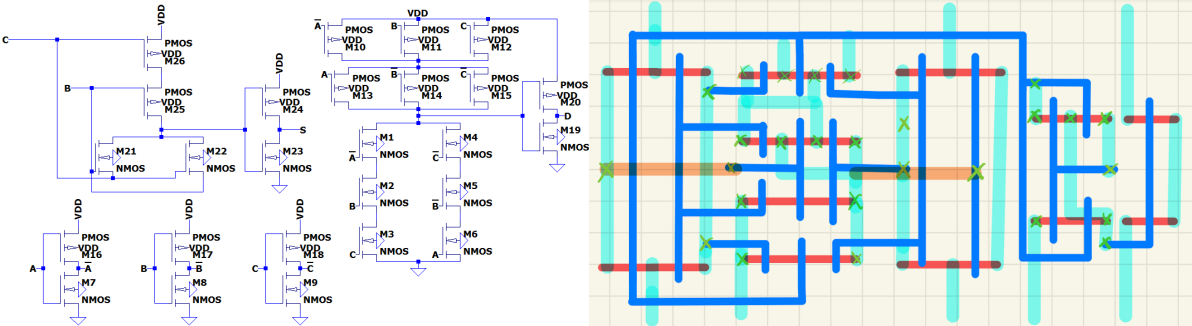
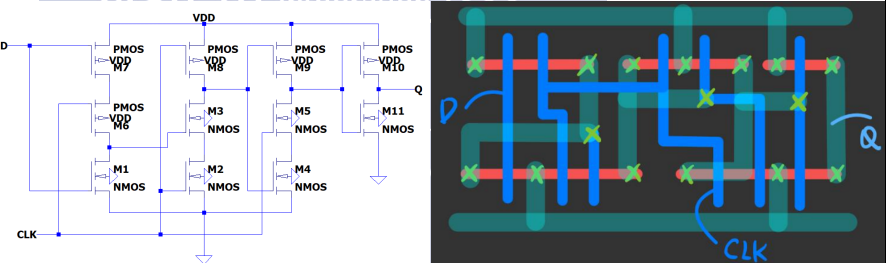
我們採用Brent-Kung Parallel prefix adder (CLA的變形)。當中用到許 多P、G Logic，架構都是一般的logic gate組成，整體架構如下圖。 下圖所有的白色圓圈(左)以及紫色圓圈(中)



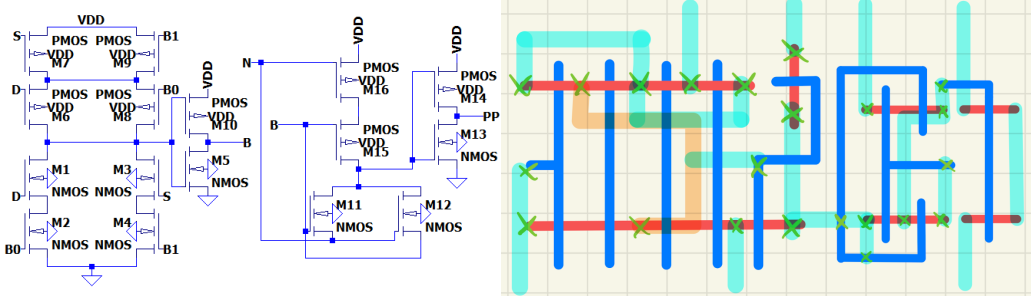


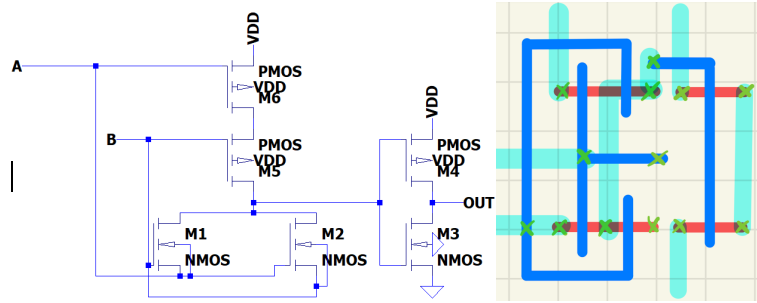
1. Circuit Schematic / Building Blocks

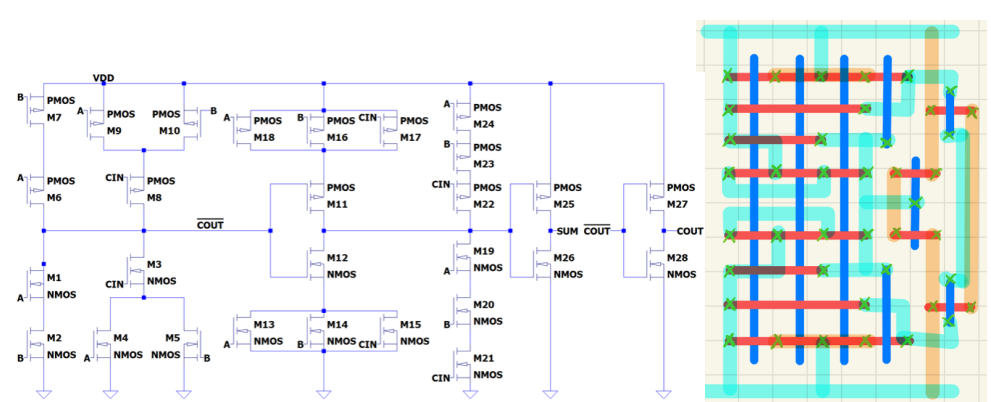
**DFF :**

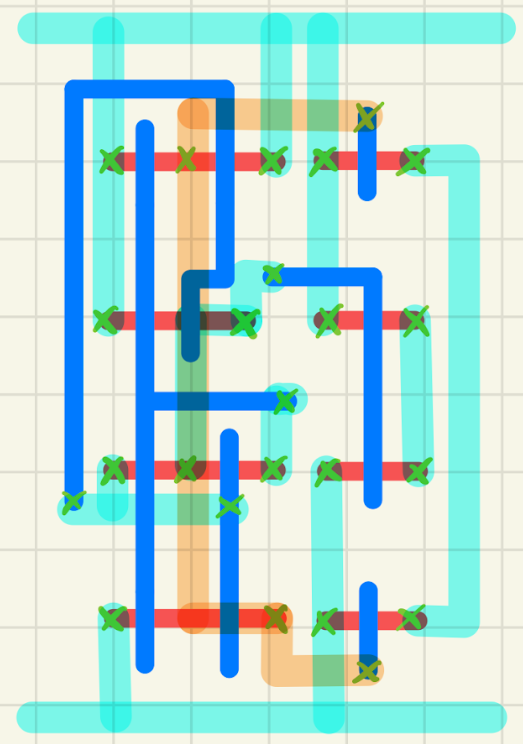
**Encoder :**

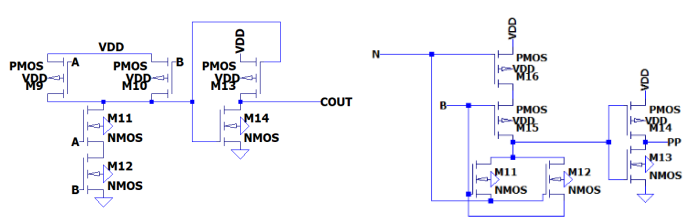
**Selector :**

**XOR :**

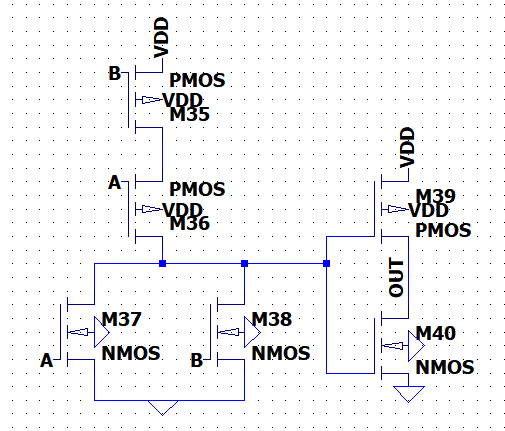
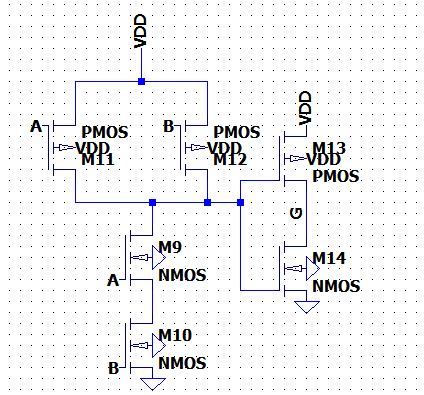


**FA :**

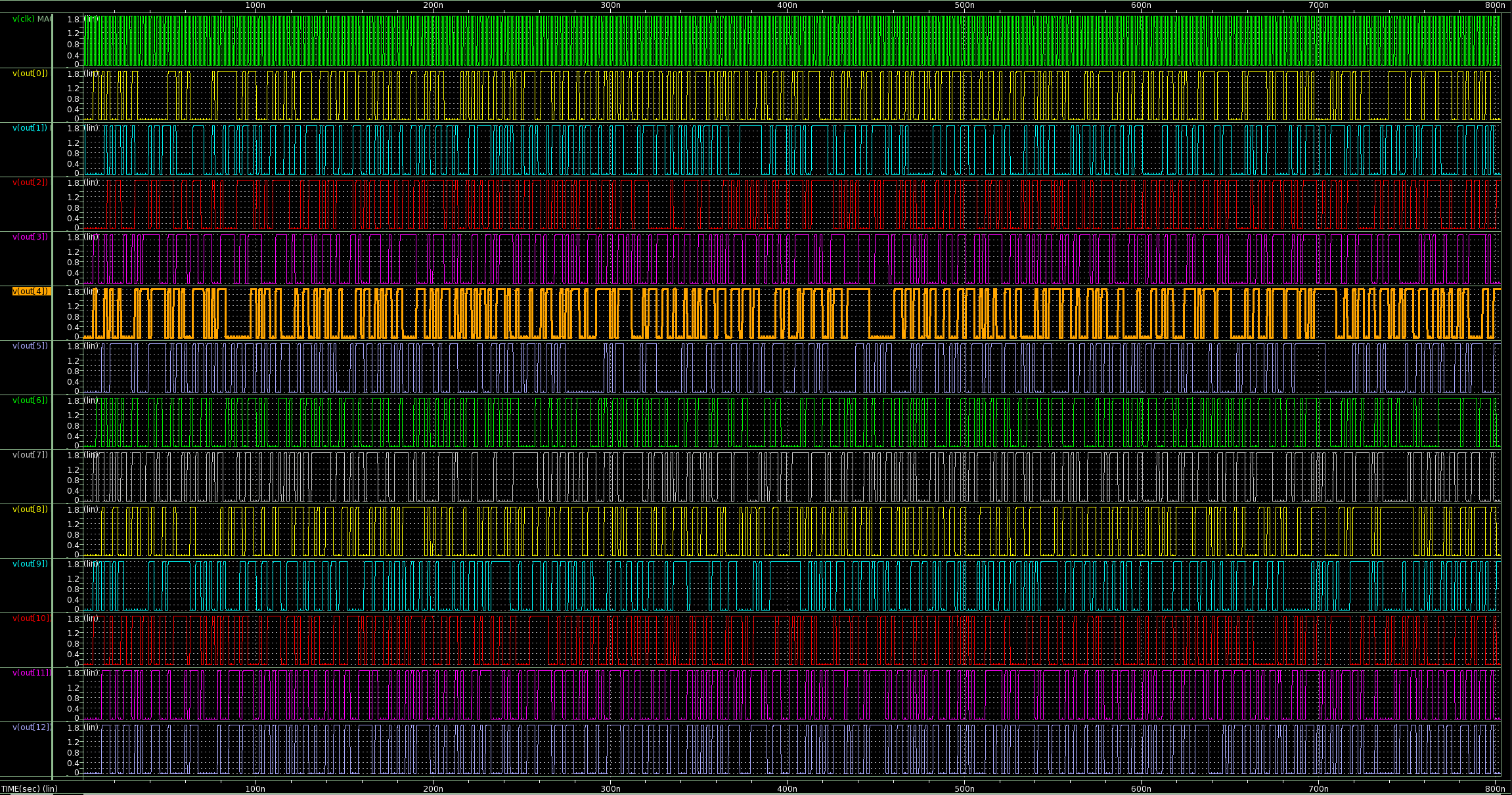
**HA : (AND + XOR)**



**Parallel Prefix Adder (PG Logic) :** OR + AND



1. **Simulation result**
2. **Output waveform**  (with input from MAC6.vec)
3. Pre-sim (Output waveform)



1. Post-sim (Output waveform)
2. Performance list (TT case under worst case input pattern)

|  |  |
| --- | --- |
| Maximum operation frequency | Pre-sim: 641MHz |
| Post-sim |
| Average power | Pre-sim: 2.85 m |
| Post-sim |
| Layout area |  |
| Multiplier and adder structure | Radix-4 Booth multiplier Brent-Kung Parallel Prefix Adder |
| Glitch control (Yes/No) | Pre-sim Yes |

1. **Verification result**
2. **DRC**
3. **LVS**
4. **Discussion**
5. **Optimization or anything worth sharing**
6. **Your thoughts about VLSI LAB course and exercises**
   1. 109611070 郭家均

本學期的所有Lab和project做下來真的學了很多，從最一開始單純 Pre-sim、到後來接觸stdcell design flow、full custom flow，中間還額外碰到Verilog Synthesis 的操作。雖然整體loading很重，但整體下來非常的紮實。結合VLSI導論的內容，吸收後在Lab中實現。其中Lab3的4bit FA做的滿有成就感的，運用CLA 和pseudo架構，深深體會個電路的不同特性，和一些full-custom flow的layout技巧。不過個人覺得有部分的exercise之類的可以往多一點Verilog 純synthesis的方向去做。雖然Lab5有Verilog，但只有用gate level，並沒有碰到behavior的寫法。使用behavior的Verilog最後Lab的成品就可以為規模更大、functionality更廣泛的主題。總之這學期真的很充實，也謝謝教授跟助教們了。

* 1. 409410012 XXX
  2. 409410012 XXX