



TECHNISCHE UNIVERSITÄT  
CHEMNITZ

Fakultät für Elektrotechnik und Informationstechnik  
Professur Leistungselektronik

Bachelorarbeit

Einfluss von magnetischer Kopplung zwischen  
Last- und Gatekommutierungskreis auf das  
Kurzschlussverhalten von Leistungstransistoren

vorgelegt von  
Tobias Konstantin Vogel

Studiengang: Elektro- und Informationstechnik, B.Sc.  
Matrikelnummer: 525879

Prüfer: Prof. Dr. Ing. Thomas Basler  
Betreuer: M. Sc. Christian Bäumler

Chemnitz, 04.08.2022



## Aufgabenstellung

Neuartige Leistungsbauelemente folgen dem Trend zunehmender Leistungs- und damit auch Packungsdichte. Hierbei kann es zu unterschiedlichen dreidimensionalen Orientierungen von verschiedenen Kommutierungskreisen kommen. Der Gatesteuerkreis und der Lastpfad können sich bspw. überlappen oder parallel zueinander verlaufen.

In einer vorherigen Untersuchung konnte festgestellt werden, dass die Ausrichtung der Kommutierungskreise zueinander einen Einfluss auf das Schaltverhalten ausüben kann. Konkret konnten magnetische Kopplungseffekte als Ursache ausgemacht werden. Aufbauend darauf soll in dieser Arbeit ein vereinfachter Aufbau zur Bauteilkontaktierung genutzt werden, um verschiedene Einflussfaktoren zu untersuchen und zu quantifizieren. Kurzschlussuntersuchungen an verfügbaren IGBT und MOSFET Chips auf DCB-Substrat sollen durchgeführt und für verschiedene Faktoren diskutiert werden.

### Theorieteil

- Magnetische Kopplungseffekte, deren Ursprung und Quantifizierung
- Oszillationen
- Kurzschluss Typ 1

### Praktischer Teil

- Entwurf eines geeigneten Messadapters um folgende Einflussfaktoren zu untersuchen:
  - Distanz
  - Abschirmlage
  - Common-Source-Induktivität
  - verschiedene Gatetreiberpositionen
- Bestimmen der Common-Source-Induktivität der unterschiedlichen Gatesteuerkreisdesigns unter dem Einfluss magnetischer Kopplung
- Durchführung von Kurzschluss Messungen für verschiedene
  - Gatewiderstände
  - Gatespannungen
  - DC-Link Spannungen

- Gatesteuerkreisdesigns
- Bauteile (IGBT und MOSFET)

## Auswertung

- Diskussion der Ergebnisse anhand der Einflussfaktoren
- Ableitung von Design-Richtlinien um unerwünschte Effekte vorzubeugen

# Inhaltsverzeichnis

<b>Nomenklatur</b>	<b>V</b>
<b>1 Einleitung</b>	<b>1</b>
<b>2 Theorieteil</b>	<b>3</b>
2.1 Parasitäre Elemente . . . . .	3
2.1.1 Kapazitäten . . . . .	3
2.1.2 Induktivitäten . . . . .	4
2.2 Magnetische Kopplung . . . . .	6
2.2.1 Allgemeine Betrachtung . . . . .	6
2.2.2 Magnetische Kopplung bei Leistungstransistoren . . . . .	8
2.2.3 Beispielhafte Herleitung des Kopplungsmechanismus . . . . .	9
2.3 Oszillationen . . . . .	11
2.4 Kurzschluss . . . . .	11
<b>3 Bestimmung parasitärer Komponenten</b>	<b>15</b>
3.1 Parasitäre Kapazitäten bei IGBTs und MOSFETs . . . . .	15
3.2 Gateinduktivität . . . . .	15
3.3 Parasitäre Induktivität im Lastkreis . . . . .	16
3.4 Effektiv wirksame Common-Source-Induktivität . . . . .	16
<b>4 Design der Messschaltungen</b>	<b>19</b>
4.1 Messaufbau . . . . .	19
4.2 Platine 1 . . . . .	21
4.3 Platine 2 . . . . .	23
<b>5 Ergebnisse der Kurzschlussversuche</b>	<b>27</b>
5.1 Vorstellung der Prüflinge . . . . .	27
5.2 Kurzschlussversuche an PCB 1 . . . . .	28
5.3 Kurzschlussversuche an PCB 2 . . . . .	29
5.3.1 GDU Positionen der Varianten . . . . .	29
5.3.2 Einfluss Gatespannung und Gatewiderstände . . . . .	32
5.3.3 Einfluss Abstand der Platinen und Kupferschirmung . . . . .	33
5.3.4 Einfluss Gatewiderstände auf Schwingverhalten . . . . .	33

5.3.5 Einfluss DC-Link-Spannung auf Schwingverhalten . . . . .	36
<b>6 Zusammenfassung</b>	<b>39</b>
<b>7 Ausblick</b>	<b>41</b>
<b>A Appendix</b>	<b>i</b>
A.1 Erfüllung der Bedingungen für die CSI Messung . . . . .	i
A.2 Messwerte . . . . .	ii
A.3 Messaufbau . . . . .	ii
A.4 Spannungsabfall über Schutz-IGBT . . . . .	iii
A.5 Kurzschlussmessung . . . . .	v
<b>Literatur</b>	<b>vi</b>

## Nomenklatur

Bezeichnung	Beschreibung	Einheit
$A$	Fläche	$\text{m}^2$
$B$	magnetische Flussdichte	$\frac{\text{Vs}}{\text{m}^2}$
$C$	elektrische Kapazität	F
$C_{\text{CE}}$	Kollektor-Emitter Kapazität	F
$C_{\text{DS}}$	Drain-Source Kapazität	F
$C_{\text{GC}}$	Gate-Kollektor Kapazität	F
$C_{\text{GD}}$	Gate-Drain Kapazität	F
$C_{\text{GE}}$	Gate-Emitter Kapazität	F
$C_{\text{GS}}$	Gate-Source Kapazität	F
$C_{\text{ies}}$	Eingangskapazität IGBT	F
$C_{\text{iss}}$	Eingangskapazität MOSFET	F
$C_{\text{oes}}$	Ausgangskapazität IGBT	F
$C_{\text{oss}}$	Ausgangskapazität MOSFET	F
$C_{\text{res}}$	Rückwirkungskapazität IGBT	F
$C_{\text{rss}}$	Rückwirkungskapazität MOSFET	F
CSI	Common-Source-Induktivität	—
DCB	direct copper bonded	—
DUT	device under test, zu testendes Bauteil	—
$f$	Frequenz	Hz
$f_0$	Resonanzfrequenz	Hz
$H$	magnetische Feldstärke	$\frac{\text{A}}{\text{m}}$
$I$	elektrischer Strom	A
$I_C$	Kollektorstrom	A
$I_D$	Drainstrom	A
$I_G$	Gatestrom	A
IGBT	insulated-gate bipolar transistor	—
$k$	Kopplungsfaktor	—
$L$	Induktivität	H
$L_{\text{CS}}$	Common-Source-Induktivität	H
$L_{\text{CS}}^*$	effektiv wirksame Common-Source-Induktivität	H

$L_G$	Gateinduktivität	H
$L_G^*$	effektiv wirksame Gateinduktivität	H
$L_{\text{Par}}$	parasitäre Induktivität im Lastkreis	H
$L_{\text{Par}}^*$	effektive parasitäre Induktivität im Lastkreis	H
$L_{\text{Par\_high}}$	parasitäre Induktivität im Highside-Lastkreis	H
$L_{\text{Par\_low}}$	parasitäre Induktivität im Lowside-Lastkreis	H
$M$	Gegeninduktivität	H
$M_{\text{CP}}$	Gegeninduktivität zwischen $L_{\text{CS}}$ und $L_{\text{Par}}$	H
$M_{\text{GC}}$	Gegeninduktivität zwischen $L_G$ und $L_{\text{CS}}$	H
$M_{\text{GP}}$	Gegeninduktivität zwischen $L_G$ und $L_{\text{Par}}$	H
MOSFET	metal oxide semiconductor field-effect transistor	—
$N$	Windungszahl	—
PCB	printed circuit board, Platine	—
$R$	elektrischer Widerstand	$\Omega$
$R_{\text{Goff}}$	Ausschalt-Gatewiderstand	$\Omega$
$R_{\text{Gon}}$	Einschalt-Gatewiderstand	$\Omega$
SIGBT	Schutz IGBT	—
$t$	Zeit	s
TCP	Temperaturkompensationspunkt	—
$U$	elektrische Spannung	V
$U_{\text{CE}}$	Kollektor-Emitter-Spannung	V
$U_{\text{DC}}$	DC-Link Spannung	V
$U_{\text{DS}}$	Drain-Source-Spannung	V
$U_{\text{GE}}$	Gate-Emitter-Spannung	V
$U_{\text{Goff}}$	Spannung des Gatetreibers im ausgeschalteten Zustand	V
$U_{\text{Gon}}$	Spannung des Gatetreibers im eingeschalteten Zustand	V
$U_{\text{GS}}$	Gate-Source-Spannung, Gatespannung	V
$\varphi$	Phasenwinkel zwischen Spannung und Strom	$^\circ$
$\Phi$	magnetischer Fluss	Vs
$\omega$	Winkelgeschwindigkeit	$\text{s}^{-1}$

---

# 1 Einleitung

Leistungstransistoren sind ein zentrales Bauelement in leistungselektronischen Schaltungen. Sie dienen als steuerbare Schalter und sind von großer Bedeutung für die Auslegung und Effizienz. In der Praxis werden vor allem Metall-Oxid-Halbleiter-Feldeffekttransistoren, auf Englisch metal-oxide-semiconductor field-effect transistor (MOSFET) und Bipolartransistoren mit isoliertem Gate, auf Englisch insulated-gate bipolar transistor (IGBT), verwendet. Auch Transistoren aus Wide-Bandgap Materialien finden vermehrt Verwendung. Dabei handelt es sich beispielsweise um Siliziumcarbid (SiC) MOSFETs. Durch diese neuen Technologien, aber auch durch Fortschritte bei IGBTs und MOSFETs werden zunehmend schnellere Schaltfrequenzen möglich, welche im Sinne höherer Wirkungsgrade und Leistungsdichten angestrebt werden.

Dem Trend zu höheren Integrationsdichten wird mit neuen Designkonzepten wie der dreidimensionalen Integration begegnet. Dadurch können unter anderem parasitäre Induktivitäten verringert werden, was ein besseres Ausnutzen des Potentials von neuen Transistorgenerationen ermöglicht. [1] Durch geringere räumliche Abstände kann hingegen die magnetische Kopplung zwischen den parasitären Induktivitäten ausgeprägter ausfallen. Insbesondere zwischen Gatekommunikierungs- und Lastkreis ist sie von besonderer Bedeutung und spiegelt sich in der Induktivität, die gleichzeitig im Gate- und Lastkreis auftritt, der Common-Source-Induktivität (CSI), wider. Dieser Zusammenhang und ein Messverfahren zu der Bestimmung der CSI unter dem Einfluss magnetischer Kopplung, die als effektiv wirksame CSI bezeichnet wird, werden in den Untersuchungen [2], [3] vorgestellt. Weiterhin konnte ein großer Einfluss der CSI auf das Schaltverhalten festgestellt werden [2], [4]. In [5] werden nicht abklingende Oszillationen nach dem Abschalten mit der CSI erklärt.

Diese Erkenntnisse legen nahe, dass im Kurzschluss und dem damit zusammenhängenden hohen Stromanstieg die magnetische Kopplung ebenfalls eine große Rolle für die Belastung des Bauteils spielt. In [6] konnte die Auswirkung der CSI im Kurzschluss II und III von IGBTs identifiziert werden, wobei die magnetische Kopplung nicht betrachtet wurde.

Im Rahmen dieser Arbeit soll die Wirkungskette beginnend mit der von dem Aufbau bedingten magnetischen Kopplung zwischen Gatekommunikierungs- und

Lastkreis über die effektive CSI bis zum Verhalten im Kurzschluss I untersucht werden. Die Messwerte, welche für diese Arbeit aufgenommen wurden, werden ebenfalls in [7] verwendet, wobei andere Schwerpunkte gesetzt werden.

Nach der Einleitung werden im Kapitel 2 die theoretischen Hintergründe, auf denen die folgenden Kapitel aufbauen, aufgeführt. Zunächst werden die für diese Arbeit relevanten parasitären Elemente lokalisiert und deren physikalische Grundlagen erläutert. Dabei liegt ein besonderer Fokus auf den Induktivitäten und der magnetischen Kopplung zwischen diesen. Aus der theoretischen Betrachtung der magnetischen Kopplung bei einem Leistungstransistor wird der Zusammenhang mit der CSI hergeleitet. Weiterhin wird auf elektrische Oszillationen und den Kurzschluss I bei IGBTs und MOSFETs eingegangen.

Das Kapitel 3 widmet sich den Methoden, die zur Bestimmung der parasitären Komponenten in dieser Arbeit angewendet werden. Die Herangehensweisen für das Messen der parasitären Kapazitäten der Transistoren, der Gateinduktivität und der parasitären Induktivität im Lastkreis entsprechen gängiger Praxis und werden kurz erläutert. Die Methode zur Bestimmung der effektiv wirksamen CSI wird vorgestellt und die Bedingungen für deren Gültigkeit erläutert.

Der Schwerpunkt des Kapitels 4 liegt auf dem Aufbau für die Kurzschlussmessungen und dem der Platinen im Detail. Neben den einzelnen Komponenten und Messinstrumenten werden die Messergebnisse der parasitären Komponenten präsentiert. Außerdem wird der Zusammenhang des Aufbaus der Platinen und deren verschiedenen Varianten mit den Messergebnissen für Gateinduktivität und effektiv wirksame CSI hergestellt.

Die Ergebnisse der Kurzschlussversuche werden, nach der Vorstellung der Prüflinge, im Kapitel 5 dargestellt. Dabei wird der Einfluss von verschiedenen Kombinationen von Platine und damit der effektiv wirksamen CSI mit anderen Parametern wie Gatespannung, Abstand der Platinen, Gatewiderstand und DC-Link-Spannung beschrieben und diskutiert.

Es folgt eine Zusammenfassung der Ergebnisse und von praktischen Hinweisen zum Aufbau von leistungselektronischen Schaltungen in Kapitel 6. Abschließend werden Forschungsfragen aufgeführt, die auf den Ergebnissen dieser Arbeit aufbauen und zukünftig bearbeitet werden könnten.

## 2 Theorieteil

### 2.1 Parasitäre Elemente

Parasitäre Elemente ergeben sich aus unerwünschten elektrischen Eigenschaften, die dem Aufbau von elektronischen Schaltungen und deren Elementen innewohnen. So kann jeder leitfähigen Verbindung ein Widerstand und eine Induktivität zugeordnet werden, und zwischen zwei Leitern unterschiedlichen Potentials bildet sich ein elektrisches Feld aus, was zu einer Kapazität führt.

Im Folgenden sollen die wichtigsten parasitären Komponenten verortet und deren Entstehen geklärt werden. Parasitäre Widerstände spielen in dieser Arbeit eine untergeordnete Rolle, weshalb nicht explizit auf sie eingegangen wird.

#### 2.1.1 Kapazitäten

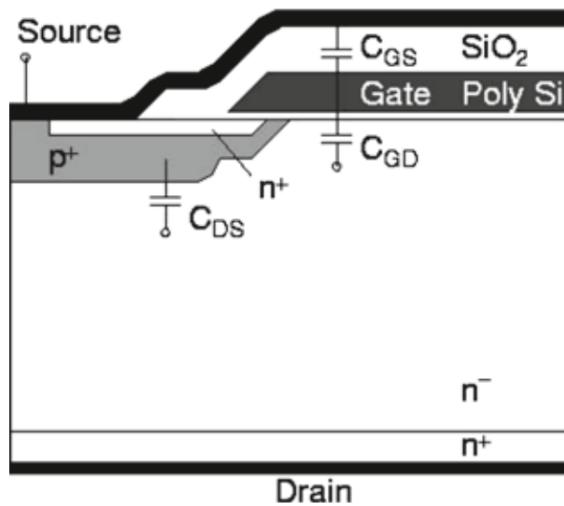


Abbildung 2.1: Querschnitt einer lateralen MOSFET Struktur und schematische Verortung der parasitären Kapazitäten [8] S. 204

Bedingt durch deren Aufbau und das Funktionsprinzip treten bei MOSFETs und IGBTs parasitäre Kapazitäten auf. Diese sind für das Schalt- und Kurzschlussverhalten von großer Bedeutung, da eine Spannungsänderung  $\frac{du}{dt}$  über einer Kapazität  $C$  entsprechend Gleichung 2.1 einen Verschiebestrom  $i$  zur Folge hat.

$$i = C \frac{du}{dt} \quad (2.1)$$

In Abbildung 2.1 ist beispielhaft der Querschnitt durch einen MOSFET mit zugehörigen Kapazitäten dargestellt. Die Gate-Source Kapazität  $C_{GS}$  kommt durch die von Sourcingmetallisierung überdeckten Gateelektroden bei gleichzeitig geringem Abstand zu Stande. Der pn-Übergang zwischen Driftzone und p-Wanne bildet eine Raumladungszone aus, welche die Drain-Source Kapazität  $C_{DS}$  bildet. Wie die Weite der Raumladungszone ist sie von der Drain-Source Spannung abhängig. Zwischen Gateelektrode und Driftzone liegt die Gate-Drain Kapazität  $C_{GD}$ . Sie ist ebenfalls von der Drain-Source Spannung abhängig. Analog dazu finden sich bei IGBTs  $C_{GE}$ ,  $C_{CE}$  und  $C_{GC}$ .[9]

Im Datenblatt von Leistungstransistoren werden in der Regel die Kleinsignalkapazitäten angegeben. Sie sind direkt am Bauteil messbar. Zwischen Gate und Source kann die Eingangskapazität  $C_{iss}$ , zwischen Gate und Drain die Rückwirkungskapazität (auch Millerkapazität)  $C_{rss}$  und zwischen Drain und Source die Ausgangskapazität  $C_{oss}$  gemessen werden. Der Zusammenhang zwischen transistorinternen Kapazitäten und Kleinsignalkapazitäten ist in Gleichung 2.2–2.4 dargestellt.[9]

$$C_{iss} = C_{GS} + C_{GD} \quad (2.2)$$

$$C_{rss} = C_{GD} \quad (2.3)$$

$$C_{oss} = C_{GD} + C_{DS} \quad (2.4)$$

Für IGBTs setzen sich die Kleinsignalkapazitäten gleichermaßen zusammen, werden jedoch mit  $C_{ies}$ ,  $C_{res}$  und  $C_{oes}$  bezeichnet [9].

### 2.1.2 Induktivitäten

Es bieten sich verschiedene Anordnungen zum Erklären und Herleiten der Induktivität an. Eine simple Anordnung ist der unendlich lange Leiter als idealisierte Darstellung von langen, geraden Leitern. Für die Herleitung von dessen Induktivität sei auf [10] verwiesen. Eine grobe Abschätzung der Induktivität von Leitungen kann mit näherungsweise 10 nH/cm getroffen werden [8]. Durch parallele, dicht beieinander liegende Anordnung von Zu- und Rückleitung kann die Induktivität durch magnetische Kopplung deutlich reduziert werden. Weiterhin weisen breite Leiterzüge eine geringere Induktivität auf als schmale. [11]

Eine andere Anordnung, auf die im Folgenden genauer eingegangen wird, ist die der Leiterschleife. Sie dient im Abschnitt 2.2.1 auch der Herleitung der magnetischen Kopplung.

Wird eine Leiterschleife von einem Strom  $i$  durchflossen, so bildet sich, wie in Abbildung 2.2 illustriert, um den Leiter ein zum Strom proportionales magne-

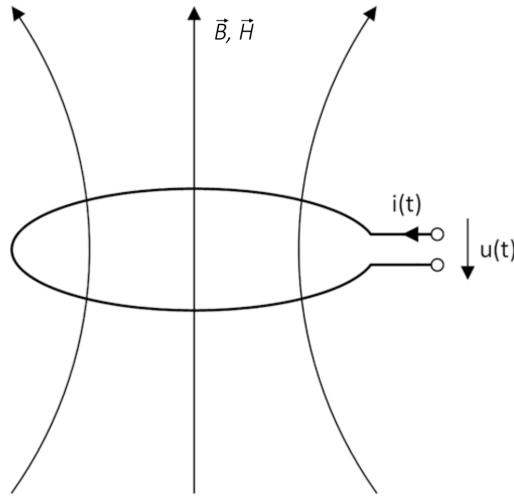


Abbildung 2.2: Schematische Darstellung des magnetischen Felds bzw. der Flussdichte einer Leiterschleife, hervorgerufen durch einen Strom  $i(t)$  und der durch Selbstinduktion induzierten Spannung  $u(t)$  nach [12] S. 298

tisches Feld  $H$  aus, das die Schleife durchsetzt. Das magnetische Feld ist durch die Permeabilität  $\mu$  mit der magnetischen Flussdichte  $B$  verknüpft. Bei nicht ferromagnetischen Materialien liegt die relative Permeabilität bei  $\mu_r \approx 1$ . Wird die Flussdichte über die von ihr durchsetzte Spulenfläche  $A$  integriert, so erhält man den durch den Strom hervorgerufenen magnetischen Fluss  $\Phi$ . Strom und magnetischer Fluss hängen durch die Induktivität  $L$  der Schleife zusammen. [12]

$$L = \frac{\Phi}{i} \quad (2.5)$$

Bei Spulen mit mehreren Windungen wird die Flussverkettung  $\Psi = N \cdot \Phi$  verwendet. In den hier betrachteten Anordnungen gilt immer  $N = 1$  und damit  $\Phi = \Psi$ . Nach dem Induktionsgesetz in Gleichung 2.6 induziert eine Änderung des Flusses  $\frac{d\Phi}{dt}$  durch eine Spule mit  $N = 1$  Windungen eine Spannung  $u$  [12]. Spannung und Strom sind hier nach dem Verbraucherzählpfeilsystem definiert.

$$u = \frac{d\Phi}{dt} \quad (2.6)$$

Setzt man Gleichung 2.5 ein, so erhält man für die induzierte Spannung in Abhängigkeit der Stromänderungsgeschwindigkeit.

$$u = L \frac{di}{dt} \quad (2.7)$$

## 2.2 Magnetische Kopplung

### 2.2.1 Allgemeine Betrachtung

In Abbildung 2.3 wird die magnetische Kopplung von zwei Leiterschleifen veranschaulicht. Größen, bei denen der Ort der Ursache und Wirkungsort unterschiedlich sein können, werden mit doppelten Indizes versehen, wobei der Erste den Wirkungsort und der Zweite den Ort der Ursache beschreibt [11]. Fließt durch Schleife 1 ein Strom  $i_1$ , so ruft dieser einen magnetischen Fluss  $\Phi_{11}(I_1)$  hervor. Die Selbstinduktivität

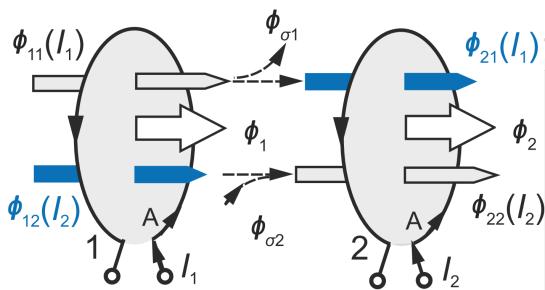


Abbildung 2.3: Gleichsinnig gekoppelte Leiterschleifen mit schematischer Darstellung der magnetischen Flüsse durch diese, nach [11] S. 279

duktivität  $L_{11}$  verknüpft Strom und Fluss miteinander. Ein Teil dieses Flusses,  $\Phi_{21}$ , durchsetzt Spule 2 und ist durch die Gegeninduktivität  $M_{21}$  mit  $i_1$  verknüpft. Gleichermaßen führt eine Betrachtung ausgehend von Leiterschleife 2 zu deren Selbstinduktivität  $L_{22}$  und Gegeninduktivität  $M_{12}$ .

$$\Phi_{11} = L_{11} \cdot i_1 \quad (2.8)$$

$$\Phi_{21} = M_{21} \cdot i_1 \quad (2.9)$$

$$\Phi_{22} = L_{22} \cdot i_2 \quad (2.10)$$

$$\Phi_{12} = M_{12} \cdot i_2 \quad (2.11)$$

Bei konstanter Permeabilität, wovon in Folgenden ausgegangen wird, gilt  $\Phi_{12} = \Phi_{21}$  und dadurch  $M_{12} = M_{21} = M$ . Der resultierende Fluss durch die jeweilige Leiterschleife setzt sich aus dem Fluss, der durch einen Strom durch sie selbst zustande kommt, und aus dem Fluss der anderen Spule zusammen. Das Vorzeichen des Flusses der anderen Spule wird von der geometrischen Anordnung und der Stromrichtung durch diese bestimmt.

$$\Phi_1 = \Phi_{11} + \Phi_{12} \quad (2.12)$$

$$\Phi_2 = \Phi_{22} + \Phi_{21} \quad (2.13)$$

Mit der Annahme, dass alle Induktivitäten konstant sind, ergibt sich durch Einsetzen des resultierenden Flusses in das Induktionsgesetz (Gleichung 2.6).

$$u_1 = L_{11} \frac{di_1}{dt} + M \frac{di_2}{dt} \quad (2.14)$$

$$u_2 = L_{22} \frac{di_2}{dt} + M \frac{di_1}{dt} \quad (2.15)$$

Diese Gleichungen beschreiben das elektrische Verhalten der Anordnung vollständig und gelten dadurch für alle Schaltbilder in Abbildung 2.4.

Wie das Vorzeichen des magnetischen Flusses wird das der Gegeninduktivität durch die geometrische Anordnung (Wicklungssinn) und die Definition der Stromrichtung festgelegt. Für die Bestimmung des Vorzeichens muss zunächst der Wicklungssinn der Leiterschleifen ermittelt werden. Dies kann durch die Punkteregel erfolgen. Ein gedachter Strom in Schleife 1 ruft einen magnetischen Fluss hervor, dessen Richtung von der Rechte-Hand-Regel festgelegt ist. Diejenige Seite von  $L_{11}$ , in die der Strom hinein fließt, wird mit einem Punkt markiert. Entsprechend der Lenz'schen Regel würde eine Flussänderung in Schleife 2 zu einem Strom führen, dessen Fluss seiner Ursache entgegengerichtet ist. Diese Stromrichtung kann ebenfalls mit der Rechte-Hand-Regel bestimmt werden. Auf derjenigen Seite von  $L_{22}$ , auf der dieser Strom austritt, wird ein weiterer Punkt gesetzt.[12]

Die Vorzeichenregel definiert das Vorzeichen der Gegeninduktivität  $M$  sowie von  $\Phi_{12}$  und  $\Phi_{21}$  in den Flussgleichungen (Gleichung 2.12, 2.13). Zunächst müssen die Strom- und Spannungspfeile über den Induktivitäten nach dem Verbraucherzählpfeilsystem festgelegt sein. Zeigen die Strompfeile für beide Induktivitäten jeweils in die markierte Seite hinein oder heraus, so wird ein positives Vorzeichen gewählt (gleichsinnige Wicklung, Abbildung 2.4 a)). Wenn einer der Strompfeile aus der markierten Seite heraus zeigt und der andere hinein, so ist das Vorzeichen negativ (gegensinnige Wicklung, Abbildung 2.4 b)). [11]

Eine wichtige Größe, um die magnetische Kopplung zu beschreiben, ist der Kopplungsfaktor  $k$ . Er bildet sich aus dem Verhältnis des Flusses durch Leiterschleife 2 ausgehend von Schleife 1 zum Fluss, der durch Schleife 1 zustande kommt. Gleches gilt bei umgekehrter Betrachtung.

$$k = \frac{\Phi_{21}}{\Phi_{11}} = \frac{\Phi_{12}}{\Phi_{22}} \quad (2.16)$$

Weiterhin stellt der Kopplungsfaktor einen Zusammenhang zwischen den gekoppelten Induktivitäten und der Gegeninduktivität her. In Abhängigkeit des Vorzeichens von  $\Phi_{12}$  oder  $\Phi_{21}$  beziehungsweise  $M$  kann der Kopplungsfaktor auch negative

Werte annehmen [12].

$$k = \frac{M}{\sqrt{L_{11} \cdot L_{22}}} \quad (2.17)$$

Unter der Voraussetzung, dass ein Anschluss von  $L_1$  mit einem von  $L_2$  verbunden ist, kann diese Anordnung ohne einen idealen Transformator mit dem T-Ersatzschaltbild beschrieben werden (Abbildung 2.4 c)). Darin wird die magnetische Kopplung durch eine galvanische Verbindung und Induktivitäten ersetzt, was die Betrachtung und Simulation vereinfacht. Es können negative Werte der Induktivitäten auftreten, was zunächst ungewöhnlich erscheint. Eine einzelne, negative Induktivität ist physikalisch nicht möglich. Jedoch werden mit der Zusammenschaltung als T-Ersatzschaltbild die Gleichungen 2.14, 2.15 erfüllt, wodurch das Verhalten gleich dem der gekoppelten Induktivitäten ist. Auch für das T-Ersatzschaltbild muss das Vorzeichen von  $M$  entsprechend der Vorzeichenregel beachtet werden. Es ist bei gleichem Wicklungssinn positiv, bei entgegengesetztem negativ.

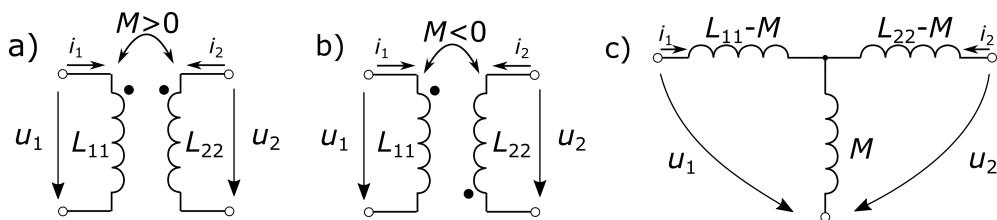


Abbildung 2.4: Schaltbilder gekoppelter Induktivitäten, a) gekoppelte Induktivitäten mit gleichem Wicklungssinn, b) gekoppelte Induktivitäten mit entgegengesetztem Wicklungssinn, c) T-Ersatzschaltbild

## 2.2.2 Magnetische Kopplung bei Leistungstransistoren

Jeder elektrischen Verbindung zu einem Transistor kann ein elektrischer Widerstand und eine Induktivität zugeordnet werden. Bei den emitter- beziehungsweise sourceseitigen Elementen wird zwischen mit dem Gatekreis gemeinsamen und außerhalb des Gatekreises liegenden Elementen unterscheiden. Die Widerstände im Lastkreis sind im Sinne geringer Verluste sehr klein und werden hier nicht betrachtet. Das Ergebnis sind vier Induktivitäten und der Gatewiderstand  $R_G$ . Zwischen den Induktivitäten sind insgesamt sechs magnetische Kopplungen möglich. Diese Kopplungen sind, abhängig von dem Aufbau, unterschiedlich stark ausgeprägt. Abbildung 2.5 a) zeigt die Streuinduktivitäten der Gateinduktivität  $L_G$ , der parasitären Induktivität im Lastkreis auf der High-Side  $L_{Par\_high}$  und Low-Side  $L_{Par\_low}$  und die Common-Source-Induktivität (CSI)  $L_{CS}$ . Für die Umformung zum Ersatzschaltbild in Abbildung 2.5 b) werden Induktivitäten, die in Reihe geschaltet sind, verschoben. Da  $L_{Par\_high}$ ,  $L_{Par\_low}$  und die magnetische

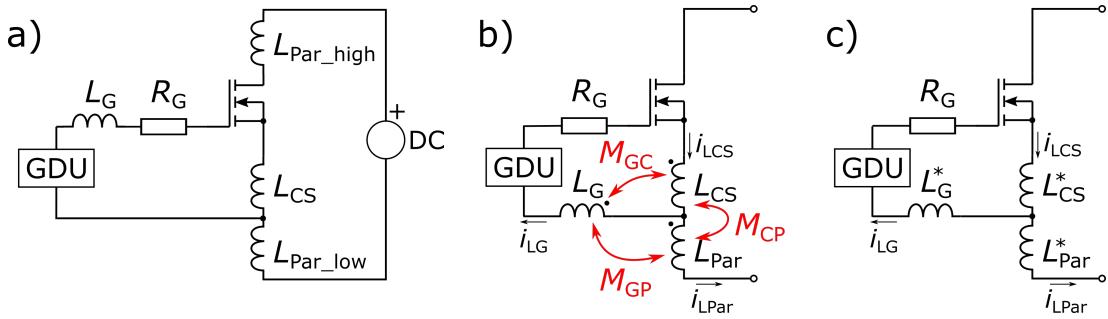


Abbildung 2.5: Entwicklungsschritte des Ersatzschaltbilds, a) ohne magnetischer Kopplung, b) Vereinfachung mit Gegeninduktivitäten, beispielhaft eingetragenem Wicklungssinn und Stromrichtungen, c) mit effektiv wirksamen Induktivitäten

Kopplung zwischen ihnen nicht getrennt erfasst werden können, sind sie zur parasitären Induktivität  $L_{Par}$  zusammengefasst. Dadurch reduziert sich die Anzahl der magnetischen Kopplungen auf drei und damit auf die Gegeninduktivitäten  $M_{GP}$ ,  $M_{CP}$  und  $M_{GC}$ , die ebenfalls im Ersatzschaltbild eingetragen sind. Die Wickelsinne sind hier beispielhaft angegeben, können jedoch abhängig vom Aufbau und Definition der Stromrichtung auch abweichen. In diesem Fall wären die Vorzeichen der betroffenen Gegeninduktivitäten entsprechend der Vorzeichenregel anzupassen.

Durch Umwandlung mit Hilfe des T-Ersatzschaltbilds und Zusammenfassen von in Reihe geschalteten Gegen- und Selbstinduktivitäten ergibt sich eine übersichtlichere Darstellung nach Abbildung 2.5 c). Diese zusammengefassten, effektiv wirksamen Induktivitäten ermöglichen eine Darstellung ohne Kopplung und sind durch „\*“ gekennzeichnet. In Gleichung 2.18–2.20 wird deren Zusammensetzung beschrieben.

$$L_{CS}^* = L_{CS} + M_{GP} - M_{CP} - M_{GC} \quad (2.18)$$

$$L_G^* = L_G + M_{CP} - M_{GC} - M_{GP} \quad (2.19)$$

$$L_{Par}^* = L_{Par} + M_{GC} - M_{GP} - M_{CP} \quad (2.20)$$

### 2.2.3 Beispielhafte Herleitung des Kopplungsmechanismus

In diesem Abschnitt soll der Kopplungsmechanismus von  $L_{Par\_low}$  und dadurch  $L_{Par}$  mit  $L_G$  beispielhaft für die weiteren Kopplungen hergeleitet werden. Dies soll anhand von Platine 2, Variante 2 (PCB 2.2) an den Steckplätzen #1 und #4 erfolgen. In Kapitel 4 ist der Aufbau der PCBs und deren Varianten detailliert beschrieben. Ausgangspunkt ist das Schaltbild in Abbildung 2.5 a). Da bei PCB 2 durch den Sense-Anschluss keine CSI als Selbstinduktivität vorliegt, kann diese aus dem Schaltbild entfallen. Folglich tritt nur eine magnetische Kopplung  $M_{GP}$

zwischen  $L_G$  und  $L_{\text{Par}}$  auf. Weil  $L_G$  mit dem Gatetreiber in Reihe geschaltet ist, ist ein Verschieben an den Source-Knoten möglich.

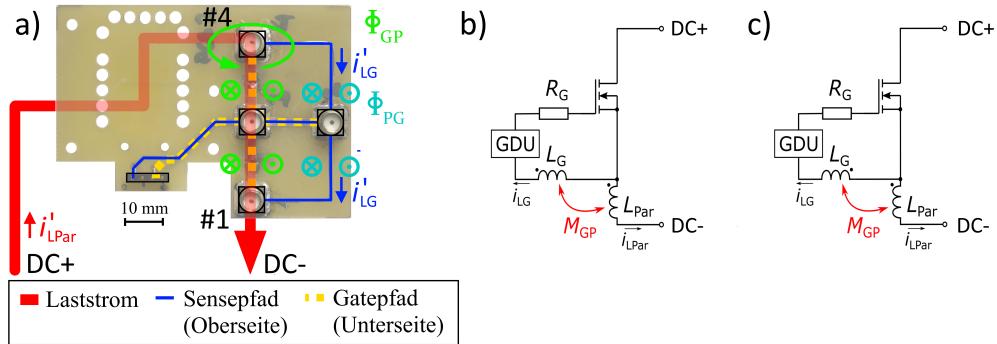


Abbildung 2.6: Herleitung der magnetischen Kopplung für PCB 2.2, a) Gateloop-Platine mit farblich hervorgehobenen Leiterbahnen, Strömen und magnetischen Flüssen zur Bestimmung des Wicklungssinns, b) Schaltbild mit Gegeninduktivität und Wicklungssinn für Position #1, c) gleiche Darstellung wie b) für #4

Mit Hilfe der Punkteregel für gekoppelte Induktivitäten kann der Wicklungssinn ermittelt und in das Schaltbild eingetragen werden. Die Ströme und Spannungen, die zur Herleitung angenommen werden, müssen nicht mit tatsächlich auftretenden Strömen übereinstimmen und werden deshalb mit einem Apostroph gekennzeichnet. Abbildung 2.6 a) veranschaulicht die folgenden Schritte. Zunächst wird die Stromrichtung im Lastkreis  $i'_{L\text{Par}}$  als von Drain nach Source fließend angenommen. Der Strom im Lastkreis fließt auf einer darunterliegenden Platine, welche in dieser Abbildung nicht dargestellt ist. Abbildung 4.2 verschafft einen Überblick zu dem Aufbau des gesamten Messadapters. Dem Lastkreis ist die parasitäre Induktivität  $L_{\text{Par}}$  zugeordnet. Diejenige Seite von  $L_{\text{Par}}$ , in die der Strom eintritt, wird mit einem Punkt markiert. Durch den Strom bildet sich um den Leiter ein magnetisches Feld aus. Folglich wird die Leiterschleife, welche durch die Leiterbahnen des Gatekreises gebildet wird, von einem magnetischen Fluss  $\Phi_{GP}$  durchsetzt, dessen Richtung durch die Rechte-Hand-Regel festgelegt ist. Eine Strom- und damit verbundene Flussänderung induziert im Gatekreis eine Spannung. Ist dieser geschlossen, so fließt durch ihn ein Strom  $i'_G$ , dessen magnetischer Fluss  $\Phi_{PG}$  nach der Lenz'schen Regel seiner Ursache,  $\Phi_{GP}$ , entgegengesetzt ist. Die Richtung von  $i'_G$  kann so ebenfalls mit der Rechten-Hand-Regel festgelegt werden. Der Punkt für  $L_G$  wird auf der Seite gesetzt, auf der  $i'_G$  herausfließt. Wie aus Abbildung 2.6 a) ersichtlich unterscheidet sich die Stromrichtung und dadurch der Wicklungssinn zwischen Position #1 (Abbildung 2.6 b)) und #4 (Abbildung 2.6 c)), so dass jeweils ein eigenes Schaltbild erstellt werden muss. Die Anwendung der Vorzeichenregel liefert für #1 eine negative Gegeninduktivität  $M_{GP}$ , für #4 eine positive.

Mit Hilfe des T-Ersatzschaltbilds erhält man das Ersatzschaltbild von Abbildung 2.5 c), in dem die effektiv wirksamen Induktivitäten eingezeichnet sind. Sie setzen sich, ähnlich der Gleichungen 2.18-2.20 zusammen.

$$L_{\text{CS}}^* = M_{\text{GP}} \quad (2.21)$$

$$L_{\text{G}}^* = L_{\text{G}} - M_{\text{GP}} \quad (2.22)$$

$$L_{\text{Par}}^* = L_{\text{Par}} - M_{\text{GP}} \quad (2.23)$$

Das Ergebnis verdeutlicht, dass selbst wenn  $L_{\text{CS}} = 0$  ist, durch magnetische Kopplung zwischen Gate- und Lastkreis eine effektiv wirksame CSI von  $L_{\text{CS}}^* \neq 0$  zu Stande kommen kann. Sie kann ein positives Vorzeichen für Position #4 oder ein negatives Vorzeichen für Position #1 annehmen.

## 2.3 Oszillationen

Oszillationen (Schwingungen) können beispielsweise durch einen LC-Schwingkreis, welcher sich aus einer Induktivität  $L$  und einer Kapazität  $C$  zusammensetzt, zustande kommen. Beides sind Energiespeicher, die Induktivität speichert ihre Energie im magnetischen Feld, die Kapazität im elektrischen. Wird dieser Schwingkreis, beispielsweise durch einen Spannungs- oder Stromsprung zum Schwingen angeregt, so pendelt die Energie abwechselnd zwischen Spule und Kondensator. Die Spannungs- und Stromverläufe sind sinusförmig. Es wird zwischen dem Reihen- und dem Parallelschwingkreis unterschieden, bei denen Induktivität und Kapazität entsprechend angeordnet sind. Mit der Thomson'schen Schwingungsgleichung kann nach [12] die Resonanzfrequenz  $f_0$  berechnet werden.

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (2.24)$$

Bei realen Kondensatoren und Induktivitäten treten Verluste auf, die für eine Dämpfung der Schwingung sorgen. Das Aufschwingen und Erhalten einer Schwingung ist nur mit einem aktiven Verstärkerelement möglich. Eine solche Schaltung nennt sich Oszillator. Es sind Oszillatoren möglich, die keinen LC-Schwingkreis benötigen. Es genügt eine Kombination aus Rückkopplernetzwerk und Verstärker, welche die Schwingbedingung nach Barkhausen erfüllt. [13]

## 2.4 Kurzschluss

Im Fehlerfall kann es in leistungselektronischen Schaltungen zum Kurzschluss kommen. Dieser stellt für die Leistungstransistoren eine große Belastung dar.

Es wird zwischen drei Typen von Kurzschluss unterschieden, die durch den Zustand des betrachteten Transistors zum Zeitpunkt des Kurzschlusses definiert sind. In dieser Arbeit wird ausschließlich Kurzschluss I untersucht. Bei diesem wird ein Transistor aus dem sperrenden Zustand auf den Kurzschluss und damit direkt auf die Betriebsspannung geschaltet. In der Praxis kann das durch einen Brückenkurzschluss oder einen Kurzschluss der Last, der vor dem Einschalten eingetreten ist, zustande kommen. [9]

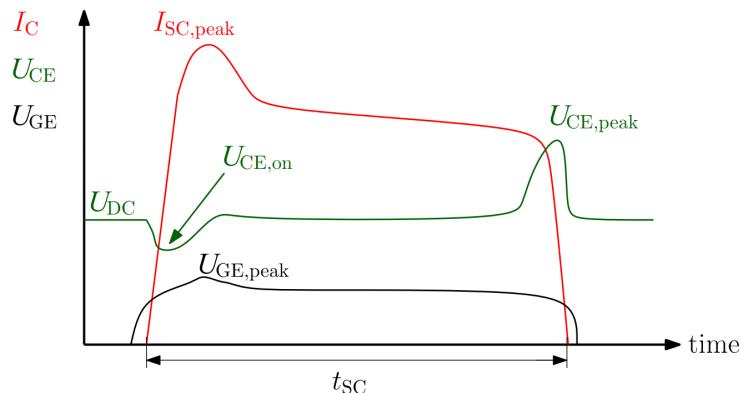


Abbildung 2.7: Schematischer Verlauf von Strom und Spannungen bei Kurzschluss I nach [14] S. 7

In Abbildung 2.7 ist ein typischer Strom- und Spannungsverlauf im Kurzschluss I eines IGBTs dargestellt. Sobald die Gatespannung, in der Abbildung  $U_{GE}$ , die Thresholdspannung überschreitet, beginnt der Strom  $I_C$  durch den Transistor zu steigen. Die Stromanstiegsgeschwindigkeit ist abhängig von dem Gatewiderstand, dem Gatetreiber und dessen Ausgangsspannung, den parasitären Kapazitäten sowie der Ausgangskennlinie des Transistors und den parasitären Induktivitäten im Gate- und Lastkreis. Durch den Anstieg des Stroms im Lastkreis kommt es zu einem Spannungsabfall über den parasitären Induktivitäten im Lastkreis. Dadurch sinkt die Kollektor-Emitter Spannung  $U_{CE}$ , solange die Stromanstiegsgeschwindigkeit zunimmt. Sobald die Stromanstiegsgeschwindigkeit wieder abnimmt und dadurch  $U_{CE}$  ansteigt, fließt ein Strom über die Millerkapazität in das Gate, wodurch die Gatespannung auf  $U_{GE,peak}$  angehoben wird. Dadurch kommt es zur Stromspitze  $I_{SC,peak}$ . Wenn die Gatespannung eingeschwungen ist, stellt sich der Strom nach dem Ausgangskennlinienfeld ein und es liegt etwa die Zwischenkreisspannung über dem Transistor an.

Durch die hohe Spannung, die gleichzeitig mit dem Kurzschlussstrom in dem Transistor für eine sehr hohe Verlustleistung sorgt, erwärmt sich dieser schnell. Da der Transistor bei Nennbedingungen oberhalb des Temperaturkompensationpunkts betrieben wird, spiegelt sich die Erwärmung in einem Sinken des

Kurzschlussstroms wider.

Bei IGBTs kann sich bei einem Kurzschluss unter Nennbedingungen der 6 bis 10-Fache Nennstrom einstellen [9]. In der Regel können sie einem Kurzschluss für mindestens 10  $\mu$ s standhalten [8].

Aufgrund der geringeren Dicke bei gleicher Sperrspannung haben SiC-MOSFETs eine deutlich geringere Wärmekapazität, sodass sie sich schneller erwärmen und einem Kurzschluss kürzer standhalten können. Insbesondere durch die hohen Temperaturen kommt es zu Effekten wie einer Verringerung der Thresholdspannung [15] und einer Verringerung des Kurzschlusstroms durch erhöhte Dichte von Elektronenhaftstellen (interface trap density) an der Grenzfläche zwischen SiC und Oxid und dadurch erhöhte Coulomb-Streuung am Kanal [16]. Außerdem treten drei weitere Streumechanismen auf, die ebenfalls temperaturabhängig sind [16] und über die Beweglichkeit im Kanal ein Clamping des Stroms bewirken [17]. Diese Effekte sollen in dieser Arbeit vermieden werden.

Beim Ausschalten wird in der Induktivität im Lastkreis eine Spannung induziert, die zusätzlich über dem Transistor abfällt und der Grund für die Spannungsspitze  $U_{CE,peak}$  ist. Geschieht das Abschalten mit einer zu hohen Stromanstiegsgeschwindigkeit, kann die Sperrspannung des Transistors überschritten und dieser zerstört werden.



## 3 Bestimmung parasitärer Komponenten

Die Kenntnis konkreter Werte der parasitären Komponenten ermöglicht es, deren Auswirkungen auf die Schaltung abzuschätzen und die Ursachen für das Verhalten im Kurzschluss zu erklären. Weiterhin können damit die theoretischen Betrachtungen zu magnetischer Kopplung (Abschnitt 2.2) bestätigt werden. In diesem Kapitel werden die Methoden zur Ermittlung der parasitären Komponenten erläutert, welche in dieser Arbeit angewendet werden. Die Messergebnisse für die einzelnen Platten, Modifikationen und Prüflinge werden in den Abschnitten 4.2, 4.3 und 5.1 präsentiert.

### 3.1 Parasitäre Kapazitäten bei IGBTs und MOSFETs

Wie im Abschnitt 2.1.1 beschrieben, muss zwischen bauteilinternen und Kleinsignalkapazitäten unterschieden werden. Letztere lassen sich mit einem LCR-Messgerät bestimmen. Um die Abhängigkeit von der Spannung zu ermitteln, muss der Aufbau um eine variable Spannungsquelle und Kondensatoren zur Entkopplung von Gleichspannung und Wechselspannungs-Messsignal ergänzt werden. Hier wurde ein bereits bestehender Messaufbau entsprechend [18] angewendet, welcher automatisch die Kapazitätskurven aufnehmen kann.

### 3.2 Gateinduktivität

Die Gateinduktivität  $L_G$  ist in dieser Arbeit die Selbstinduktivität der Leiterbahnen im Gatekreis, die nicht gleichzeitig in dem Last-Sourcepfad liegen. Das Prinzip für die Bestimmung der Gateinduktivität besteht darin, durch Einbringen eines Kondensators mit bekanntem Wert an der Stelle des Gate- und Sourceanschlusses in Kombination mit den Induktivitäten im Gatekreis einen Reihenschwingkreis zu bilden. Die Thomson'sche Schwingungsgleichung stellt den Zusammenhang zwischen Resonanzfrequenz, Kapazität und Induktivität her.

Mit einem Spannungssprung durch einen Gatetreiber wird dieses System zum Schwingen angeregt. Um die Schwingung möglichst wenig zu dämpfen und eine hohe Amplitude zu erreichen, werden Dioden und Gatewiderstände am Ausgang des Gatetreibers überbrückt. Durch Oszillographieren des Spannungsverlaufs über den Kondensator kann die Resonanzfrequenz  $f_0$  bestimmt werden. Die

Thomson'sche Schwingungsgleichung kann nach der Induktivität der Gateschleife  $L_{\text{gl}}$  umgestellt werden.

$$L_{\text{gl}} = \frac{1}{C \cdot 4 \cdot (\pi \cdot f_0)^2} \quad (3.1)$$

Nach Abbildung 2.5 c) und den Gleichungen 2.18-2.20 setzt sich die Induktivität der Gateschleife aus mehreren Komponenten zusammen

$$L_{\text{gl}} = L_{\text{G}} + L_{\text{CS}} - 2M_{\text{GC}} \quad (3.2)$$

Weil  $L_{\text{CS}}$ , falls vorhanden, deutlich kleiner als die Gateinduktivität ist, können  $M_{\text{GC}}$  und  $L_{\text{CS}}$  vernachlässigt werden. Deshalb wird vereinfachend angenommen  $L_{\text{G}} \approx L_{\text{gl}}$ .

### 3.3 Parasitäre Induktivität im Lastkreis

Die parasitäre Induktivität beschreibt bei dem hier verwendeten Aufbau die gesamte Induktivität im Lastkreis ohne der CSI. Da die CSI jedoch deutlich kleiner ist, kann näherungsweise davon ausgegangen werden, dass die parasitäre Induktivität gleich der gesamten Induktivität im Lastkreis ist. Es wird also vereinfachend angenommen  $L_{\text{Par}} \approx L_{\text{Par}}^* + L_{\text{CS}}^*$ .

Die Bestimmung erfolgt aus einem Oszillogramm von der Spannung  $U_{\text{DS}}$  über den Transistor und dem Strom  $i_{\text{D}}$  durch diesen. Während des Abschaltvorgangs ist die Stromänderungsgeschwindigkeit  $\frac{di_{\text{D}}}{dt}$  im Lastkreis negativ. Dadurch wird an der parasitären Induktivität entsprechend Gleichung 2.7 eine Spannung induziert, die zusätzlich zur Zwischenkreisspannung  $U_{\text{DC}}$  über dem Leistungstransistor anliegt und für die Überspannungsspitze  $U_{\text{DS,peak}}$  verantwortlich ist. Vernachlässigt man den ohmschen Spannungsabfall, so kann die parasitäre Induktivität mit der maximalen Stromänderungsgeschwindigkeit  $|\frac{di_{\text{D}}}{dt}|_{\text{max}}$  bestimmt werden.

$$L_{\text{Par}} = \frac{U_{\text{DS,peak}} - U_{\text{DC}}}{|\frac{di_{\text{D}}}{dt}|_{\text{max}}} \quad (3.3)$$

Abbildung 2.7 zeigt typische Strom- und Spannungsverläufe während dem Abschaltvorgang aus Kurzschluss 1, wobei  $U_{\text{CE,peak}}$  äquivalent wie  $U_{\text{DS,peak}}$  betrachtet werden kann.

### 3.4 Effektiv wirksame Common-Source-Induktivität

Die Messung der effektiv wirksamen CSI stellt laut [3] eine Herausforderung dar, da sie stark von der magnetischen Kopplung zwischen Gate- und Lastkreis

beeinflusst wird und deshalb nicht wie eine Streuinduktivität mit konventionellen Methoden gemessen werden kann.

Abbildung 3.1 a) zeigt das grundlegende Prinzip. Es besteht darin, in dem Lastkreis einen sinusförmigen Wechselstrom der Frequenz  $f$  im unteren Megahertz-Bereich einzuprägen, und die dadurch im Gatekreis induzierte Spannung zu messen. Zusammen mit der Phasenverschiebung  $\varphi$  zwischen Strom und Spannung und der Frequenz  $f$  lässt sich die effektive CSI berechnen.[3]

Wegen der stark nichtlinearen Ausgangskennlinie von IGBTs und der fehlenden Fähigkeit, in Rückwärtsrichtung zu leiten ist ein sinusförmiger Stromfluss nicht erreichbar. Deshalb kommen für diese Messmethode nur Bauteile in Frage, die einen Kanalwiderstand aufweisen. Hier wird ein SiC-MOSFET verwendet.

Damit der Wechselstrom fließen kann, muss der Transistor eingeschaltet sein. Das wird erreicht, indem eine stabilisierte Gleichspannung  $U_{G\_DC}$  zwischen Gate- und Source angelegt wird. Um die induzierte Spannung möglichst wenig zu verfälschen, wird zwischen Gleichspannungsquelle und Gate ein hochohmiger Widerstand mit  $1 M\Omega$  geschaltet. Da es sich bei MOSFETs um feldgesteuerte Bauelemente handelt, fließt nur ein sehr geringer Gatestrom, wodurch näherungsweise die gesamte Gleichspannung zwischen Gate und Source anliegt. Die induzierte Wechselspannung  $u_{R1}$  fällt über dem hochohmigen Widerstand ab und kann so gemessen werden. Der Widerstand des Tastkopfs ist parallel dazu und muss ebenfalls berücksichtigt werden. Die Parallelschaltung aus beiden Widerständen bildet  $R_1$ .

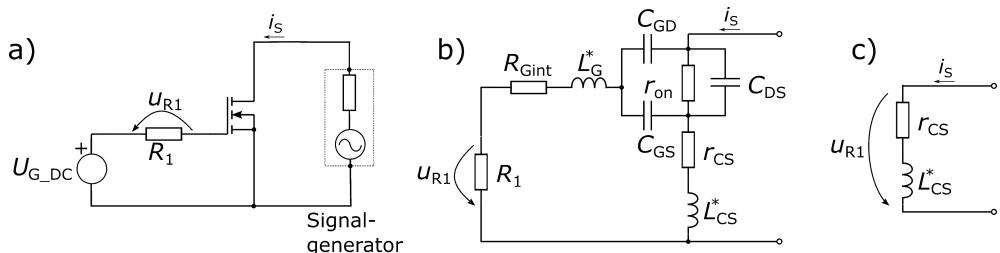


Abbildung 3.1: a) Schaltbild für die Messung der effektiven CSI, b) Kleinsignal-Ersatzschaltbild, c) Ersatzschaltbild nach Vereinfachungen

In Abbildung 3.1 b) wird das Kleinsignal-Ersatzschaltbild der Messschaltung dargestellt, in dem der MOSFET durch seine parasitären Kapazitäten sowie den differentiellen Kanalwiderstand  $r_{on}$  und den internen Gatewiderstand  $R_{Gint}$  dargestellt wird. Daraus lassen sich weitere Vereinfachungen und Voraussetzungen für die Anwendbarkeit der Messmethode ableiten. Unter der Voraussetzung  $r_{on} \ll (\omega(C_{DS} + \frac{C_{GS}C_{GD}}{C_{GS}+C_{GD}}))^{-1}$  ist der Spannungsabfall über  $r_{on}$  vernachlässigbar, so dass der Widerstand als Kurzschluss betrachtet werden kann. Das ist meist der Fall, da  $r_{on}$  in der Regel im  $m\Omega$ -Bereich liegt, die Kapazitäten im unteren  $nF$ -Bereich

und die Frequenz im unteren MHz-Bereich liegen. Damit ist  $C_{DS}$  kurzgeschlossen und kann vernachlässigt werden. Da für  $R_1$  ein sehr hoher Widerstand eingesetzt wird, ist die Impedanz der Reihenschaltung aus  $R_1$ ,  $R_{Gint}$ ,  $L_G$  und  $C_{GS} + C_{GD}$  um Größenordnungen größer als die der Reihenschaltung aus  $r_{CS}$  und  $L_{CS}^*$ . Deshalb kann in guter Näherung davon ausgegangen werden, dass der Spannungsabfall über  $r_{CS}$  und  $L_{CS}^*$  davon nicht beeinflusst wird. [3].

Damit der Spannungsabfall über  $L_{CS}$  für eine präzise Messung ausreichend groß ist, muss die Frequenz hoch genug gewählt werden. Gleichzeitig muss gewährleistet werden, dass der Spannungsabfall über  $L_G^*$  und  $C_{GS} + C_{GD}$  vernachlässigbar klein gegenüber der Spannung über  $R_1$  ist. Das wird realisiert, indem  $f$  nahe der Resonanzfrequenz der Reihenschaltung aus  $L_G^*$  und  $C_{GS} + C_{GD}$  gewählt wird, da die Impedanz dort minimal ist. Die Resonanzfrequenz muss nicht exakt getroffen werden, es sollte jedoch gelten  $\omega L_G - \frac{1}{\omega(C_{GS}+C_{GD})} \ll R_1$ .

Sind all diese Bedingungen erfüllt, so lässt sich das Kleinsignal-Ersatzschaltbild zu 3.1 c) vereinfachen. Nun ist ersichtlich, dass sich  $L_{CS}^*$  entsprechend [3] bestimmen lässt.

$$L_{CS}^* = \frac{u_{R1}}{2\pi f i_S} \sin \varphi \quad (3.4)$$

Die Gültigkeit der Bedingungen für den Messaufbau wird im Kapitel A.1 überprüft.

Für die Messung der Strom- und Spannungsverläufe kann eine Stromzange und ein 10:1 Tastkopf an einem Oszilloskop verwendet werden [3]. Tritt Rauschen in der Spannungsmessung auf, so kann es durch die Funktion der Mittelwertbildung (engl. Averaging) des Oszilloskops verringert werden.

Um den Stromfluss einzuprägen ist ein herkömmlicher Signalgenerator mit  $50 \Omega$  Ausgangsimpedanz geeignet. Damit ein möglichst hoher Strom im Lastkreis erreicht wird, sollte die maximale Ausgangsspannung (hier 10 Vpp) eingestellt und für die Übertragung ein niederimpedantes Koaxialkabel verwendet werden.

Da es sich um eine empfindliche Messung handelt, wird die Masse des Oszilloskops auf der Seite des Pluspols der Gleichspannungsquelle angeschlossen, damit Common-Mode-Störströme über diese abgeleitet werden können. Der Abgriff der Spannung über dem hochohmigen Widerstand erfolgt nahe an dessen Anschlüssen, sodass über eine möglichst geringe Induktivität gemessen wird.

## 4 Design der Messschaltungen

Dieses Kapitel widmet sich dem Aufbau für die Kurzschlussmessungen und dem der Platinen im Detail. Es werden zunächst die verschiedenen Komponenten, deren Zusammenwirken und die Messinstrumente vorgestellt. Weiterhin werden beide Gatekreis Platinen präsentiert und der Zusammenhang der Messergebnisse für  $L_G$  und  $L_{CS}^*$  mit deren Aufbau erklärt. Anschließend wird der Einfluss der Leiterzugführung beider Gatekreisplatinen auf die magnetische Kopplung zwischen Gate- und Lastkreis dargestellt und mit den Messergebnissen für  $L_G$  und  $L_{CS}^*$  in Verbindung gebracht.

### 4.1 Messaufbau

Der Messaufbau für die Kurzschlussversuche lässt sich in zwei Teile untergliedern, die DC-Link Kondensatoren mit Schutz-IGBT (SIGBT) und den Messadapter mit Prüfling (DUT) sowie Gatetreiber (GDU). Beide Teile sind durch Schraubanschlüsse miteinander verbunden. Einen genaueren Überblick vermittelt Abbildung A.2. Das Schaltbild des Aufbaus wird in Abbildung 4.1 dargestellt. Die DC-Link Kondensatoren besitzen insgesamt eine Kapazität von 2,4 mF und werden von einer Hochspannungsquelle mit der Spannung  $U_{DC}$  aufgeladen. Sie stellen die kurzzeitig sehr hohe Leistung bereit, die der Prüfling während eines Kurzschlusses aufnimmt. Im Fall der Zerstörung des Prüflings trennt der Schutz IGBT diesen von den Kondensatoren, so dass nicht deren komplette Energie über dem Prüfling entladen wird. Auf diese Weise wird die Zerstörung in Grenzen gehalten. Im Kapitel A.4 wird der Einfluss des SIGBT überprüft. Für die Bestimmung der CSI wird der Messadapter von Kondensatoren und SIGBT getrennt.

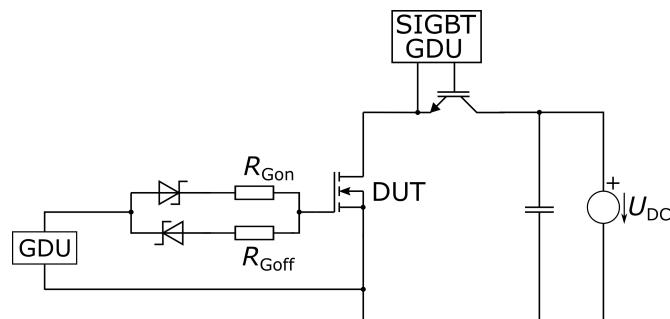


Abbildung 4.1: Schaltbild der Kurzschlussmessung

Der Messadapter selbst setzt sich aus drei Schichten zusammen, die folgend von unten nach oben genauer beschrieben werden. In der untersten Schicht befindet sich der Prüfling, welcher auf einem DCB (englisch für direct copper bonded) verlötet und verbondet ist, siehe Abbildung 4.2 c). Dank des einheitlichen Layouts der DCBs können wahlweise verschiedene IGBTs oder MOSFETs eingesetzt werden. Die mittlere Ebene bildet eine Platine, auf die gefederte Kontaktstifte verlötet sind, welche der Kontaktierung des DCBs dienen, siehe Abbildung 4.2 b) und e). Gleichzeitig stellen die Leiterbahnen dieser Platine einen Kontakt zu den Kondensatoren her. Gate und Source-Sense sind mit einem SMA-Stecker versehen, welcher der Messung der Gatespannung dient. Weiterhin werden Gate- und Sense an einen Stecker geführt, der die Verbindung mit der oberen Platine herstellt. Von dem Sourcepfad kann ebenfalls eine Verbindung nach oben hergestellt werden.

Der Fokus in dieser Arbeit liegt auf der oberen Platine, die in zwei unterschiedlichen Ausführungen, Platine 1 (PCB 1) in Abbildung 4.2 a) und Platine 2 (PCB 2) in Abbildung 4.2 d), gefertigt ist. Der Gatetreiber kann auf diesen Platinen über verschiedene SMA-Steckplätze angeschlossen werden, wodurch sich eine unterschiedliche Führung der Leiterbahnen auf der Platine konfigurieren lässt. Die obere und mittlere Platine sind durch Distanzbolzen miteinander verschraubt. Der Abstand liegt, wenn nicht explizit anders erwähnt, bei 5 mm. Mit Hilfe einer Schraubklemme werden Kontaktstifte und DCB zusammengepresst. Die parasitäre Induktivität wird entsprechend dem Abschnitt 3.3 bestimmt und beträgt  $L_{\text{Par}} = 76 \text{ nH}$ .

Um die magnetische Kopplung in die Platine des Gatetreibers gering zu halten, wird dieser über ein 30 cm langes Koaxialkabel angeschlossen. Der Gatetreiber selbst ist galvanisch von seiner Versorgung getrennt und die Endstufe ist als CMOS-Stufe ausgeführt. Durch Schottky-Dioden werden Einschalt-Gatewiderstand  $R_{\text{Gon}}$  und Ausschalt-Gatewiderstand  $R_{\text{Goff}}$  abhängig von der Stromrichtung im Gatekreis genutzt.

Das Pulsmuster für die Durchführung von Kurzschluss I setzt sich wie folgt zusammen. Zunächst wird der SIGBT eingeschaltet. Nach  $10 \mu\text{s}$  wird auch der Prüfling für eine festgelegte Kurzschlussdauer eingeschaltet. Danach ist der Prüfling aus, während der SIGBT für weitere  $10 \mu\text{s}$  an bleibt und darauf abgeschaltet wird. Dieses Pulsmuster gewährleistet für den Prüfling den typischen Kurzschluss I-Verlauf.

Alle Messungen werden mit einem digitalen Speicheroszilloskop aufgezeichnet, das an einem Trenntransformator betrieben wird. Die Strommessung erfolgt mit einer Rogowski-Spule, welche um den Lastpfad der mittleren Platine angebracht ist. Für die Messung der Spannungen wird der Referenzpunkt der Tastköpfe (Masse

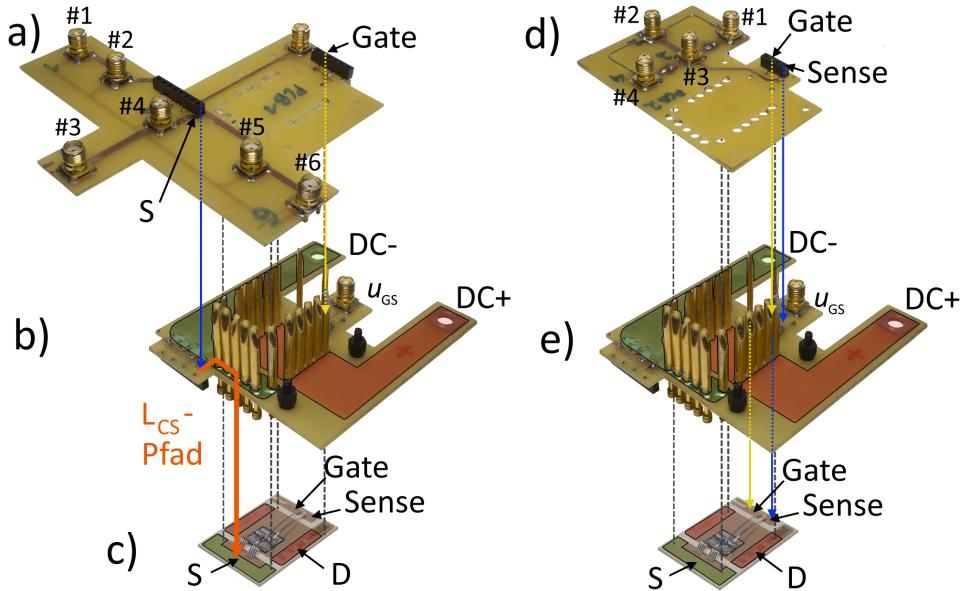


Abbildung 4.2: Explosionszeichnung der drei Schichten des Messadapters, Bezeichnung beispielhaft für MOSFET, a) obere Platine PCB 1, b) mittlere Platine mit farbig hervorgehobenen Leiterzügen des Lastkreises und  $L_{CS}$ -Pfad, c) Prüfling auf DCB mit farbig hervorgehobenen Flächen für Kontaktstifte, d) obere Platine PCB 2, e) mittlere Platine ohne  $L_{CS}$

des Oszilloskops) auf den Source-Sense-Anschluss der mittleren Platine festgelegt. Wie bereits beschrieben befindet sich dort ein SMA-Stecker, der den Tastkopf für die Gatespannungsmessung aufnehmen kann. Dank der koaxialen Führung des Gatespannungssignals kann auf eine Masseklemme verzichtet werden. Die gemessene Spannung wird dadurch erheblich weniger durch magnetische Kopplung beeinflusst. Da die Drain-Source Spannung um eine Größenordnung über der Gatespannung liegt, spielt hier die magnetische Kopplung eine geringere Rolle. Diese Spannung wird deshalb mit einer passiven Tastkopfspitze mit Masseklemme erfasst. Das Kabel der Masseklemme wird, soweit möglich, im Sinne geringer Kopplung verlegt. Tabelle A.4 beschreibt die verwendeten Messinstrumente.

## 4.2 Platine 1

In Abbildung 4.3 werden die Leiterbahnen farbig hervorgehoben und der Laststrom auf der darunter liegenden Platine angedeutet. Der Kontakt zu Source wird über einen Stecker von dem Lastpfad auf der mittleren Platine hergestellt. Dieser so zu Stande kommende gemeinsame Pfad von Gate- und Lastkreis stellt eine CSI dar, die in Abbildung 4.2 b) hervorgehoben wird. Das Gate wird durch einen Stecker neben dem Anschluss für die Gatespannungsmessung kontaktiert. Diese Führung

von Gate- und Source spannt eine Schleife auf, in die ein Teil des Magnetfelds durch den Lastkreis einkoppelt und somit für jede Position des Gatetreibers eine magnetische Kopplung besteht. Der Anschluss des Gatetreibers erfolgt wahlweise über einen der Steckplätze #1 bis #6.

Die Messergebnisse für Gateinduktivität und effektiv wirksame CSI werden in Abbildung 4.4 und Abbildung 4.5 dargestellt. Im Anhang sind die Messwerte in Tabelle A.2 aufgelistet. Zu Position #3 und #4 sind die Leiterbahnen übereinander

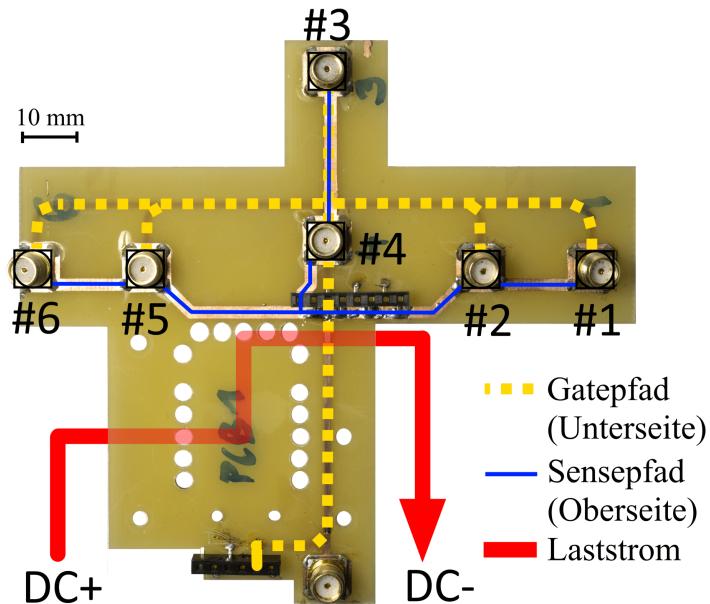


Abbildung 4.3: Führung der Leiterbahnen von PCB 1

liegend geführt, sodass hier die Einkopplung sehr gering ist. Sie unterscheiden sich deshalb lediglich in der Gateinduktivität, was auf die unterschiedliche Länge der Leiterzüge zurückzuführen ist. An allen anderen Positionen bildet die Leiterzugführung eine weitere Schleife, in die das magnetische Feld des Laststroms einkoppeln kann. Die durch magnetische Kopplung zu Stande kommende Gegeninduktivität geht mit ihrem Vorzeichen in Gleichung 2.18 ein, was sich in der effektiv wirksamen CSI widerspiegelt. Da sich Position #1 von #2 sowie #5 von #6 in den Messergebnissen nur geringfügig unterscheiden, werden #2 und #5 nicht weiter untersucht. Bei #1 sorgt die magnetische Kopplung für einen größeren Wert von  $L_{CS}^*$  als für #3. An Position #6 ist der Messwert geringer, da hier der Wicklungssinn der Schleife umgekehrt ist und dadurch die Gegeninduktivität mit negativem Vorzeichen in die Gleichung eingeht.

Alle Messergebnisse bestätigen die Überlegungen aus dem Abschnitt 2.2.3 und lassen sich nach dem gleichen Schema herleiten. Für die praktische Anwendung kann aus diesem Aufbau entnommen werden, dass eine beispielsweise durch fehlenden Sense-Anschluss vorliegende CSI mit Hilfe von magnetischer Kopplung

reduziert werden kann, ohne dass der Lastkreis oder der Common-Source-Pfad modifiziert wird. Dies ist für Gehäuseformen relevant, die keine Möglichkeit für einen Sense-Anschluss bieten. Durch Abstimmung der magnetischen Kopplung mit der CSI ist theoretisch jeder beliebige Wert für die effektive CSI erreichbar.

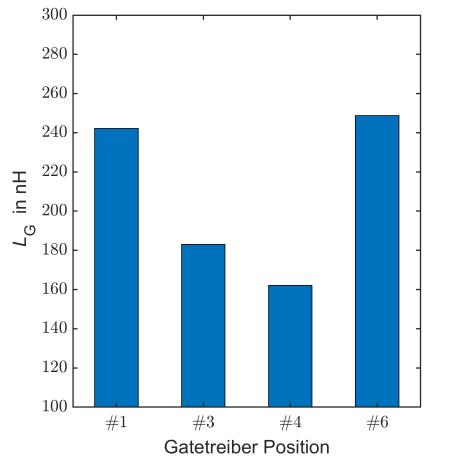


Abbildung 4.4: Gemessene Gateinduktivität bei PCB 1 für verschiedene Gatetreiberpositionen

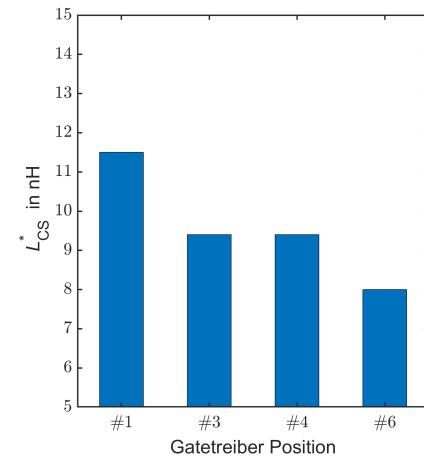


Abbildung 4.5: Gemessene effektive CSI bei PCB 1 für verschiedene Gatetreiberpositionen

## 4.3 Platine 2

Für PCB 2 werden drei verschiedenen Varianten aufgebaut und gemessen. Die Konfiguration der Varianten erfolgt durch Lötbrücken und Kupferdraht, der in Form gebogen und verlötet wird. In Abbildung 4.6 werden sie mit farbig hervorgehobener Leiterzugführung dargestellt. Abbildung 4.7 und 4.8 zeigen die Messergebnisse für  $L_G$  und  $L_{CS}^*$ . Die korrespondierenden Werte werden in Tabelle A.3 angegeben.

Im Gegensatz zu PCB 1 wird der Sense-Kontakt des Transistors verwendet. Dadurch ergibt sich eine CSI ohne Berücksichtigung von magnetischer Kopplung von  $L_{CS} \approx 0$  nH. Die Gegeninduktivitäten und damit die magnetische Kopplung bestimmen demnach die effektive CSI entsprechend Gleichung 2.18 für die Zusammensetzung von  $L_{CS}^*$ .

Die Führung der Leiterbahnen von dem Chip zu Position #3 erfolgt, soweit möglich, mittels direkt übereinander liegender Leiterbahnen. Dies hat den Zweck, eine möglichst geringe Fläche aufzuspannen, in die das magnetische Feld des Lastkreises einkoppeln kann. Dadurch wird die Kopplung mit dem Lastkreis minimiert. Die Verbindung zwischen #3 und #2 ist nach dem gleichen Prinzip umgesetzt. Aus diesem Grund weist die effektiv wirksame CSI an beiden Positionen

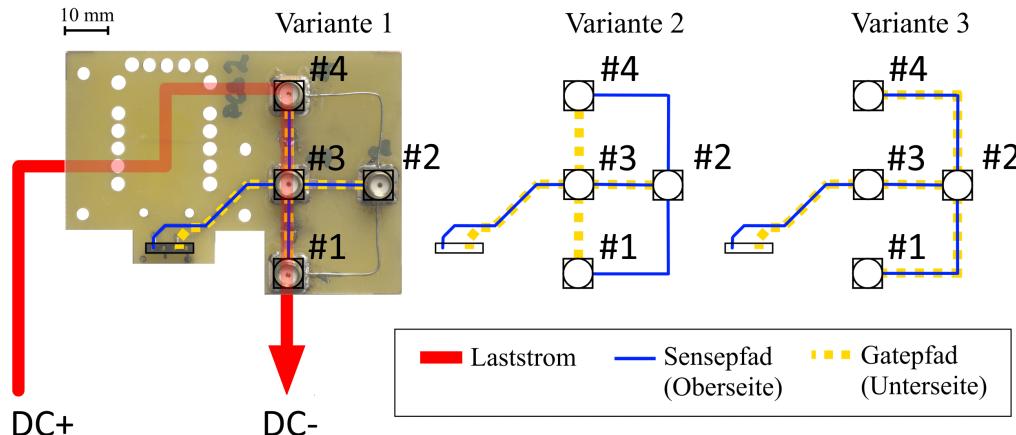


Abbildung 4.6: Führungen der Leiterbahnen bei den verschiedenen Varianten von PCB 2

einen geringen Betrag auf und unterscheidet sich nicht. Die Ursache für diesen Betrag ist die magnetische Kopplung, welche an Stellen von nicht übereinander geführten Leiterbahnen, wie die zu dem Stecker oder den Bonddrähten, wirken kann. Bemerkenswert ist das negative Vorzeichen. Zu dessen Entstehung und Bedeutung sei auf den Abschnitt 2.2 verwiesen. Die Gateinduktivität für #2 ist wegen der größeren Leiterzuglänge höher als bei #3. Für alle drei Varianten bleiben die Leiterzüge zu #2 und #3 unverändert.

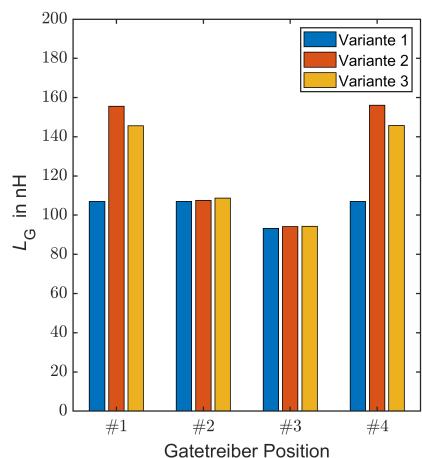


Abbildung 4.7: Gemessene Gateinduktivität bei PCB 2 für alle Gatetreiberpositionen und Varianten

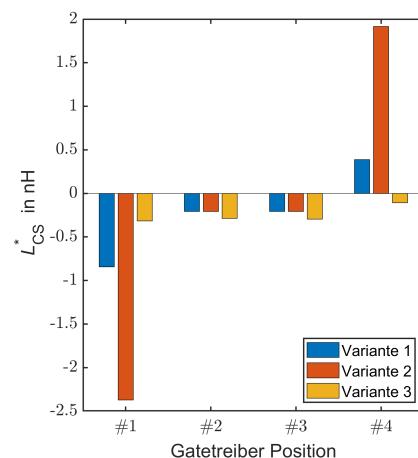


Abbildung 4.8: Gemessene effektive CSI bei PCB 2 für alle Gatetreiberpositionen und Varianten

Die Führung zu Position #1 und #4 unterscheidet sich zwischen den Varianten. Bei Variante 1 (PCB 2.1) werden diese ebenfalls übereinander liegend verlegt. Da sie jedoch parallel und direkt über dem Strompfad des Lastkreises liegen, kann hier das Magnetfeld zwischen den Leiterbahn auf der Ober- und Unterseite

einkoppeln. Das erklärt die von Position #2 und #3 abweichenden Werte für  $L_{CS}^*$ . Die magnetische Kopplung bewirkt eine betragsmäßig größere, negative Gegeninduktivität, so dass  $L_{CS}^*$  an Position #1 kleiner ist als an #2. An Position #4 sorgt die positive Gegeninduktivität für eine positive effektive CSI. Für  $L_G$  sind die Messergebnisse an #1 und #4 gleich mit dem von #2, da die Leiterzuglänge gleich ist.

Variante 2 (PCB 2.2) weist eine veränderte Führung des Sensepfades auf. Dadurch wird eine größere Schleife aufgespannt, die von magnetischem Fluss durchdrungen werden kann, was die Kopplung vergrößert. Die daraus entstehende größere Gegeninduktivität sorgt an #1 für einen betragsmäßig großen negativen Wert von  $L_{CS}$ , an #4 für einen großen positiven Wert. Die Gateinduktivitäten für beide Positionen weisen einen höheren Wert als bei PCB 2.1 auf. Das liegt zum einen an den längeren Leiterzügen. Zum anderen ist die geringere magnetischen Kopplung zwischen den Leiterzügen (Gate- und Senseleitung) wegen des größeren Abstands dafür verantwortlich.

Für Variante 3 (PCB 2.3) ist die Führung des Gatepfades und Sensepfades verändert. Wie bei PCB 2.1 liegen sie übereinander, werden jedoch zunächst von Position #2 in erheblich größerem Abstand und parallel zum Laststrom verlegt, um darauf senkrecht zu diesem und nach wie vor übereinander zu den Positionen #1 und #4 zu verlaufen. Trotz der deutlich größeren Leiterzuglänge und einer Führung der Leiterzüge übereinander auf Ober- und Unterseite der Platine wird die magnetische Kopplung im Vergleich zu PCB 2.1 stark verringert. Das liegt daran, dass zwischen den senkrecht zum Laststrom verlaufenden Teil der Leiterbahnen kein magnetischer Fluss eintreten kann. Die parallel zum Laststrom verlegte Strecke ist weiter von diesem entfernt, so dass die magnetische Feldstärke geringer und anders gerichtet ist, was in einer geringeren Kopplung resultiert. Obwohl die verlegten Leiterzüge zu #1 und #4 die längsten aller Varianten sind, ist die Gateinduktivität geringer als für PCB 2.2, aber liegt über der von PCB 2.1. Ursache dafür ist jeweils die magnetischen Kopplung zwischen dem Gate- und Sense Leiterzug, die wegen des geringeren Abstands im Vergleich zu PCB 2.2 die Gateinduktivität kleiner ausfallen lässt.

Der Vergleich der Varianten zeigt, dass nicht die Position des Gatetreibers, sondern die Führung der Leiterbahnen einen massiven Einfluss auf die magnetische Kopplung hat und bei dem Design von Schaltungen nicht vernachlässigt werden darf. Bei Anordnungen wie PCB 2.1 zu #1 und #4 kann selbst bei übereinander verlegten Leiterbahnen eine nennenswerte magnetische Kopplung und damit Beeinflussung der effektiven CSI auftreten. Mit einer durchdachten Leiterzugführung kann hingegen die CSI gezielt optimiert werden. Dazu ist die Kenntnis über den

Verlauf der magnetischen Feldlinien sowie über das Prinzip der magnetischen Kopplung essenziell. Bei einfachen Aufbauten können die Feldlinien gut abgeschätzt werden. Für quantitative Aussagen und bei komplizierteren Anordnungen wie in Modulen mit mehreren Chips ist die Simulation erforderlich.

## 5 Ergebnisse der Kurzschlussversuche

### 5.1 Vorstellung der Prüflinge

Im Rahmen dieser Arbeit werden zwei unterschiedliche Prüflinge verwendet, ein SiC-MOSFET und ein Silizium IGBT. Zu dem SiC-MOSFET ist nur die Sperrspannung von 3,3 kV bekannt. Der interne Gatewiderstand beträgt  $25 \Omega$ . Der IGBT ist von Infineon hergestellt und für eine Sperrspannung von 1200 V und einen Nominalstrom von 150 A ausgelegt. Im Datenblatt wird der interne Gatewiderstand mit  $1 \Omega$  angegeben und ein Gatewiderstand von  $R_{Gon} = R_{Goff} = 3,6 \Omega$  verwendet. Die maximale Kurzschlussdauer bei  $U_{Gon} = 15 \text{ V}$  und  $U_{DC} = 800 \text{ V}$  beträgt  $8 \mu\text{s}$  [19]. In Tabelle 5.1 werden für beide Bauteile die parasitären Kapazitäten aufgelistet. Der SiC-MOSFET besitzt eine hohe Steilheit der Transferkennlinie, die als Transkonduktanz bezeichnet wird. Eine Änderung der Gatespannung bewirkt dadurch eine größere Änderung des Kurzschlussstroms, wodurch die Auswirkungen der magnetischen Kopplung auf den Gatekreis stärker hervortreten. Der IGBT weist eine höhere Robustheit im Kurzschluss auf, was vor allem für die Untersuchung der Oszillation von Vorteil ist.

Tabelle 5.1: Gemessene Kleinsignal-Kapazitäten des SiC-MOSFETs und IGBTs ohne Spannung bei 100 kHz

$C_{iss}$	$C_{rss}$	$C_{oss}$	$C_{ies}$	$C_{res}$	$C_{oes}$
6,29 nF	3,61 nF	5,28 nF	30,4 nF	0,64 nF	1,17 nF

Die Kleinsignal-Kapazitäten des IGBTs sind in Abhängigkeit der Kollektor-Emitter Spannung aufgenommen, um Unstetigkeiten als Ursache für Oszillationen auszuschließen. Dazu wurden im Bereich von 0 V bis 10 V in 0,1 V-Schritten und danach in 0,5 V-Schritten die Kapazitäten gemessen. Wie Abbildung A.1 zeigt, können im für die Kurzschlussmessungen verwendeten Bereich von  $U_{CE}$  keine abrupten Änderungen festgestellt werden.

Da der Fokus dieser Arbeit auf der induktiven Kopplung liegt, erfolgt die Wahl der Gatespannung und DC-Link-Spannung nach speziellen Gesichtspunkten. Beim Kurzschluss unter Nennbedingungen treten für beide Bauteile typische, durch deren Erwärmung beeinflusste Stromverläufe auf. Um diese Einflüsse von den Auswirkungen der induktiven Kopplung zu trennen, werden sowohl für den SiC-

MOSFET, als auch den IGBT Arbeitspunkte weit unter den Nennbedingungen gewählt. Die Gatespannungen liegen zudem nahe des Temperaturkompensationspunkts (TCP), wodurch sich ein nahezu konstanter statischer Kurzschlussstrom einstellen kann [7]. Die Gatespannung des Gatetreibers im ausgeschalteten Zustand beträgt  $U_{Goff} = -5$  V und wird nicht variiert.

## 5.2 Kurzschlussversuche an PCB 1

Für diese Messungen wird ein SiC-MOSFET verwendet, da er eine höhere Transkonduktanz und eine geringere Eingangskapazität als der IGBT aufweist. Um unter allen Bedingungen ein sicheres Ausschalten mit geringen Überspannungen zu gewährleisten wird  $R_{Goff} = 330 \Omega$  gewählt. Bei der Messung, die in Abbildung 5.1 dargestellt ist, lassen sich eindeutige Unterschiede für die verschiedenen Positionen der Gatetreiber erkennen, die sich nur durch die unterschiedlichen effektiven CSI erklären können. Die Gateinduktivität hat einen vernachlässigbaren Einfluss auf die Strom- und Spannungsverläufe. Das lässt sich zum einen aus dem Vergleich von #3 mit #4 erkennen, da die Stromverläufe trotz unterschiedlicher Werte für  $L_G$  keinen Unterschied zeigen. Zum anderen besteht ein eindeutiger Unterschied zwischen #1 und #6, obwohl die Gateinduktivität hier gleich ist.

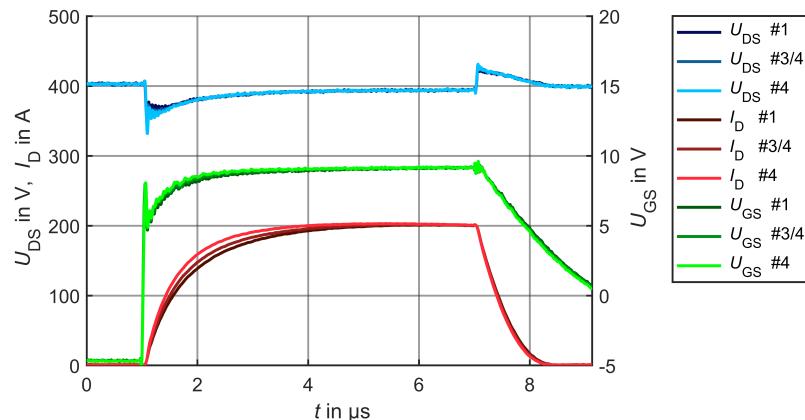


Abbildung 5.1: Strom- und Spannungsverläufe im Kurzschluss I des SiC-MOSFETs mit PCB 1 und den Parametern  $U_{DC} = 400$  V;  $R_{Gon} = 3,3 \Omega$ ;  $R_{Goff} = 330 \Omega$ ;  $U_{Gon} = 9$  V

Generell ist auffällig, dass die Stromanstiegs geschwindigkeit für einen SiC-MOSFET untypisch gering ist. Das liegt an der geringen Gatespannung und der großen effektiven CSI. So kann durch eine Stromänderung  $\frac{di_D}{dt}$  eine Spannung über  $L_{CS}^*$  induziert werden, die auch in der Gate-Masche auftritt. Deren Polarität ist entgegen der Ausgangsspannung des Gatetreibers gerichtet. Dadurch wird die Eingangskapazität langsamer aufgeladen, was wiederum zu einem geringen

ren Stromanstieg führt. Dieser Effekt ist eine Art Gegenkopplung und von der Größe von  $L_{CS}^*$  abhängig. Da  $L_{CS}^*$  an Position #6 geringer ist als an #3, ist die Gegenkopplung geringer, wodurch die Gatespannung schneller ansteigt und der Stromanstieg steiler werden kann. Für #1 ergibt sich dementsprechend eine geringere Stromanstiegsgeschwindigkeit. Die Gegenkopplung wirkt, da sie induktivem Ursprung ist, nur bei Stromänderungen. Im statischen laufen die Kurven deswegen zusammen.

Die Ergebnisse dieser Messungen bestätigen die Relevanz der effektiv wirksamen CSI für das Kurzschlussverhalten. Ohne Berücksichtigung der magnetischen Kopplung ist die CSI bedingt durch den gleichen Common-Source-Pfad für alle Positionen gleich, und eine Erklärung der voneinander abweichenden Verläufe ist damit nicht möglich.

## 5.3 Kurzschlussversuche an PCB 2

PCB 2 unterscheidet sich von PCB 1 durch die geringere und an manchen Positionen negative effektive CSI, die wegen der Kontaktierung über den Sense-Anschluss vor allem durch magnetische Kopplung zustande kommt. Die Messungen der Abschnitte 5.3.1–5.3.3 werden mit dem SiC-MOSFET durchgeführt. Wie für die vorhergehenden Kurzschlussmessungen wird zunächst  $R_{Goff} = 330 \Omega$  verwendet. Um eine Zerstörung der Prüflinge zu vermeiden, wird in den Abschnitten 5.3.5–5.3.4 zur Untersuchung der Oszillationen wegen der höheren Belastung ein IGBT verwendet, weil dieser robuster ist. Der Wert von  $R_{Goff}$  wird in diesen Abschnitten variiert.

### 5.3.1 GDU Positionen der Varianten

In Abbildung 5.2 sind die Stromverläufe für die Ghetreiber-Positionen #1, #2, #3 und #4 auf PCB 2.1 abgebildet. Die Position #2 wird im Sinne der Übersichtlichkeit in der gleichen Farbe wie #3 dargestellt, da deren Verläufe ohnehin identisch sind.

Der Mechanismus der Gegenkopplung, wie er für PCB 1 beschrieben wird, tritt hier ebenfalls auf und sorgt dafür, dass der Stromanstieg bei #4 wegen dem größten Wert von  $L_{CS}^*$  am geringsten ist.

An den Positionen mit negativem  $L_{CS}^*$ , #1, #2 und #3, kommt es zur Mitkopplung. Hier sorgt ein positiver Stromanstieg für eine negative Spannung über  $L_{CS}^*$ . Diese addiert sich auf die Ausgangsspannung des Ghetreibers, was für einen schnelleren Anstieg der Gatespannung sorgt, der wiederum direkt mit einem höheren Stromanstieg verbunden ist. Durch andere gegenkoppelnde und dämpf-

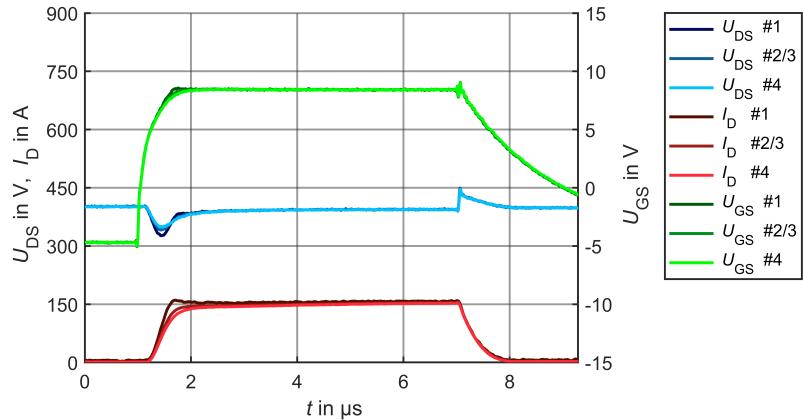


Abbildung 5.2: Strom- und Spannungsverläufe der verschiedenen Positionen im Kurzschluss I des SiC-MOSFETs mit PCB 2.1 und den Parametern  $U_{DC} = 400$  V;  $R_{Gon} = 27 \Omega$ ;  $R_{Goff} = 330 \Omega$ ;  $U_{Gon} = 8$  V

fende Elemente, wie die Millerkapazität und den Gatewiderstand, wirkt diese Mitkopplung hier sehr schwach. Die Unterschiede im Ausschalten sind gering, da die Geschwindigkeit hier vor allem durch den hohen Wert von  $R_{Goff}$  bestimmt wird.

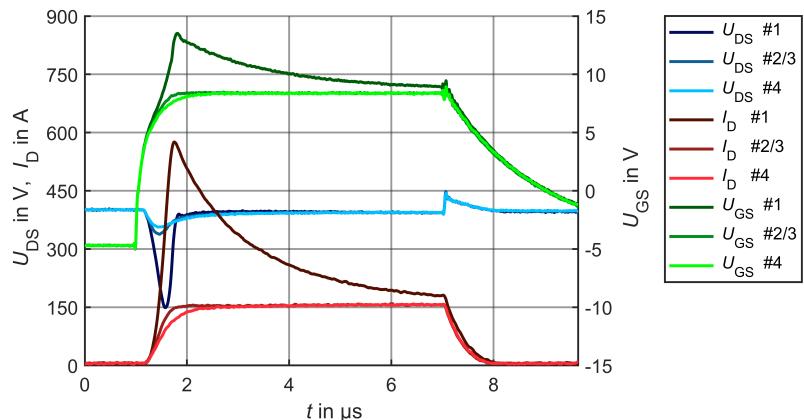


Abbildung 5.3: Strom- und Spannungsverläufe der verschiedenen Positionen im Kurzschluss I des SiC-MOSFETs mit PCB 2.2 und den Parametern  $U_{DC} = 400$  V;  $R_{Gon} = 27 \Omega$ ;  $R_{Goff} = 330 \Omega$ ;  $U_{Gon} = 8$  V

Wie in Abbildung 5.3 ersichtlich, ist das Verhalten bei der betragsmäßig größeren negativen effektiven CSI von #1 auf PCB 2.2 bei ansonsten gleichen Parametern anders. Die Mitkopplung durch die effektive CSI ist größer und dominiert hier. Die Verläufe der Ströme und Spannungen werden im Folgenden erklärt. Abbildung 5.4 zeigt das Schaltbild mit den für die Erklärung relevanten Elementen.

Sobald der Gatetreiber eingeschaltet ist, steigt die Gatespannung. Wird die Thresholdspannung überschritten, so beginnt der Drain-Strom zu steigen. Dies

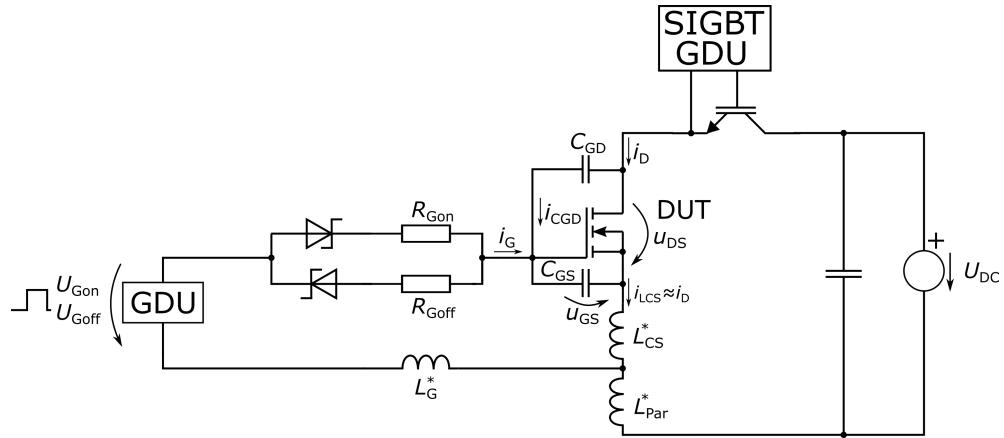


Abbildung 5.4: Schaltbild der Kurzschlussmessungen mit wichtigsten parasitären Elementen

induziert eine Spannung in  $L_{\text{Par}}$ . Mit wachsender Stromänderungsrate wird eine höhere Spannung induziert, wodurch  $U_{\text{DS}}$  einbricht und für einen negativen Verschiebestrom  $i_{\text{CGD}}$  durch die Millerkapazität sorgt, der die Gate-Source-Kapazität entladen würde. Dem entgegen wirkt die Spannung, die über  $L_{\text{CS}}^*$  induziert wird und zur Ausgangsspannung des Gatetreibers addiert, was einen größeren Potentialunterschied über  $R_{\text{Gon}}$  und dadurch einen größeren Strom  $i_{\text{G}}$  in das Gate zur Folge hat.

Ein hoher Gatewiderstand  $R_{\text{Gon}}$  und eine höhere CSI bewirken einen geringeren Strom in das Gate. Dies kann hervorrufen, dass es nicht zur Mitkopplung kommt, was an den Positionen #2, #3 und #4 der Fall ist.

Ist der Strom in das Gate groß genug, um die Gate-Source-Spannung schnell genug zu erhöhen und dadurch einen weiteren Anstieg der Stromänderungsrate zu erreichen, dann greift der Mitkopplungsmechanismus. Die höhere Stromänderungsrate induziert dann einen höheren Spannungsabfall über  $L_{\text{CS}}^*$ , was wiederum über einen schnelleren Anstieg der Gatespannung die Stromänderungsrate steigert.

Der Kreislauf der sich immer weiter steigernden Stromänderungsrate wird erst durch den induktiven Spannungseinbruch über  $L_{\text{Par}}$  durchbrochen. Liegt ein großer Anteil der DC-Link-Spannung über der parasitären Induktivität an, so kann die Stromanstiegsgeschwindigkeit nicht mehr weit steigen und wächst langsamer.

Wenn  $\frac{di_D}{dt}$  zu sinken beginnt, verringert sich die Spannung über  $L_{\text{Par}}$  und  $U_{\text{DS}}$  steigt. Der Verschiebestrom durch die Millerkapazität  $i_{\text{CGD}}$  ist nun positiv, so dass er die Gatekapazität weiter auflädt. Gleichzeitig sinkt die Spannung über der effektiven CSI, wodurch  $i_{\text{G}}$  zunächst sinkt und später negativ werden kann. Wenn der Drainstrom sein Maximum erreicht hat, ist  $\frac{di_D}{dt} = 0$ , in  $L_{\text{Par}}$  und  $L_{\text{CS}}^*$  wird keine Spannung induziert und es fließt kein Strom durch die Millerkapazität. Da die Ausgangsspannung des Gatetreibers unter der Gatespannung liegt, wird die

Gatekapazität über  $R_{Goff}$  entladen. Dies geschieht wegen dem hohen Wert sehr langsam, und der Kurzschlussstrom folgt entsprechend.

Durch die Mitkopplung erreicht die Gatespannung an Position #1 verglichen mit Position #3 einen Überschwinger von 5 V, was sich in einer Stromspitze äußert, die 173 % über dem Kurzschlussstrom ohne Mitkopplung liegt. Resultierend wird der Prüfling mit einer um 80 % höheren Energie belastet. Die Stromanstiegs geschwindigkeiten unterscheiden sich stark zwischen den Positionen und liegen bei  $\frac{di_D}{dt} = 1,90 \text{ kA}/\mu\text{s}$  für #1,  $\frac{di_D}{dt} = 0,40 \text{ kA}/\mu\text{s}$  für #3 und  $\frac{di_D}{dt} = 0,29 \text{ kA}/\mu\text{s}$  für #4.

Für PCB 2.3 sind die Verläufe an allen Positionen nahezu identisch, was an der annähernd gleichen effektiven CSI liegt. Die Gateinduktivität ist jedoch an allen Positionen unterschiedlich. Die Verläufe bestätigen damit, dass der Einfluss der Gateinduktivität auf das Kurzschlussverhalten in dieser Größenordnung von untergeordneter Bedeutung ist. Da die Verläufe identisch mit denen von #2 und #3 der anderen Varianten sind, werden sie hier nicht erneut dargestellt.

### 5.3.2 Einfluss Gatespannung und Gatewiderstände

Zusammen mit dem Wert der effektiven CSI, der von dem Aufbau bestimmt wird, haben weitere Parameter Einfluss auf das Kurzschlussverhalten. In Abbildung 5.5 werden für PCB 2.2 auf Position #1 die Verläufe bei erhöhtem  $R_{Gon}$  sowie bei erhöhtem  $R_{Gon}$  mit gleichzeitig größerer Gatespannung  $U_{Gon}$  verglichen. Als Referenz dient der Verlauf von #1 der Abbildung 5.5.

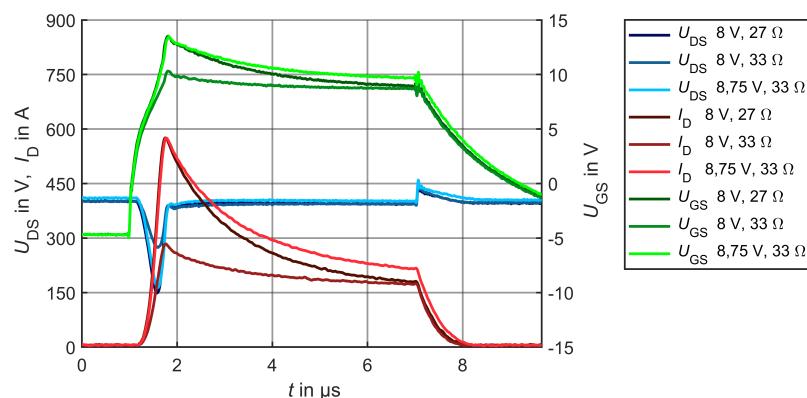


Abbildung 5.5: Strom- und Spannungsverläufe im Kurzschluss I des SiC-MOSFETs mit PCB 2.2 Position #1  $U_{DC} = 400 \text{ V}$  und bei  $U_{Gon} = 8 \text{ V}$ ;  $R_{Gon} = 33 \Omega$ , bei  $U_{Gon} = 8 \text{ V}$ ;  $R_{Gon} = 27 \Omega$  sowie bei  $U_{Gon} = 8,75 \text{ V}$ ;  $R_{Gon} = 33 \Omega$

Es wird deutlich, dass über einen höheren Gatewiderstand die Gatekapazität langsamer aufgeladen werden kann, so dass die Stromanstiegsgeschwindigkeit

niedriger ausfällt. Mit einer höheren Spannung  $U_{\text{Gon}}$  wird in der Transferkennlinie ein Arbeitspunkt mit größerer Transkonduktanz angefahren. Dadurch wirkt sich die durch Kopplung induzierte Spannung stärker auf den Ausgangsstrom aus. Dies verstärkt die Mitkopplung in diesem Fall. Gleichzeitig bewirkt die höhere Gatespannung, dass die Gatekapazität schneller aufgeladen wird, was einen schnelleren Stromanstieg zur Folge hat.

### 5.3.3 Einfluss Abstand der Platten und Kupferschirmung

Der Abstand der Platten beeinflusst auch das Kurzschlussverhalten. Da die magnetische Feldstärke mit zunehmendem Abstand von einem stromdurchflossenen Leiter stark abnimmt, nimmt ebenso die magnetische Kopplung ab. Der Vergleich zwischen einem Kurzschluss mit PCB 2.2 #1 bei 5 mm und 11 mm Abstand in Abbildung 5.6 bestätigt dies. Eine geringere Mitkopplung führt hier zu einem langsameren Stromanstieg und deutlich geringerem Überschwingen. Wird eine Platine mit einer flächigen Kupferlage eingebracht, so kann die Kopplung weiter reduziert werden. Das liegt daran, dass eine magnetische Flussänderung durch die Kupferfläche darin eine Spannung induziert, die einen Strom zur Folge hat. Dieser Strom erzeugt einen Fluss, der seiner Ursache entgegen gerichtet ist und somit einen großen Teil der ursächlichen Flussänderung kompensiert.

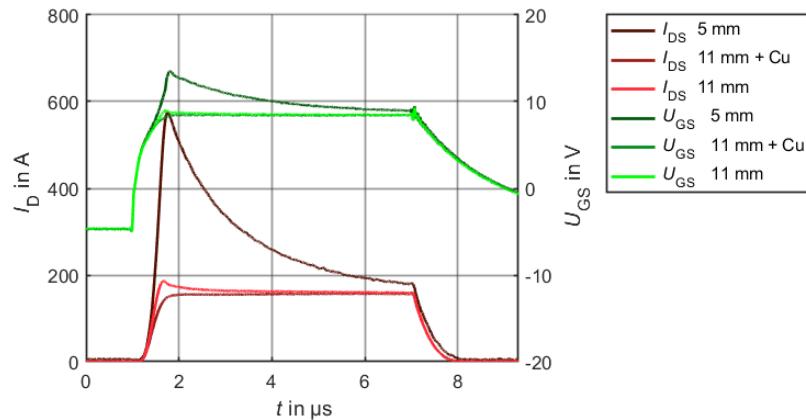


Abbildung 5.6: Strom- und Spannungsverläufe im Kurzschluss I des SiC-MOSFETs mit PCB 2.2 #1 bei unterschiedlichem Abstand bzw. mit Kupferschirmung und den Parametern  $U_{\text{DC}} = 400 \text{ V}$ ;  $R_{\text{Gon}} = 27 \Omega$ ;  $R_{\text{Goff}} = 330 \Omega$ ;  $U_{\text{Gon}} = 8 \text{ V}$

### 5.3.4 Einfluss Gatewiderstände auf Schwingverhalten

In den bisherigen Abschnitten wurde der Ausschalt-Gatewiderstand  $R_{\text{Goff}}$  nicht variiert und sorgt im Falle eines Überschwingers für ein langsames Abklingen

von Gatespannung und Kurzschlussstrom. Geringere Werte beschleunigen diesen Vorgang, wodurch es zu einem negativen Überschwingen kommen kann, bei dem Gatespannung und Kurzschlussstrom ihre statischen Werte unterschreiten. Sobald die Gatespannung wieder steigt, kann ein neuer Zyklus mit Überschwingen beginnen. Das Ergebnis ist eine Oszillation, deren Verlauf von vielen Parametern bestimmt wird.

Abbildung 5.7 zeigt bei PCB 2.2 #1 den Einfluss von  $R_{Gon}$  und  $R_{Goff}$  auf diese Oszillation. Sind beide Widerstände gering mit  $R_{Gon} = R_{Goff} = 5,6 \Omega$ , so kommt es zu einer Schwingung mit hoher Amplitude in Gatespannung, Kollektor-Emitter-Spannung und Kollektorstrom. Die Schwingung ist in dieser Konfiguration so stark ausgeprägt, dass der Strom bis auf Null sinkt. Die Frequenz liegt bei 0,83 MHz und lässt sich mit keiner Kombination aus parasitärer Induktivität und Eingangskapazität nach der Thomson'schen Schwingungsgleichung 3.1 näherungsweise erreichen. Wegen des nicht abklingenden Verlaufs steht fest, dass der IGBT als verstärkendes Element daran beteiligt ist.

Der Mechanismus, der für das Überschwingen von Gatespannung und Kurzschlussstrom verantwortlich ist, wird im Abschnitt 5.3.1 ausführlich beschrieben. Damit lässt sich ebenfalls das Ausbleiben des Überschwingens bei einem höheren Einschalt-Gatewiderstand von  $R_{Gon} = 10 \Omega$  erklären.

Nun sollen die Mechanismen des darauf folgenden Verlaufs erläutert werden. Das Schaltbild mit parasitären Komponenten in Abbildung 5.4 dient als Grundlage für die Überlegungen, wobei es sich bei dem Prüfling um einen IGBT handelt.

Da die Gatespannung bei ihrem Maximum über der Ausgangsspannung des Gatetreibers liegt, fließt ein Strom durch  $R_{Goff}$ , der die Gatekapazität entlädt. Dadurch sinkt die Gate-Emitter-Spannung und entsprechend der Transferkennlinie der Kollektorstrom. Die negative Stromänderungsgeschwindigkeit induziert über der negativen  $L_{CS}^*$  eine positive Spannung, die in der Gatemasche in umgekehrter Polarität zur Ausgangsspannung des Gatetreibers auftritt. Das hat zur Folge, dass der Gatestrom einen größeren negativen Wert annimmt.

Durch einen Anstieg des Betrags von  $\frac{di_C}{dt}$  wird über  $L_{Par}$  eine Spannung induziert, die für eine steigende Kollektor-Emitter-Spannung sorgt. Dies bewirkt einen Strom über die Millerkapazität, der in das Gate hineinfließt und damit dem Entladevorgang der Gatekapazität über  $R_{Goff}$  entgegenwirkt. Wie auch beim Einschalten beeinflusst hier der Wert des Gatewiderstands, ob es zu einer Mitkopplung und dadurch sehr steilem Stromanstieg kommt, oder nicht. Ein höherer Wert von  $R_{Goff} = 27 \Omega$  dämpft den Entladevorgang stark genug, so dass dabei keine Mitkopplung und keine Oszillation auftritt.

Bei geringem  $R_{Goff}$  wird wegen der Mitkopplung eine hohe Stromänderungs-

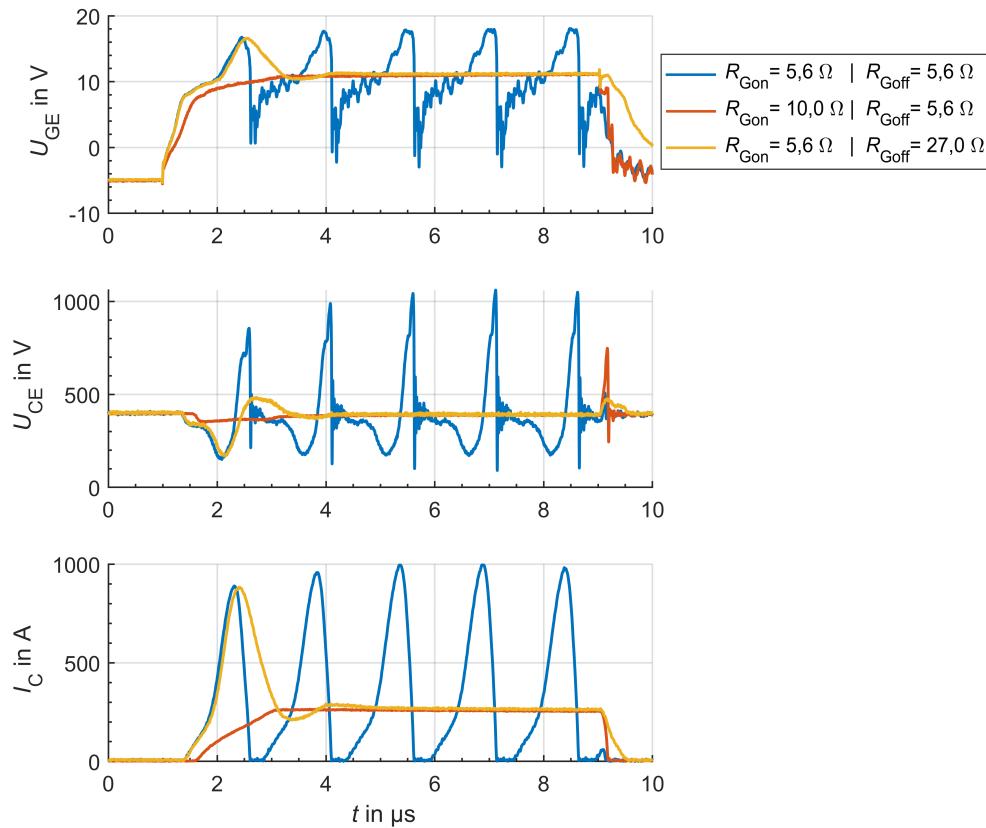


Abbildung 5.7: Strom- und Spannungsverläufe im Kurzschluss I des IGBT mit PCB 2.2 #1 bei unterschiedlichen Gatewiderständen und  $U_{DC} = 400$  V;  $U_{Gon} = 11$  V

rate erreicht. Diese induziert eine sehr hohe Spannungsspitze über dem Bauteil, welche dessen Sperrspannung überschreiten kann. Nach dem Maximum der Spannungsspitze ruft die sinkende Kollektor-Emitter-Spannung einen Strom über der Millerkapazität hervor, der nun zum Entladen der Gatekapazität beiträgt. Sobald  $I_C$  auf Null gesunken ist, wird die Gatespannung wieder über  $R_{Gon}$  aufgeladen und es beginnt der nächste Zyklus.

Dieses Verhalten ist ähnlich zu dem in [14] beschriebenen Self-Turn-Off im Kurzschluss II, im Mechanismus jedoch nicht damit vergleichbar. Zudem wird darin beobachtet, dass der Self-Turn-Off durch einen höheren Gatewiderstand begünstigt wird, was den Ergebnissen dieser Messungen widerspricht. Beiden Phänomenen ist gemeinsam, dass sie eine hohe Belastung für das Bauteil hervorrufen und die Millerkapazität von zentraler Bedeutung ist.

Neben der Überspannung stellt auch die höhere Kurzschlussenergie durch Mitkopplung eine Belastung für das Bauteil dar. Bei  $R_{Gon} = R_{Goff} = 5,6 \Omega$  wird über die Kurzschlussdauer eine Energie von 985 mJ in dem IGBT in Wärme umgesetzt. Das Erhöhen des Einschalt-Gatewiderstands auf  $R_{Gon} = 10 \Omega$  reduziert die Kurzschlussenergie auf 695 mJ. Wird ausschließlich der Ausschalt-Gatewiderstand auf

$R_{Goff} = 27 \Omega$  erhöht, so reduziert sich die Kurzschlussenergie nur auf 926 mJ, da es trotzdem zu einem Überschwingen kommt.

### 5.3.5 Einfluss DC-Link-Spannung auf Schwingverhalten

In den Kurzschluss-Messungen kann eine große Abhängigkeit von der DC-Link-Spannung beobachtet werden. Abbildung 5.8 zeigt Verläufe für eine DC-Link-Spannung von 200 V bis 500 V in 100 V-Schritten.

Bei 200 V kann ein geringes Überschwingen in Gatespannung und Kollektorstrom beobachtet werden, das gedämpft ist. Wird die Spannung auf 300 V erhöht, so kommt es zu einem starken Überschwingen mit darauf folgenden Oszillationen, die in ihrer Amplitude leicht zunehmen. Gleiches lässt sich für 400 V beobachten, wobei die Amplitude der Schwingungen und deren Frequenz höher ist. Der Anstieg der Gatespannung und damit der Stromanstieg erfolgt bei 500 V zunächst noch früher, verlangsamt sich aber und erreicht eine niedrigere Amplitude. Die darauf folgenden Oszillationen sind gedämpft und fallen geringer aus.

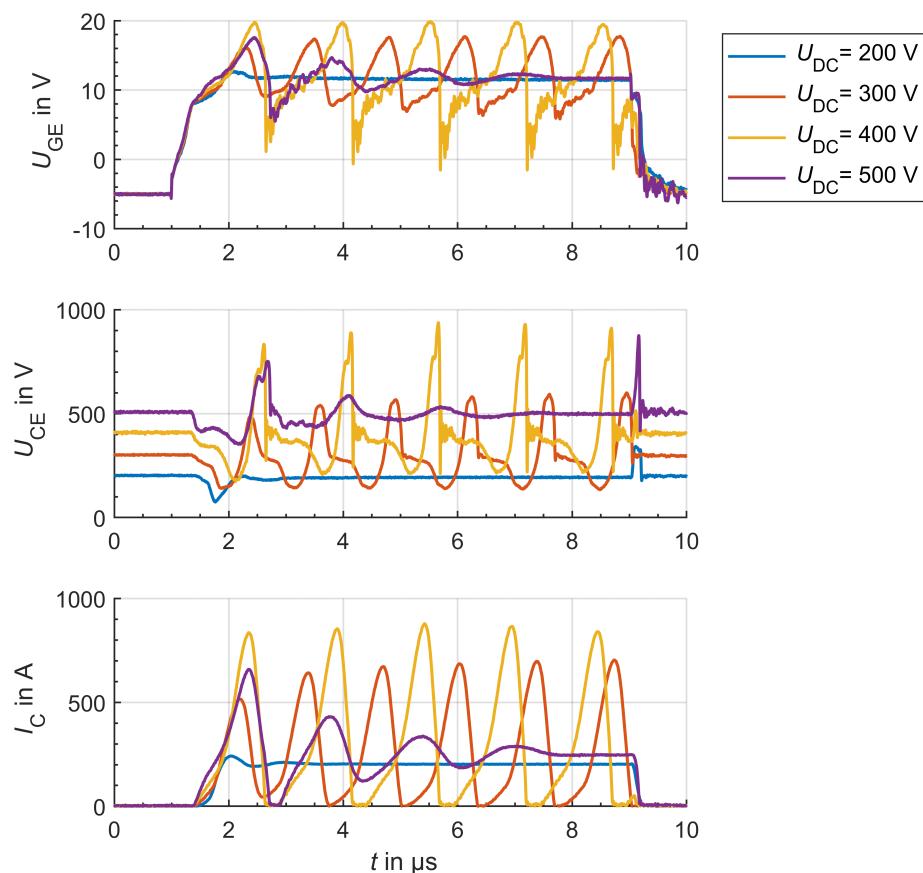


Abbildung 5.8: Strom- und Spannungsverläufe im Kurzschluss I des IGBT mit PCB 2.2 #1 bei  $U_{DC} = \{200 \text{ V}; 300 \text{ V}; 400 \text{ V}; 500 \text{ V}\}$ ;  $U_{Gon} = 11 \text{ V}$ ;  $R_{Gon} = R_{Goff} = 5,6 \Omega$

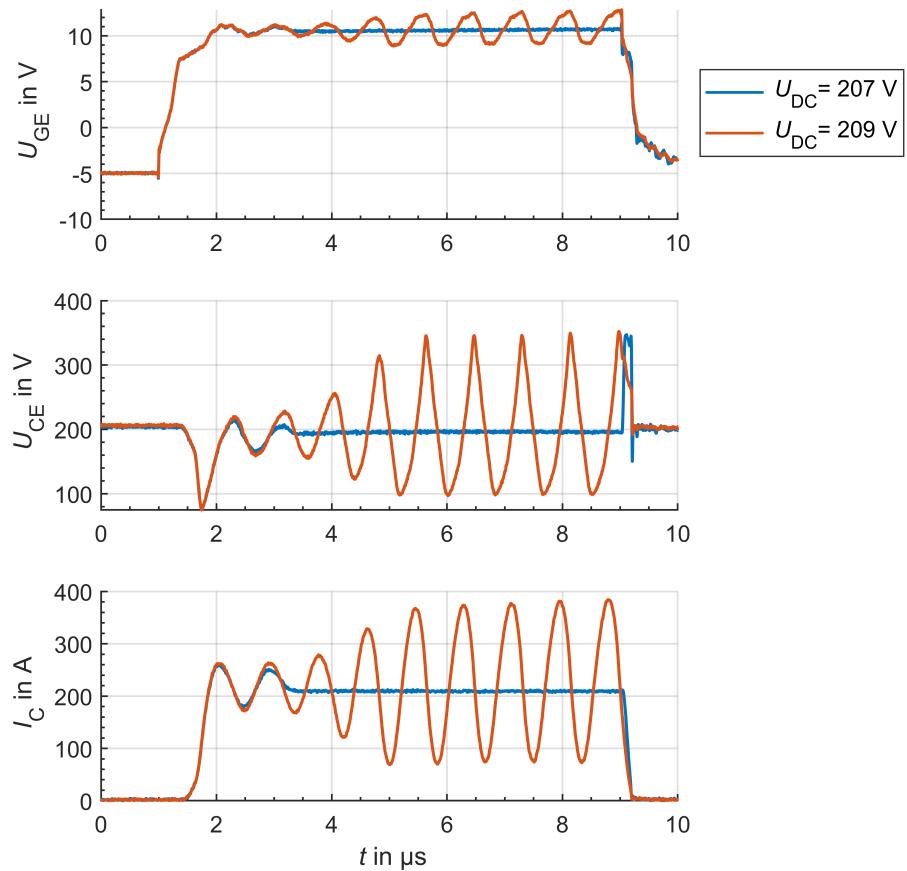


Abbildung 5.9: Strom- und Spannungsverläufe im Kurzschluss I des IGBT mit PCB 2.2 #1 bei Spannungen von  $U_{DC} = 207 \text{ V}$  und  $U_{DC} = 209 \text{ V}$ ;  $R_{Gon} = R_{Goff} = 5,5 \Omega$ ;  $U_{Gon} = 11 \text{ V}$

Bei höheren Gatewiderständen von  $R_{Gon} = R_{Goff} = 7,5 \Omega$  verschiebt sich die Spannung mit maximalen Schwingungen zu einem geringeren Wert zwischen 200 V und 400 V. Die zugehörigen Verläufe finden sich in Abbildung A.4.

Eine mögliche Ursache für die unterschiedliche Schwingneigung ist die Spannungsabhängigkeit der Millerkapazität. Der Strom durch diese ist bei einer Spannungsänderung nicht nur von der Kapazität, sondern auch von der Kapazitätsänderung abhängig und kann dadurch in speziellen Arbeitspunkten bei positivem  $\frac{du_{CG}}{dt}$  negative Werte annehmen [20]. Das Zusammenwirken mit den anderen Elementen der Schaltung legt fest, inwiefern das System schwingfähig ist.

In Abbildung 5.9 wird der Übergang von einem gedämpften Überschwingen bei einer Spannung von  $U_{DC} = 207 \text{ V}$  zu einer ungedämpften Oszillation bei 209 V dargestellt. Bis zu einer Zeit von  $t = 2,5 \mu\text{s}$  unterscheiden sich die Verläufe nur minimal. Das zweite Überschwingen fällt bei 209 V bereits höher aus als das erste und steigert sich in den folgenden Schwingungen, wohingegen die Schwingung bei 207 V abklingt. Ursache dafür ist die Dämpfung, die offensichtlich von der DC-Link

## *5 Ergebnisse der Kurzschlussversuche*

---

Spannung abhängig ist und damit den Verlauf der Schwingung bestimmt. Die sinusförmigen Spannungs- und Stromverläufe deuten auf näherungsweise lineare Zusammenhänge in diesem Arbeitspunkt hin.

## 6 Zusammenfassung

Es wurde gezeigt, wie die magnetische Kopplung zwischen Last- und Gatekommutierungskreis durch den Aufbau zustande kommt und wie sie in Form der effektiv wirksamen Common-Source-Induktivität (CSI) berücksichtigt werden kann. Aufgrund der magnetischen Kopplung kann die effektive CSI negative Werte annehmen.

Die effektiv wirksame CSI konnten gemessen werden, wobei nicht auf den durch Kopplung bedingten Anteil zurückgeschlossen werden kann. Die Messwerte entsprechen der qualitativen Abschätzung anhand der Grundlagen magnetischer Kopplung. Die Messergebnisse bestätigen die theoretischen Überlegungen und ermöglichen es, Hinweise für die Reduzierung oder Optimierung der effektiven CSI abzuleiten.

So ist für die Minimierung der Kopplung die Fläche, die von dem Gatekreis aufgespannt wird und von dem magnetischen Feld des Lastkreises durchdrungen werden kann möglichst gering zu halten. Dabei spielt neben der Fläche auch die Richtung des Felds eine Rolle. Beispielsweise kann zwischen zwei Leiterbahnen, die übereinander auf Ober- und Unterseite der Platine verlegt sind, das Magnetfeld des Laststroms einkoppeln, wenn dieser zum Beispiel darunter und parallel dazu fließt. Werden diese Leiterbahnen nicht parallel, sondern senkrecht zum Laststrom geführt, so kann dessen Magnetfeld in keine Fläche einkoppeln. Da das magnetische Feld mit geringerem Abstand stark zunimmt, tragen Flächen in der Nähe des Laststroms mehr zur magnetischen Kopplung bei. Weiterhin kann eine Magnetfeldänderung durch eine Kupferlage abgeschirmt werden.

Falls eine CSI wegen einem nicht vorhandenen Sense-Anschluss oder durch unvermeidbare magnetische Kopplung vorliegt, so kann sie durch eine gezielte Anordnung der Gatescheife reduziert oder eliminiert werden. Das ist möglich, da sich die effektiv wirksame CSI entsprechend Gleichung 2.18 additiv aus den Gegeninduktivitäten durch magnetische Kopplung und einem Anteil der CSI ohne magnetische Kopplung (Selbstinduktivität) zusammen setzt. Für eine derartige Kompensation muss das magnetische Feld entsprechend der theoretischen Grundlagen im Abschnitt 2.2.2 so gerichtet sein, dass die Gegeninduktivität das geeignete Vorzeichen aufweist.

Anhand der Kurzschluss I Messungen konnte gezeigt werden, dass die effektive

CSI und damit auch die magnetische Kopplung einen starken Einfluss auf das Kurzschlussverhalten hat. Sie bewirkt, abhängig von ihrem Vorzeichen, eine dynamische Mit- oder Gegenkopplung durch die im Gatekreis induzierte Spannung bei einer Stromänderung im Lastkreis.

Im Falle einer positiven effektiven CSI wird der Stromanstieg verlangsamt. Bei einer negativen effektiven CSI sorgt die dynamische Mitkopplung für einen steileren Anstieg des Kurzschlussstroms, was in einem Überschwingen resultieren kann. Diesem können weitere nicht abklingende Oszillationen folgen, welche mit einer erhöhten Belastung für den Transistor durch Überspannung und höhere Kurzschlussenergie verbunden sind. Diese Oszillationen können bis hin zu einem temporären Abschalten des Kurzschlussstroms reichen. Es handelt sich jedoch nicht um das bereits bekannte Self-Turn-Off Verhalten. Der Mechanismus, welcher für das Überschwingen und die Oszillationen verantwortlich ist, wurde anhand der oszillierten Verläufe qualitativ erklärt.

Neben der effektiven CSI bestimmen weitere Parameter die Stromanstiegs geschwindigkeit und das Auftreten von Überschwingen oder Oszillationen. So sorgt eine höhere Gatespannung sowie ein geringerer Einschalt-Gatewiderstand für eine höhere Stromanstiegs geschwindigkeit und begünstigt ein Überschwingen und darauf folgende Oszillationen. Ein geringer Ausschalt-Gatewiderstand erhöht die Stromanstiegs geschwindigkeit beim Abschalten und trägt damit dazu bei, dass auf das erste Überschwingen eine Oszillation folgt. Weiterhin konnte eine starke Abhängigkeit von der DC-Link Spannung beobachtet werden. Eine Auswirkung der Gateinduktivität auf das Kurzschlussverhalten konnte im Rahmen des variierten Bereichs nicht festgestellt werden.

## 7 Ausblick

Die Robustheit von Leistungstransistoren im Fehlerfall wird auch in Zukunft von großer Bedeutung sein. Die Steigerung der Stromdichte und Verringerung des aktiven Chipvolumens neuer Generationen und Technologien sowie höhere Integrationsdichten der Schaltungen stellen dabei Herausforderungen dar, so dass die weiterführende Untersuchung von magnetischer Kopplung und weiteren parasitären Effekten relevant ist.

Rückblickend wäre eine Messung des Gatestroms hilfreich, um das Erklären der Verläufe zu unterstützen. Die Ergebnisse werfen neue Fragen auf, welche in zukünftigen Arbeiten untersucht werden können:

- Einfluss der magnetischen Kopplung im Kurzschluss II und III
- Variieren von Bauteilparametern und  $L_{\text{Par}}$  sowie das Erfassen des Gatestroms
- Die analytische Betrachtung des Schwingverhaltens analog zu [21], [22] anhand eines Kleinsignal-Ersatzschaltbilds, den theoretischen Grundlagen von Oszillatoren sowie durch Simulation
- Erforschen der Auswirkung der magnetischen Kopplung bei parallel geschalteten Bauelementen



# A Appendix

## A.1 Erfüllung der Bedingungen für die CSI Messung

Die Bedingungen, die im Abschnitt 3.4 aufgestellt sind, sollen hier für den Messaufbau überprüft werden. Alle Werte der relevanten Größen werden in Tabelle A.1 aufgeführt.

Tabelle A.1: Werte der für CSI Messung relevanten Größen

$R_1$	$L_G$	$ L_{CS}^* _{max}$	$r_{DS}$	$r_{Gint}$	$C_{GS}$	$C_{GD}$	$C_{DS}$
0,91 MΩ	90...250 nH	11,5 nH	$\ll 1 \Omega$	25 Ω	2,7 nF	3,6 nF	1,7 nF

Als Frequenz wurde  $f = 2$  MHz gewählt. Für die Impedanz der Parallelschaltung von  $C_{DS}$  mit der Reihenschaltung aus  $C_{GS}$  und  $C_{GD}$  gilt:  $\frac{1}{\omega(C_{DS} + \frac{C_{GS}C_{GD}}{C_{GS} + C_{GD}})} = 24,8 \Omega$ . Das Ergebnis ist groß gegenüber  $r_{DS}$ , wodurch diese Bedingung erfüllt ist.

Da  $R_1$  bereits 0,91 MΩ groß ist, muss die Impedanz der Reihenschaltung aus  $R_1$ ,  $r_{Gint}$ ,  $L_G$  und  $C_{GS} + C_{GD}$  größer sein, und liegt damit deutlich über der Impedanz der Reihenschaltung  $r_{CS}$  und  $L_{CS}^*$ , da  $r_{CS}$  im Milliohm-Bereich und  $\omega|L_{CS}^*|_{max} \approx 144$  mΩ ist.

Die Resonanzfrequenz von  $L_G$  mit  $C_{GS} + C_{GD}$  liegt bei  $\frac{1}{2\pi\sqrt{L_G \cdot (C_{GS} + C_{GD})}} = 4,0 \dots 6,7$  MHz. Weil die gewählte Frequenz nahe der Resonanzfrequenz liegt, ist die Impedanz gering und liegt bei  $\omega L_G - \frac{1}{\omega(C_{GS} + C_{GD})} = -9,51 \dots -11,52 \Omega$ . Der Widerstand  $r_{Gint}$  liegt ebenfalls in der Größenordnung. Der Spannungsabfall über diese Elemente kann demnach ebenfalls vernachlässigt werden, da  $R_1$  um ein Vielfaches größer ist.

Damit sind für diesen Aufbau sind alle Bedingungen erfüllt, die notwendig sind, um die Vereinfachungen treffen zu können.

## A.2 Messwerte

Tabelle A.2: Messwerte von  $L_G$  und  $L_{CS}^*$  bei PCB 1

Position	$L_G$ in nH	$L_{CS}^*$ in nH
#1	242,2	11,52
#3	116,8	9,41
#4	83,0	9,41
#6	248,7	8,00

Tabelle A.3: Messwerte von  $L_G$  und  $L_{CS}^*$  aller Varianten von PCB 2

Position	PCB 2.1		PCB 2.2		PCB 2.3	
	$L_G$ in nH	$L_{CS}^*$ in nH	$L_G$ in nH	$L_{CS}^*$ in nH	$L_G$ in nH	$L_{CS}^*$ in nH
#1	107,0	-0,84	155,4	-2,37	145,7	-0,32
#2	107,0	-0,21	107,6	-0,21	108,7	-0,28
#3	92,2	-0,21	94,3	-0,21	94,3	-0,29
#4	107,0	0,39	156,1	1,92	145,7	-0,11

## A.3 Messaufbau

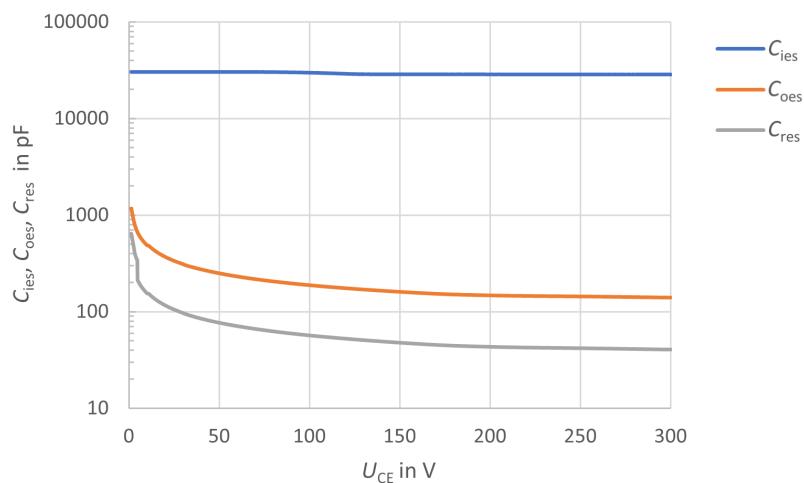


Abbildung A.1: Spannungsabhängigkeit der Kapazitäten des IGBTs bei 100 kHz

Tabelle A.4: Verwendete Messinstrumente

Gemessene Größe	Bezeichnung	Beschreibung
$i_s$	PM9355	AC Stromzange 70 MHz
$I_D$	CWT 3B	600 A Rogowski Spule, 6,2 Hz - 30 MHz
$I_C$	CWT 15R mini	3,0 kA Rogowski Spule 20 MHz
$U_{DS}$	PHV 1000	100:1 Tastkopf 400 MHz 7,5 pF 50 MΩ
$U_{GS}, u_{R1}$	Tek P6139A	10:1 Tastkopf 500 MHz 8,0 pF 10 MΩ
-	DPO 7054	Digitales Speicheroszilloskop 2,5 Gs/s

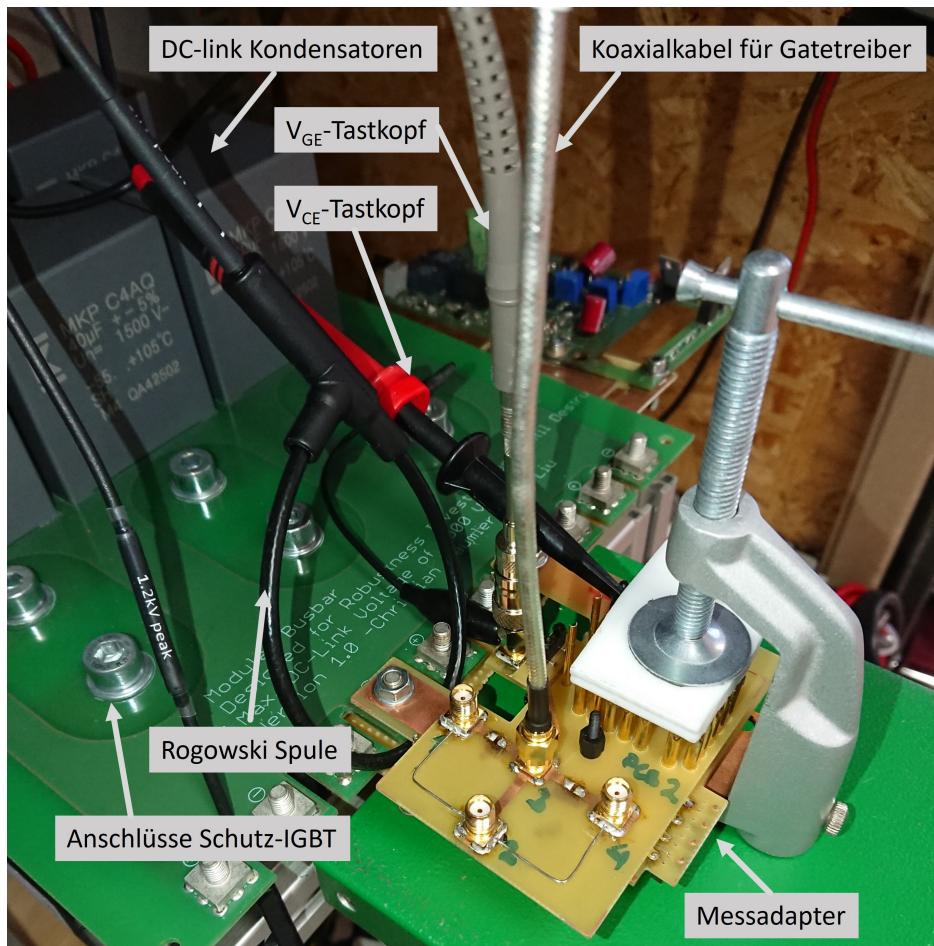
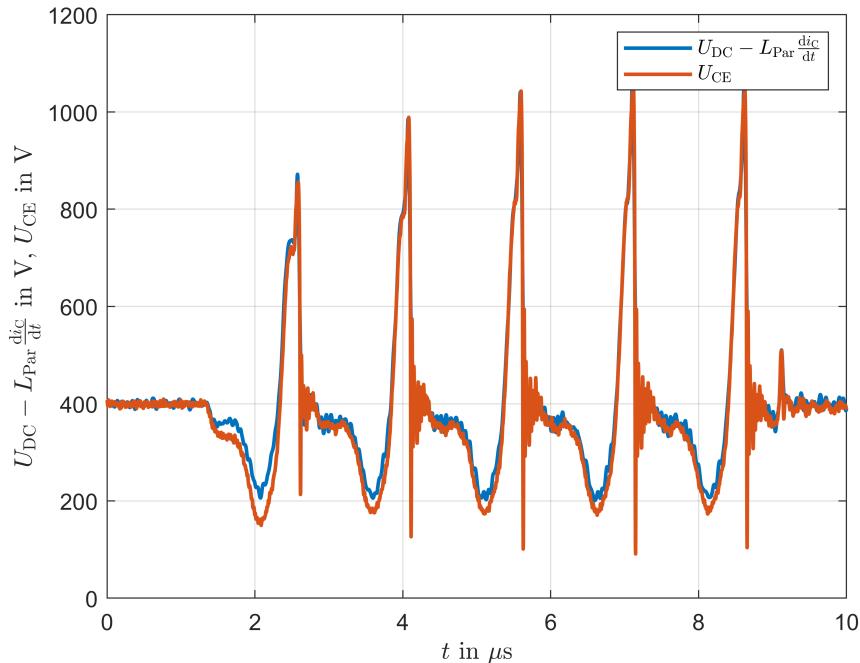


Abbildung A.2: Messaufbau für Kurzschlussmessung

## A.4 Spannungsabfall über Schutz-IGBT

Über den SIGBT fällt während des Kurzschlussversuchs eine Spannung ab, die das Kurzschlussverhalten beeinflusst und deshalb möglichst klein sein soll. Das direkte Messen dieser Spannung über dem SIGBT führt wegen dessen parasitärer Induktivität zu einem verfälschtem Messergebnis.

Deshalb wird der Spannungsverlauf, der ohne Berücksichtigung des Spannungsabfalls über den SIGBT bei gleichem Stromverlauf zustande kommt, nach Gleichung A.1 bestimmt. Der Vergleich mit der tatsächlich gemessenen Spannung über dem Prüfling liefert den Spannungsabfall über dem SIGBT in Abbildung A.3.



*Abbildung A.3:* Vergleich von der tatsächlich über dem Prüfling (IGBT) abfallenden Spannung mit der über Stromänderungsrate und parasitäre Induktivität berechneten bei  $U_{DC} = 400$  V;  $U_{Gon} = 11$  V;  $R_{Gon} = R_{Goff} = 5,6 \Omega$

Während des ersten Spannungseinbruchs tritt der größte Unterschied mit einer tatsächlich gemessenen Spannung von 159 V und einer berechneten Spannung von 207 V auf. Die Differenz von 48 V fällt über dem SIGBT ab, ist aber im Vergleich zum Induktiven Spannungsabfall über  $L_{Par}$  von knapp 200 V gering. In den folgenden Spannungseinbrüchen wird diese Differenz geringer, da der SIGBT mit Ladungsträgern geflutet wird. Eine höhere Gatespannung des SIGBT konnte den Spannungsabfall nicht verringern. Es lässt sich erkennen, dass die positiven Spannungsspitzen beider Verläufe gut übereinstimmen, was für die korrekte Berechnung spricht.

$$U = U_{DC} - L_{Par} \frac{di_C}{dt} \quad (\text{A.1})$$

## A.5 Kurzschlussmessung

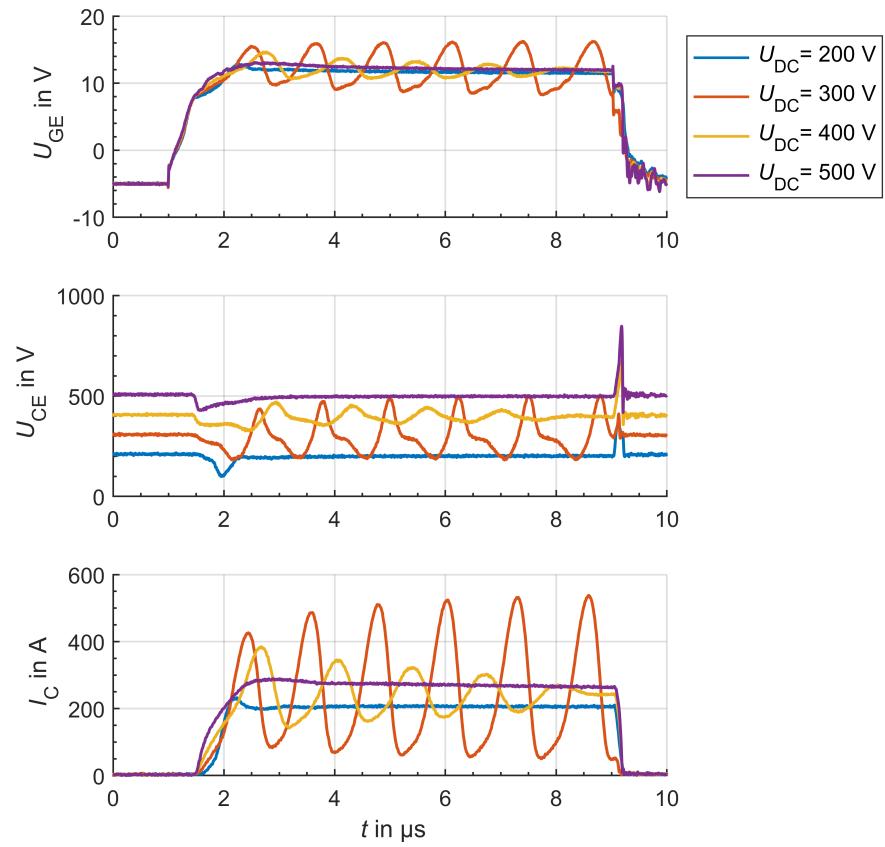


Abbildung A.4: Strom- und Spannungsverläufe im Kurzschluss I des IGBT mit PCB 2.2 #1 bei  $U_{DC} = \{200 \text{ V}; 300 \text{ V}; 400 \text{ V}; 500 \text{ V}\}$ ;  
 $R_{Gon} = R_{Goff} = 7,5 \Omega$ ;  $U_{Gon} = 11 \text{ V}$



## Literatur

- [1] C. Bäumler, J. Franke und J. Lutz, „Reliability aspects of 3D integrated power devices,“ in *2021 Third International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM)*, IEEE, 2021, S. 1–6.
- [2] R. Matsumoto, K. Aikawa, A. Konishi, K. Umetami und E. Hiraki, „Evaluation of impact of parasitic magnetic coupling in PCB layout on common source inductance of surface mounted package,“ in *2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS)*, IEEE, 2017, S. 559–566.
- [3] K. Umetani, K. Aikawa und E. Hiraki, „Straightforward measurement method of common source inductance for fast switching semiconductor devices mounted on board,“ *IEEE Transactions on Industrial Electronics*, Jg. 64, Nr. 10, S. 8258–8267, 2017.
- [4] Z. Chen, D. Boroyevich und R. Burgos, „Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics,“ in *The 2010 International Power Electronics Conference-ECCE ASIA*, IEEE, 2010, S. 164–169.
- [5] W. Zhang, Z. Zhang, F. Wang, D. Costinett, L. Tolbert und B. Blalock, „Common source inductance introduced self-turn-on in MOSFET turn-off transient,“ in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, IEEE, 2017, S. 837–842.
- [6] X. Liu, J. Kowalsky, C. Herrmann, C. Bäumler und J. Lutz, „The influence of the gate driver and common-source inductance on the short-circuit behavior of IGBT modules and protection,“ *IEEE Transactions on Power Electronics*, Jg. 35, Nr. 10, S. 10 789–10 798, 2020.
- [7] C. Bäumler, T. Vogel, B. Zhang und T. Basler, „Influence of magnetic coupling effects between load and gate commutation loop on the short circuit behavior,“ 2022.
- [8] J. Lutz, *Halbleiter-Leistungsbauelemente*. Springer, 2012.
- [9] A. Wintrich, U. Nicolai, W. Tursky und T. Reimann, *Applikationshandbuch Leistungshalbleiter*. ISLE Verlag, 2015.

- [10] M. Albach, *Induktivitäten in der Leistungselektronik*. Springer, 2017.
- [11] S. Paul, „Das magnetische Feld,“ in *Grundlagen der Elektrotechnik und Elektronik 2: Elektromagnetische Felder und ihre Anwendungen*. Springer Berlin Heidelberg, 2012, S. 185–400, ISBN: 978-3-642-24157-4.
- [12] M. Hufschmid, *Grundlagen der Elektrotechnik: Einführung für Studierende der Ingenieur- und Naturwissenschaften*. Springer, 2021.
- [13] L. v. Wangenheim, *Aktive Filter und Oszillatoren*. Springer, 2008.
- [14] T. Basler, „Ruggedness of High-Voltage IGBTs and Protection Solutions,“ Diss., Dissertation, Chemnitz, Technische Universität Chemnitz, 2014.
- [15] C. Unger und M. Pfost, „Particularities of the short-circuit operation and failure modes of SiC-MOSFETs,“ *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 9, Nr. 5, S. 6432–6440, 2021.
- [16] Y. Zhou, H. Liu, S. Mu, Z. Chen und B. Wang, „Short-circuit failure model of SiC MOSFET including the interface trapped charges,“ *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 8, Nr. 1, S. 90–98, 2019.
- [17] X. Chen, H. Chen, B. Shi, Y. Wang u. a., „Investigation on short-circuit characterization and optimization of 3.3-kV SiC MOSFETs,“ *IEEE Transactions on Electron Devices*, Jg. 68, Nr. 1, S. 184–191, 2020.
- [18] T. Funaki, N. Phankong, T. Kimoto und T. Hikihara, „Measuring terminal capacitance and its voltage dependency for high-voltage power devices,“ *IEEE Transactions on power electronics*, Jg. 24, Nr. 6, S. 1486–1493, 2009.
- [19] *Datasheet FS150R12N3T7 EconoPACK™3 module*, Infineon Technologies AG, Jan. 2022. Adresse: <https://www.infineon.com/cms/en/product/power/igbt-igbt-modules/fp150r12n3t7/> (besucht am 26.06.2022).
- [20] J. Boehmer, J. Schumann und H.-G. Eckel, „Effect of the miller-capacitance during switching transients of IGBT and MOSFET,“ in *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, IEEE, 2012, LS6d-3.
- [21] A. Lemmon, M. Mazzola, J. Gafford und C. Parker, „Stability Considerations for Silicon Carbide Field-Effect Transistors,“ *IEEE Transactions on power electronics*, Jg. 28, Nr. 10, S. 4453, 2013.
- [22] A. Lemmon, M. Mazzola, J. Gafford und C. Parker, „Instability in Half-Bridge Circuits Switched With Wide Band-Gap Transistors,“ *IEEE Transactions on power electronics*, Jg. 29, Nr. 5, 2014.



Name: <b>Vogel</b>	<b>Bitte beachten:</b>
Vorname: <b>Tobias</b>	1. Bitte binden Sie dieses Blatt am Ende Ihrer Arbeit ein.
geb. am: <b>29.05.2000</b>	
Matr.-Nr.: <b>525879</b>	

Selbstständigkeitserklärung\*

Ich erkläre gegenüber der Technischen Universität Chemnitz, dass ich die vorliegende **Bachelorarbeit** selbstständig und ohne Benutzung anderer als der angegebenen Quellen und Hilfsmittel angefertigt habe.

Die vorliegende Arbeit ist frei von Plagiaten. Alle Ausführungen, die wörtlich oder inhaltlich aus anderen Schriften entnommen sind, habe ich als solche kenntlich gemacht.

Diese Arbeit wurde in gleicher oder ähnlicher Form noch nicht als Prüfungsleistung eingereicht und ist auch noch nicht veröffentlicht.

Datum: **04.08.2022**

Unterschrift: .....

\* Statement of Authorship

I hereby certify to the Technische Universität Chemnitz that this thesis is all my own work and uses no external material other than that acknowledged in the text.

This work contains no plagiarism and all sentences or passages directly quoted from other people's work or including content derived from such work have been specifically credited to the authors and sources.

This paper has neither been submitted in the same or a similar form to any other examiner nor for the award of any other degree, nor has it previously been published.