



EDUCACIÓN

SECRETARÍA DE EDUCACIÓN PÚBLICA



TECNOLÓGICO
NACIONAL DE MÉXICO

Instituto Tecnológico de Morelia

Ingeniería en Sistemas Computacionales

Arquitectura de Computadoras

Práctica I: Simulación Sumador-Restador binario de 4 bits.

Docente teoría:

Servando González Hernández

Docente laboratorio:

Gricelda Citlaly Chávez Campos

presentado por:

Alberto Montoya Arriaga

Michael Aaron Villalon Nieves

Morelia, Michoacán, México. 25 de septiembre de 2025.

Índice

1. Introducción	3
2. Desarrollo	3
2.1. Parte 1 (<i>Sesión 12/09/2025</i>)	3
2.1.1. Sumador de 4 bits	3
2.1.2. Restador de 2 bits	3
2.2. Parte 2 (<i>Sesión 19/09/2025</i>)	3
2.2.1. Sumador y restador con complemento a 1 y 2	3
3. Conclusiones.	3
4. Bibliografía	3

1. Introducción

Circuito Lógico Combinacional (CLC):

Definición: circuito encargado de procesar (transformar) las señales binarias (información digital).

Se puede representar como una «caja negra» (abstracción) con los siguientes componentes:

- Una ó más entradas (señales binarias).
- Una ó más salidas (señales binarias).
- Funcionalidad describiendo la relación entre entradas y salidas.
- *Timing: determina el retraso entre el cambio de una entrada y la respuesta de una salida.*

2. Desarrollo

2.1. Parte 1 (Sesión 12/09/2025)

2.1.1. Sumador de 4 bits

2.1.2. Restador de 2 bits

2.2. Parte 2 (Sesión 19/09/2025)

2.2.1. Sumador y restador con complemento a 1 y 2

3. Conclusiones.

4. Bibliografía

Abad, P., & Torralbo, P. (n.d.). Tema 3. Circuitos Lógicos Combinacionales Sistemas Digitales https://ocw.unican.es/pluginfile.php/2410/course/section/2423/tema_03.pdf