



Estructuras de Computadores – (34010)

Examen (3 de Junio de 2016)

Pregunta 1.

(2.5 puntos)

Obtener el resultado de la operación $A+B$ y $A \times B$ en el formato IEEE 754 de los siguientes números representados en este formato. Para obtener el resultado especificar los pasos seguidos utilizando el algoritmo de suma y multiplicación estudiado para números representados en el IEEE 754. Expresar el resultado en hexadecimal:

$A = 0x41982000$

$B = 0xBE8C0000$

Pregunta 2.

(2.5 puntos)

a) Ordena y completa la secuencia (1.5 puntos)

Acción	Orden
A partir de este momento la CPU puede realizar otra tarea.	
De esta forma la CPU únicamente participa al comienzo y al final de la transferencia.	
CPU envía: la dirección del periférico, el tipo de operación (_____/_____), la posición de comienzo en memoria y el número de palabras que se tienen que leer o escribir.	
Cuando la transferencia finaliza, el controlador de DMA envía una señal de interrupción (_____) a la CPU para indicarle que ya ha termina	
El controlador de DMA transfiere directamente, palabra a palabra, el bloque completo de datos entre el periférico y la memoria, sin pasar por la CPU. Para ello, el controlador de DMA activa su señal (_____) y la CPU activa su señal (_____)	

b) En una memoria caché:

- ¿Qué es la tasa de aciertos? (0.25 puntos)
- ¿Qué es la función de correspondencia? ¿Qué tipos hay? (0.75 puntos)



Pregunta 3.

(2.5 puntos)

Un computador posee una CPU de 20 bits de bus de direcciones y de 16 bits de longitud de palabra y señal de lectura/escritura: R/\overline{W} . Se desea conectar esta CPU a una memoria con las siguientes características:

- 256K x 16 de memoria ROM comenzando en la dirección C0000 H.
- 512K x 16 de memoria RAM comenzando en la dirección 00000 H.

Se dispone de los siguientes tipos de chips de memoria para elegir:

RAM	ROM
64K x 16 128K x 8 256K x 8 256 x 16 512Kx1	64K x 8 128K x 16 256K x 1
Selección chip RAM: CS Señal de Lectura RAM: \overline{OE} Señal de Escritura: \overline{WE}	Selección chip ROM: \overline{CS} Señal de Lectura ROM: OE

Se pide:

- ¿Se podría ampliar el tamaño de palabra de este computador a 32 bits? Razona la respuesta (0.25 ptos.)
- Diseñar el mapa de memoria descrito **utilizando el menor número de chips posible** de entre los tipos de memoria que aparecen en el cuadro anterior. (1 pto.)
- ¿Qué pastilla de memoria y de qué tipo se activará si solicitamos la dirección B6666 H? ¿y si solicitamos la dirección 6BBBB H? (0.25 ptos.)
- Realizar el diagrama de conexiones completo de la CPU y la memoria, utilizando decodificadores y las puertas lógicas necesarias. (1 pto.)

Pregunta 4.

(2.5 puntos)

4.1.- (1.2 punto) Partimos de la ruta de datos monociclo estudiada en clase que permite ejecutar instrucciones tipo-R, lw, sw y beq. Se está considerando la posibilidad de introducir nuevas instrucciones en esta versión monociclo que permita realizar operaciones aritmético-lógicas con datos que se encuentren en la memoria. Estas instrucciones utilizarán también el formato tipo R y su forma general será $rd \leftarrow rs \text{ op } M[rs]$ donde *op* puede ser una suma, resta, and, or, slt. Por ejemplo para la suma su forma general será:

Addm rs, rt, rd #rd \leftarrow rs+M[rs]

- Modifica la ruta de datos monociclo de la hoja de soluciones para que se puedan ejecutar estas nuevas instrucciones incluyendo las señales de control que sean necesarias. (intenta dibujar los cambios en la figura de la forma más clara posible). Describe y justifica los cambios que has hecho. (0.4 puntos)
- Rellena la tabla con el valor de las señales de control para que se ejecuten correctamente tanto las instrucciones tipo R originales como las nuevas (utilizar X cuando sea posible). Añade columnas nuevas si has incluido nuevas señales de control. (0.4 puntos).
- Supón que las memorias y la ALU tienen un retardo de $2ns$ y el Banco de Registros un retardo de $1ns$. Calcula la duración del ciclo de reloj para nueva la ruta de datos que has modificado y compáralo con la duración del ciclo de reloj de la ruta de datos original. (0.4 puntos)

4.2.- (1.3 puntos) En la ruta de datos multiciclo del MIPS de la figura se han realizado unas pequeñas modificaciones respecto a la ruta de datos estudiada en clase. Esta nueva ruta de datos permite ejecutar también dos nuevas instrucciones de carga y almacenamiento con modo de direccionamiento indirecto con autoincremento. Estas nuevas instrucciones son de tipo I y tienen las siguientes formas generales:

```

LwIn rt, displ(rs)    # rd ← M[M[rs+displ]]
                        # rs ← rs + 4
SwIn rt, desp(rs)     # M[M[rs+desp]] ← rt
                        # rs ← rs + 4

```

Estas instrucciones además de leer (o escribir) una palabra de (o en) memoria cuya dirección se encuentra a su vez en una posición de memoria, incrementan el contenido del registro rs en 4.

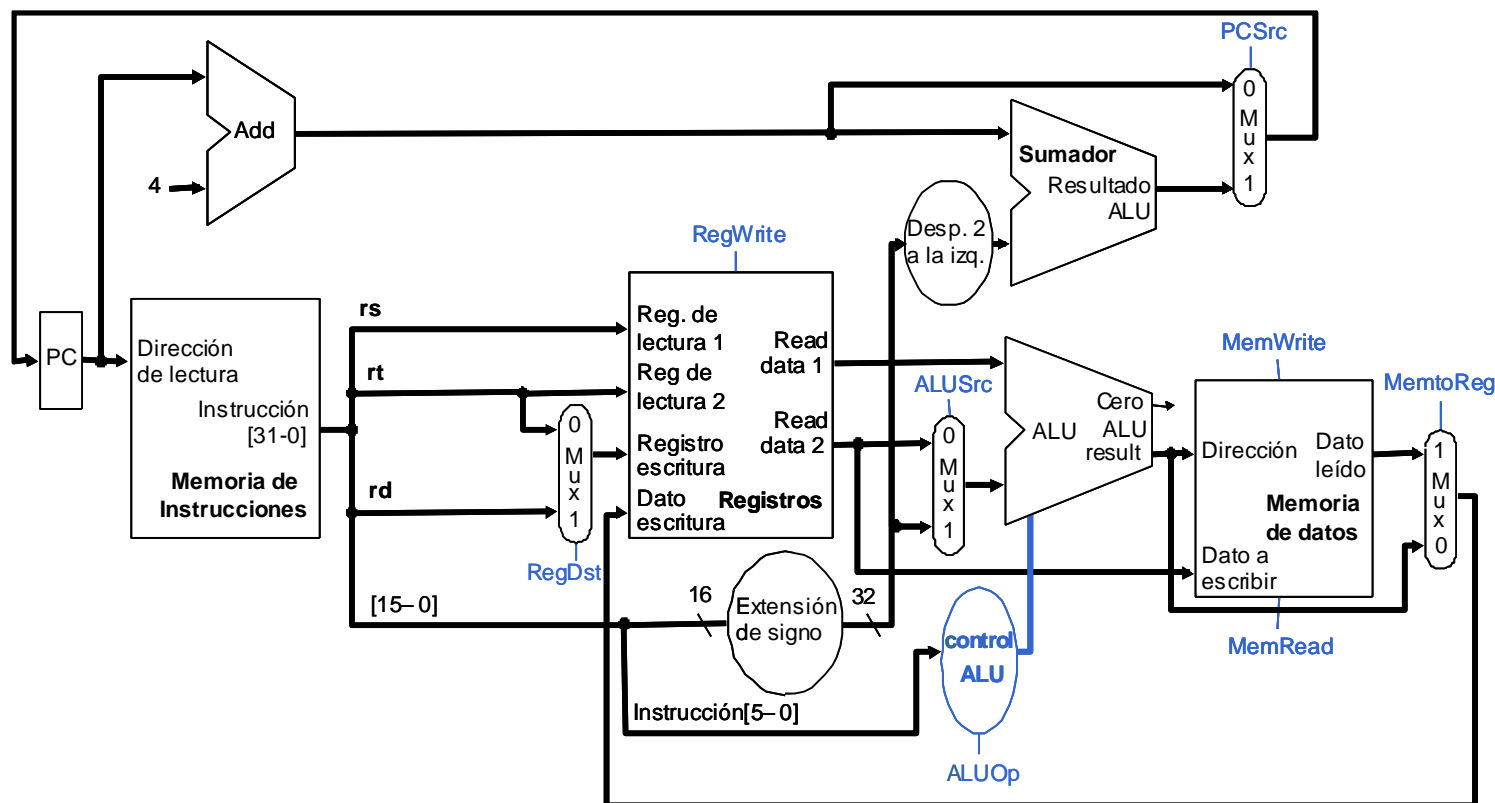
- a) Obtén las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: $PC \leftarrow PC + 4$) así como el valor de las señales de control que se activarán en la ejecución de cada instrucción nueva. Intenta que las instrucciones se ejecuten con el menor número posible de ciclos de reloj) (0.8 puntos)

Si el procesador funciona a 50 GHz, indicar en picosegundos cuánto tarda en ejecutarse cada instrucción nueva, LwIn y SwIn. Compara este valor con el tiempo que tardaría en ejecutarse las instrucciones lw y sw que implementa el MIPS original. (0,5 puntos)



HOJA SOLUCIONES DEL EJERCICIO A ENTREGAR

a) Ruta monociclo a modificar



b) Tabla de señales de control de la ruta de datos monociclo a rellenar

	RegDst	RegWrite	AluSrc	ALUOp	MemWrite	MemRead	MemToReg	PCSrc				
Tipo-R Original												
Tipo_R Nuevas												



Ruta de datos multiciclo modificada

