



Estructuras de Computadores – (34010)

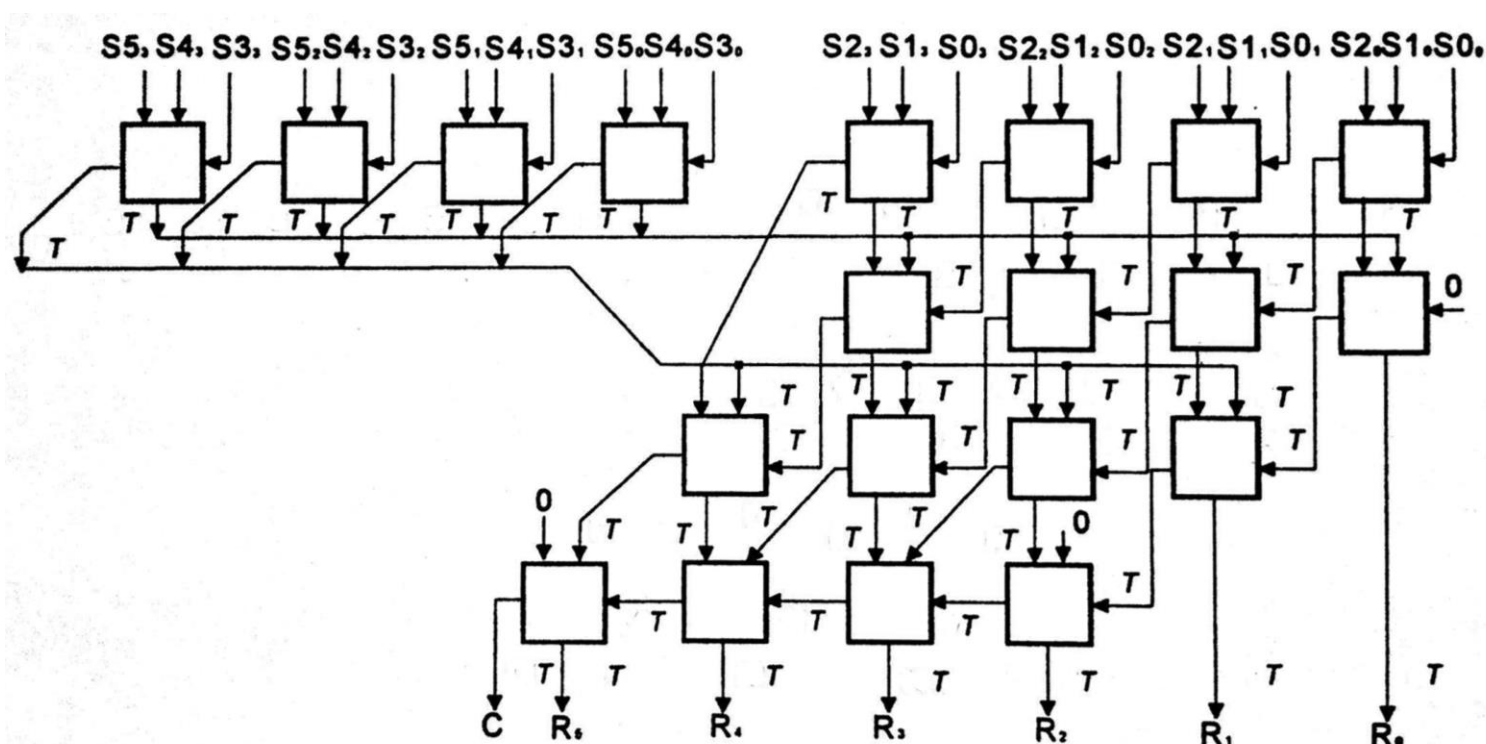
Examen (17 de Julio de 2012)

Pregunta 1.

(3 puntos)

Suponiendo que los sumadores están implementados con semisumadores y que el retardo de la puerta AND es 1 T, se pide:

- (a) Obtener el retardo de un CLA de 12 bits. Para ello, indicar el retardo de los acarreos C3, C7 y C11 y el retardo de S11, ..., S0. (1 punto)
- (b) Obtener el retardo del siguiente circuito que suma 6 sumandos (S5, S4, S3, S2, S1 y S0) de 4 bits. Para ello, al lado de cada T poner el valor del retardo. (2 puntos)





Pregunta 2.

(2.4 puntos)

Obtén el mapa de memoria un computador de 16 bits que permite direccionar 4Gpalabras y tiene 2Gpalabras instaladas a partir de chips de 256Mx8. Indicando:

- 1) Número de bits del bus de direcciones del computador.
- 2) Dados el número de chips instalados, indica el número de bits que necesitamos para direccionarlos.
- 3) Número de chips que se han utilizado.
- 4) Numero de bits del bus de direcciones que nos permitirá seleccionar entre los chips de memoria.
- 5) Completa la tabla:

A ₂₁ A ₂₀	A ₁₉ -A ₁₆	A ₁₅ -A ₁₂	A ₁₁ -A ₈	A ₇ -A ₄	A ₃ -A ₀	Dir. Hex.	Nº chip

- 6) Realiza el diagrama de conexiones del procesador con los chips de memoria.

Pregunta 3.

(0.6 puntos)

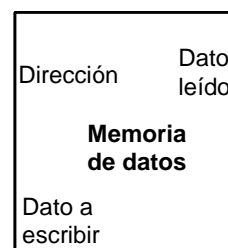
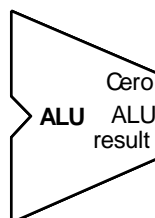
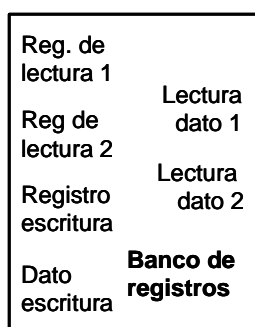
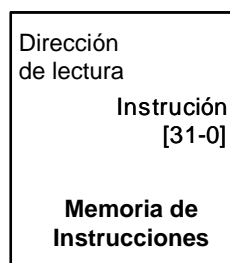
Si los chips de memoria de la pregunta 2 son del tipo DRAM, calcula el número de lecturas que se pueden realizar en 1s, sabiendo que su tiempo de acceso es de 7ns y su tiempo de restauración de 3ns.



Pregunta 4.

(1 punto)

Completa el siguiente diagrama monociclo para que muestre solo la implementación de una instrucción **load** con las señales de control que se activan.



Pregunta 5.

(3 puntos)

Se desea que la ruta de datos multiciclo del MIPS ejecute una nueva instrucción denominada **Sm** (saltar a memoria):

$$PC \leftarrow M[Rf1 + Rf2 + Desplazamiento]$$

El formato de esta nueva instrucción es de tipo I. Se propone modificar la ruta de datos de tal manera que incluya un multiplexor a la entrada del PC y se amplíe el primer multiplexor de la ALU tal como muestra la figura. Suponed que en esta nueva ruta de datos se ejecutan también las instrucciones aritmético-lógicas (**add**, **sub**, **and**, **or** y **sllt**) con formato tipo R y las intrucciones **lw**, **sw** y **beq** con formato tipo I.

- Obtened las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: $PC \leftarrow PC + 4$) de la instrucción **Sm** (0,8 puntos) y de las instrucciones **add**, **lw** y **beq** (0,7 puntos). Las instrucciones deben ejecutarse en el menor número posible de ciclos de reloj.
- Obtened el valor de las señales de control que se activan en cada ciclo de reloj para la instrucción **Sm** (0,8 puntos) y para las instrucciones **add**, **lw** y **beq** (0,7 puntos). Suponed que al inicio de cada ciclo de reloj todas señales de control tienen el valor 0 (están desactivadas).

