



Estructuras de Computadores – (34010)

Examen (10 de Junio de 2013)

Pregunta 1.

(2.5 puntos)

Dado un computador de 32 bits que trabaja a 100 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina y cada operación de lectura o escritura en memoria tarda 2 ciclos máquina. Determinar la máxima velocidad de transferencia, en bytes por segundo, para los siguientes casos:

- Entrada/Salida controlada por programa y empleando 5 instrucciones en transferir cada palabra.
- Un sistema de DMA con estrategia de transferencia por ráfagas.
- Un sistema de DMA con estrategia de transferencia por robo de ciclos.
- Un sistema de DMA con estrategia de transferencia transparente y suponiendo que en cada instrucción en promedio hay 1 ciclo en el cual la CPU no emplea el bus.

Pregunta 2.

(2.5 puntos)

Un computador formado por un microprocesador presenta las siguientes características: direcciona 1 Mbyte, Bus de datos del tamaño del bus de datos de MANOTAS, E/S aislada

MEMORIA:

En la dirección de memoria 80000h comienza una memoria ROM de 32Kbytes

En la dirección F0000h comienza una memoria RAM de 64Kbytes.

ENTRADA/SALIDA

Las primeras 1024 posiciones del sistema de E/S permiten acceder a 1024 conmutadores (on-off).

Las últimas 1024 posiciones del sistema de E/S permiten acceder a 1024 displays de 8 segmentos.

Se pide:

- Mapa de memoria especificando los bits de dirección, las direcciones de inicio y fin de cada bloque en hexadecimal, su capacidad y tipo. (0.5 puntos)
- Mapa de entrada/salida especificando los bits de dirección y las direcciones de inicio y fin de cada bloque en hexadecimal. (0.5 puntos).
- Diagrama de conexiones tanto del sistema de memoria como del sistema de E/S. (1.5 puntos)

Consideraciones a tener en cuenta:

- Se dispone de EPROM 32Kx4 y RAM de 32Kx8, 64Kx8, 128Kx4, 256Kx4 y 512Kx8.
- Emplear el menor número de módulos de memoria.
- Facilidad en posibles ampliaciones futuras de memoria y de añadir más conmutadores y displays solamente.
- Las conexiones de los módulos de memoria son: EPROM (bus de direcciones, el bus de datos, \overline{CE} , \overline{OE}), RAM (bus de direcciones, el bus de datos, \overline{CS} , \overline{OE} , \overline{WE}).
- Las conexiones del microprocesador derecho son: el bus de direcciones, el bus de datos, R/\overline{W} y IO/\overline{M} .
- Las conexiones del display son: bus de datos, \overline{CS} y \overline{WE} .
- Las conexiones del conmutador son: bus de datos (bit 0), \overline{CS} y R/\overline{W} .
- Los decodificadores, codificadores, multiplexores, demultiplexores tienen una señal de selección \overline{CS} .

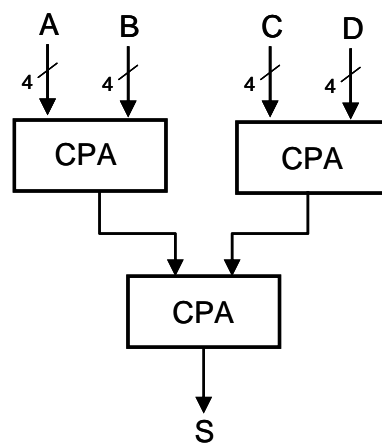


Pregunta 3.

(2 puntos)

Se pretende construir un sumador de 4 números ($A+B+C+D$) de 4 bits utilizando CPA's según el esquema de la figura. Suponed que los sumadores completos están implementados con semisumadores y que el retardo de la puerta AND es 1 T, se pide:

- Desarrollar el esquema del circuito a partir de bloques elementales de sumadores completos. Colocar al lado de **cada** bit de suma y de acarreo del circuito que habéis dibujado el valor del retardo. ¿Cuánto se tarda en obtener la suma de los 4 números?
- Volver a dibujar el esquema del circuito y al lado de cada bit de suma y de acarreo de cada sumador completo, poner el valor resultado si los números a sumar son $A=0101$, $B=1001$, $C=1100$ y $D=1010$.



Pregunta 4.

(3 puntos)

Se ha modificado ligeramente la ruta de datos del MIPS como se muestra en la figura para que se pueda ejecutar la siguiente instrucción nueva:

`Add3 $t5, $t6, $t7, $t8 # $t5 ← $t6 + $t7 + $t8`

Suponer que se añade un nuevo formato de instrucción similar al R con la diferencia que los bits [0-4] se utilizan para especificar el registro fuente adicional, además se añade un nuevo código de operación para esta instrucción.

Suponed que en esta nueva ruta de datos se ejecutan también las instrucciones aritmético-lógicas (**add**, **sub**, **and**, **or** y **slt**) con formato tipo R y las intrucciones **lw**, **sw** y **beq** con formato tipo I.

- (1,3 puntos) Obtened las acciones a realizar en cada ciclo de reloj mediante lenguaje de transferencia de registros (por ejemplo: $PC \leftarrow PC + 4$) de las instrucciones **add3**, **add**, **lw** y **beq**. Las instrucciones deben ejecutarse en el **menor número posible** de ciclos de reloj.
- (1,3 puntos) Obtened el valor de las señales de control que se activan en cada ciclo de reloj para las instrucciones **add3**, **add**, **lw** y **beq**. Suponed que al inicio de cada ciclo de reloj todas señales de control tienen el valor 0 (están desactivadas).
- (0,4 puntos) Si el la frecuencia de reloj del procesador es de 100GHz, ¿Cuánto tarda en ejecutarse cada instrucción?

