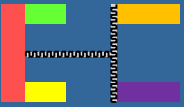


TEMA 5.

UNIDAD DE ENTRADA/SALIDA

dtic



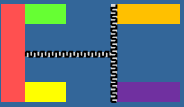


TEMA 5. UNIDAD DE ENTRADA/SALIDA

Índice

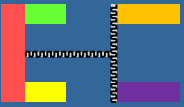
- ⊙ Conceptos básicos
 - ⊙ Problema de E/S
 - ⊙ Dispositivo de E/S
 - ⊙ Controlador de E/S
- ⊙ Técnicas de transferencia
 - ⊙ E/S por programa
 - ⊙ E/S por interrupciones
 - ⊙ E/S mediante DMA
- ⊙ Procesadores de E/S





El sistema de E/S realiza tres funciones principales:

- ① Direccionar dispositivos externos.
- ① Realizar la transferencia de datos entre los dispositivos externos y la CPU.
- ① Sincronizar.



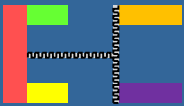
Problema de las E/S

- ⊙ Operación asíncrona.
- ⊙ Diferencia de velocidad. Los dispositivos de E/S son lentos y no transmiten datos mediante un flujo continuo. Esto provoca que el procesador tenga que esperar.

Necesidad de controlar las operaciones asíncronas y resolver la diferencia de velocidad para que el procesador no espere demasiado y disminuya el rendimiento global del sistema.



CONTROLADOR DE E/S

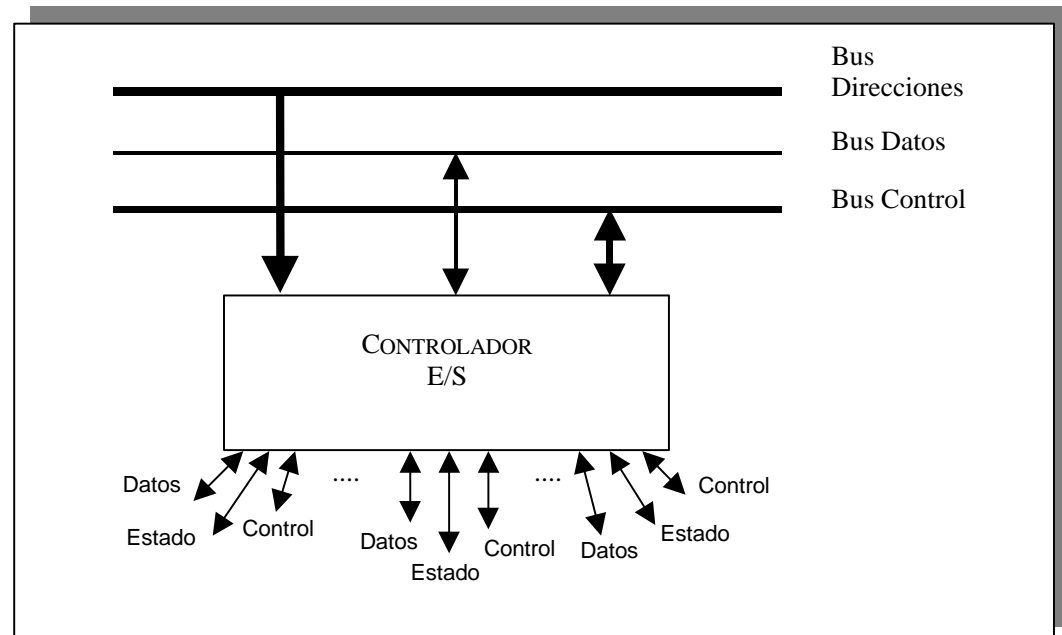


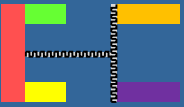
FUNCIONES CONTROLADOR E/S

Conceptos básicos

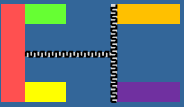
Este controlador tiene dos grandes funciones:

- Comunicarse con la CPU y la memoria a través del bus del sistema.
- Comunicarse con uno o varios dispositivos externos mediante enlaces específicos de cada dispositivo.





- ④ Un dispositivo externo se conecta al computador a través de un enlace con un controlador de E/S.
- ④ El enlace se utiliza para intercambiar datos e información de control y estado, entre el controlador de E/S y el dispositivo externo.
- ④ Clasificación:
 - ④ Adaptados al usuario. Son apropiados para comunicar información al usuario.
 - ④ Adaptados a la máquina. Permiten comunicarse con el sistema. A este tipo pertenecen las unidades de almacenamiento secundario.
 - ④ De comunicación. Permiten la transferencia de información entre dispositivos remotos. Estos dispositivos pueden estar adaptados al usuario, a la máquina o incluso ser otro computador.



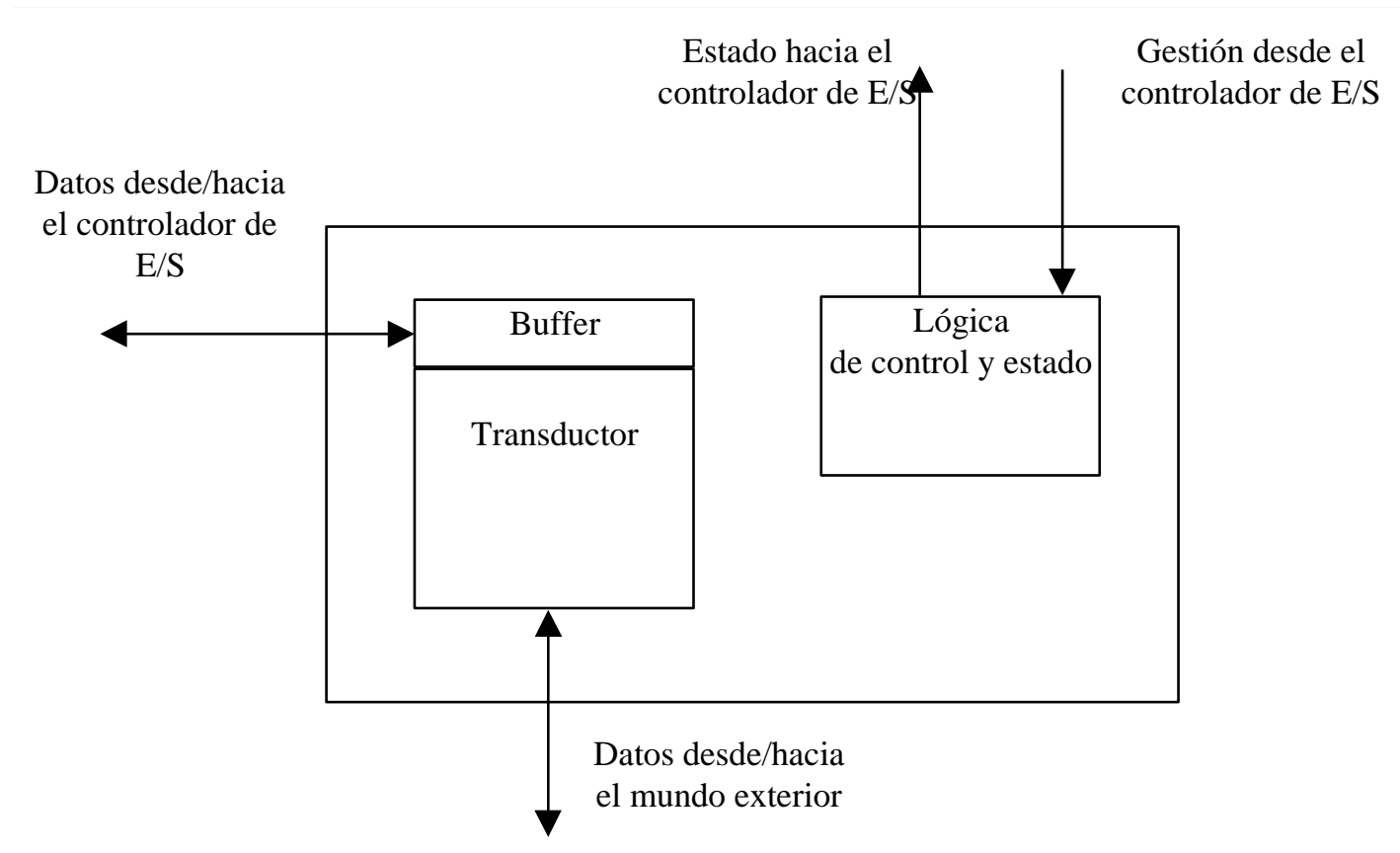
⊙ Componentes

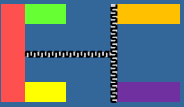
- ⊙ Una lógica de control para gobernar su funcionamiento.
- ⊙ Un transductor.
- ⊙ Una pequeña memoria (registro/buffer) para almacenar temporalmente los datos que transfiere.
- ⊙ Los datos.
- ⊙ Señales de control que determinan la función que realiza el dispositivo.
- ⊙ Señales de estado que indiquen el estado en que se encuentra el dispositivo.





Esquema genérico



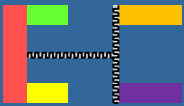


CONTROLADOR DE E/S

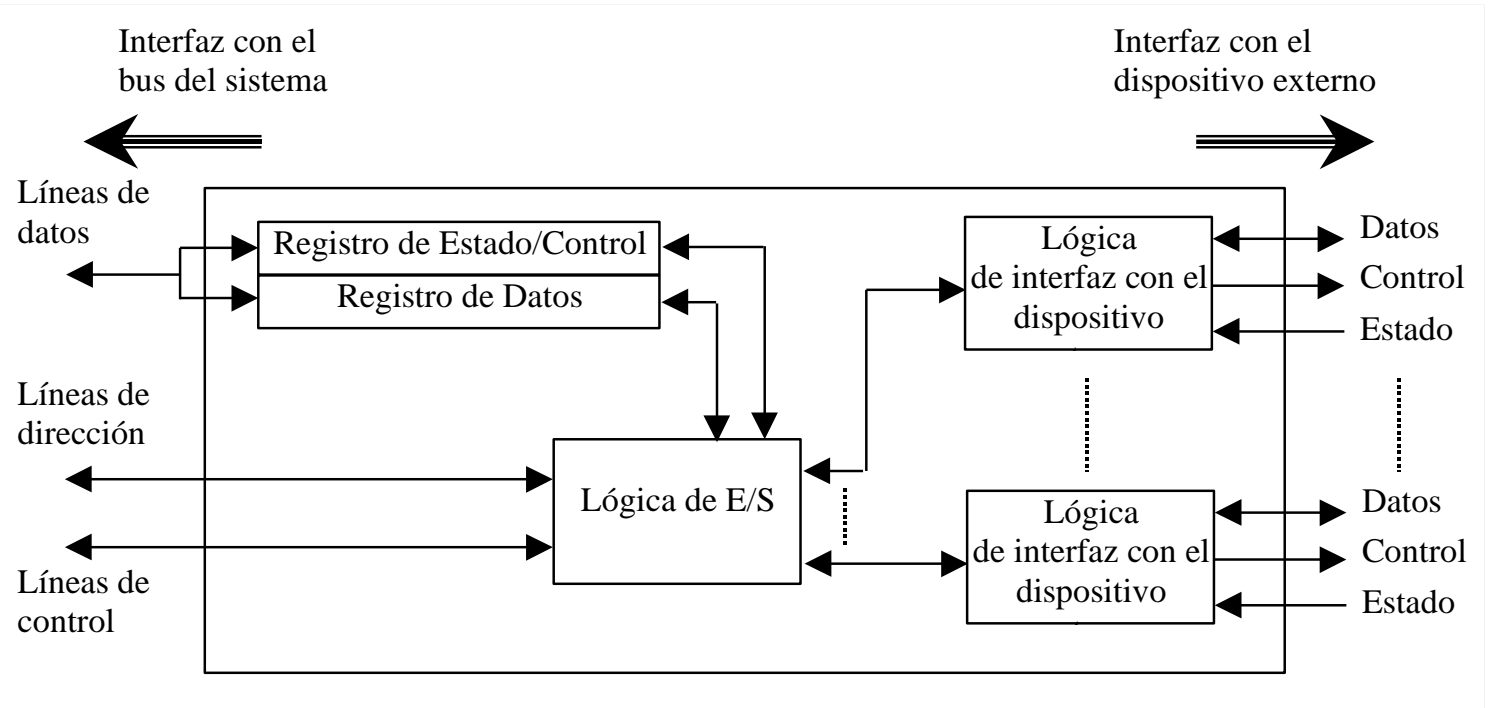
Conceptos básicos

Un controlador de E/S o módulo de E/S es el elemento del computador responsable del control de uno o más dispositivos externos y del intercambio de datos entre dichos periféricos con la memoria principal o con los registros de la CPU.

El controlador de E/S debe poseer una **interfaz interna** al computador para su conexión con la CPU y la memoria principal y una **interfaz externa** al computador para su conexión con el dispositivo externo



🎯 Estructura

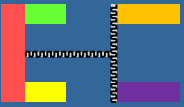


Al conjunto de registros genéricamente se les suele llamar **puertos** del controlador.



🎯 Funciones

- 🕒 Comunicación con la CPU
- 🕒 Comunicación con el dispositivo externo
- 🕒 Almacenamiento temporal de datos
- 🕒 Control y temporización
- 🕒 Detección de errores



E/S controlada por programa. La CPU ejecuta un programa que tiene el control directo de la operación de E/S. La CPU tendrá que esperar y el rendimiento del sistema disminuirá.

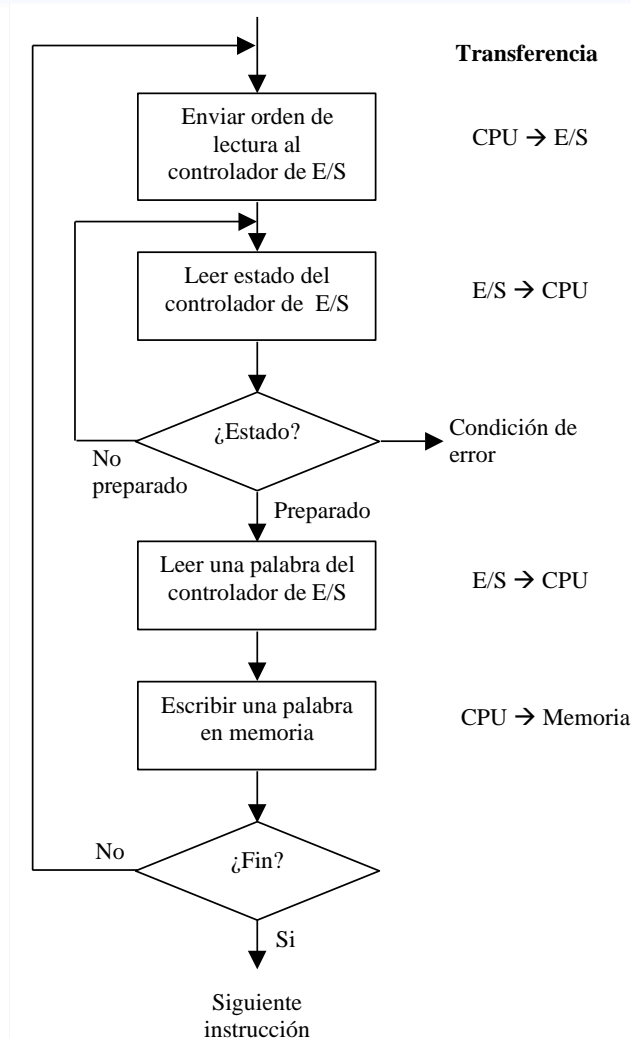
E/S por interrupciones. La CPU envía una orden de E/S y continúa ejecutando otras instrucciones hasta que es interrumpida por el controlador de E/S, cuando éste ha finalizado su trabajo.

En estas dos técnicas, la CPU es la responsable de leer los datos.

Sería más conveniente que la CPU se encontrara con los datos en memoria principal cuando le avise el controlador de E/S. Esto se consigue con la técnica de transferencia mediante **acceso directo a memoria**.

ENTRADA/SALIDA POR PROGRAMA-FUNCIONAMIENTO

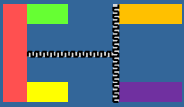
Técnicas de transferencia



Lectura mediante E/S controlada por programa

Desventaja:

El procesador no realiza ningún trabajo útil mientras permanece en el bucle de espera.



ENTRADA/SALIDA POR PROGRAMA-DIRECCIONAMIENTO

Técnicas de
transferencia

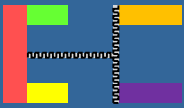
Cuando la CPU, la memoria principal y la unidad de E/S comparten un bus común, son posibles dos modos de direccionamiento de los puertos:

🕒 **E/S asignada o mapeada en memoria** (“memory-mapped”)

Existe un único espacio de direcciones para las posiciones de memoria y los dispositivos de E/S. La CPU trata los registros de datos y de estados de los controladores de E/S como posiciones de memoria y utiliza las mismas instrucciones máquina para acceder tanto a la memoria como a los periféricos.

Por regla general, cuando se diseña un mapa de memoria, se reserva un segmento del espacio de direcciones para los registros internos de los controladores de E/S.

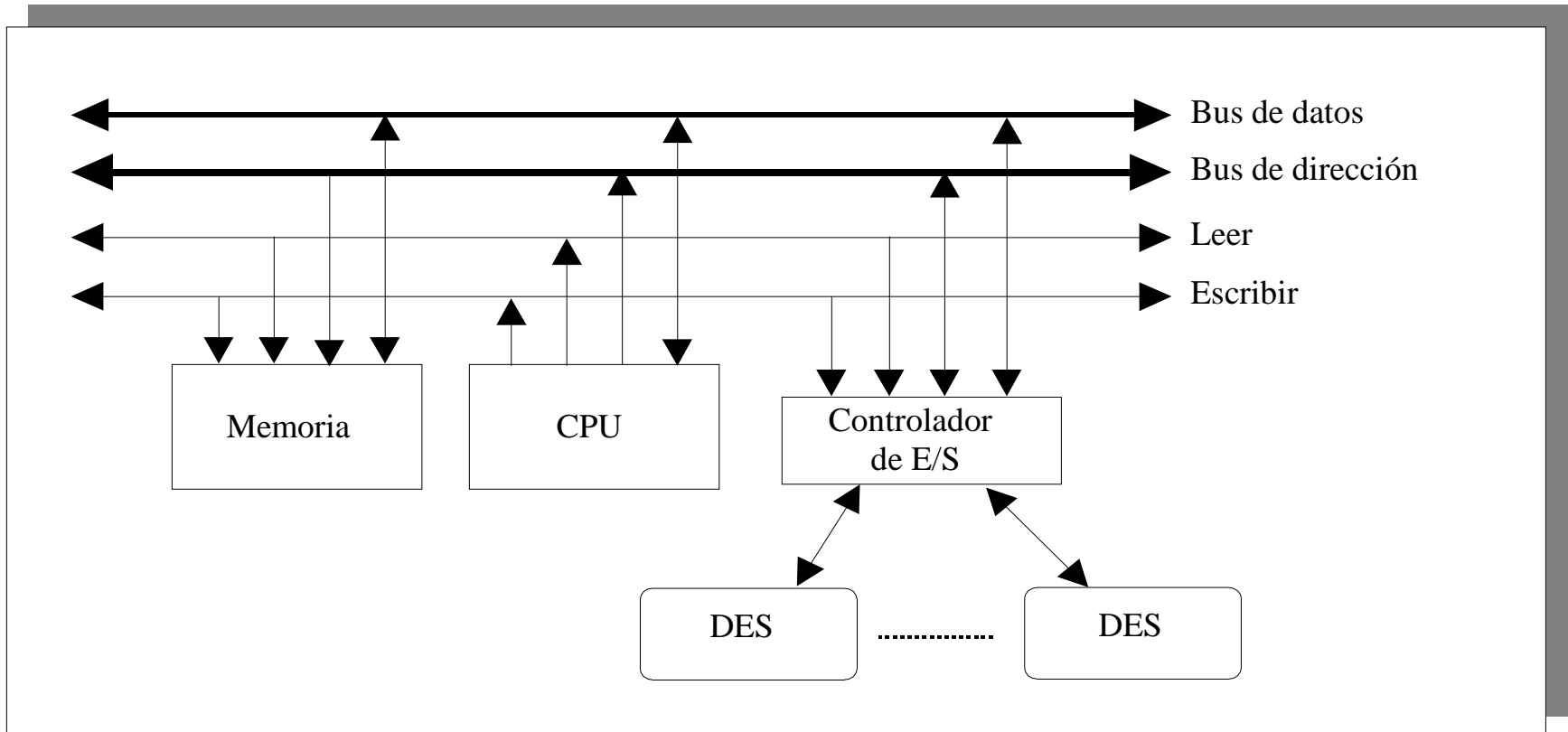




ENTRADA/SALIDA POR PROGRAMA-DIRECCIONAMIENTO

Técnicas de
transferencia

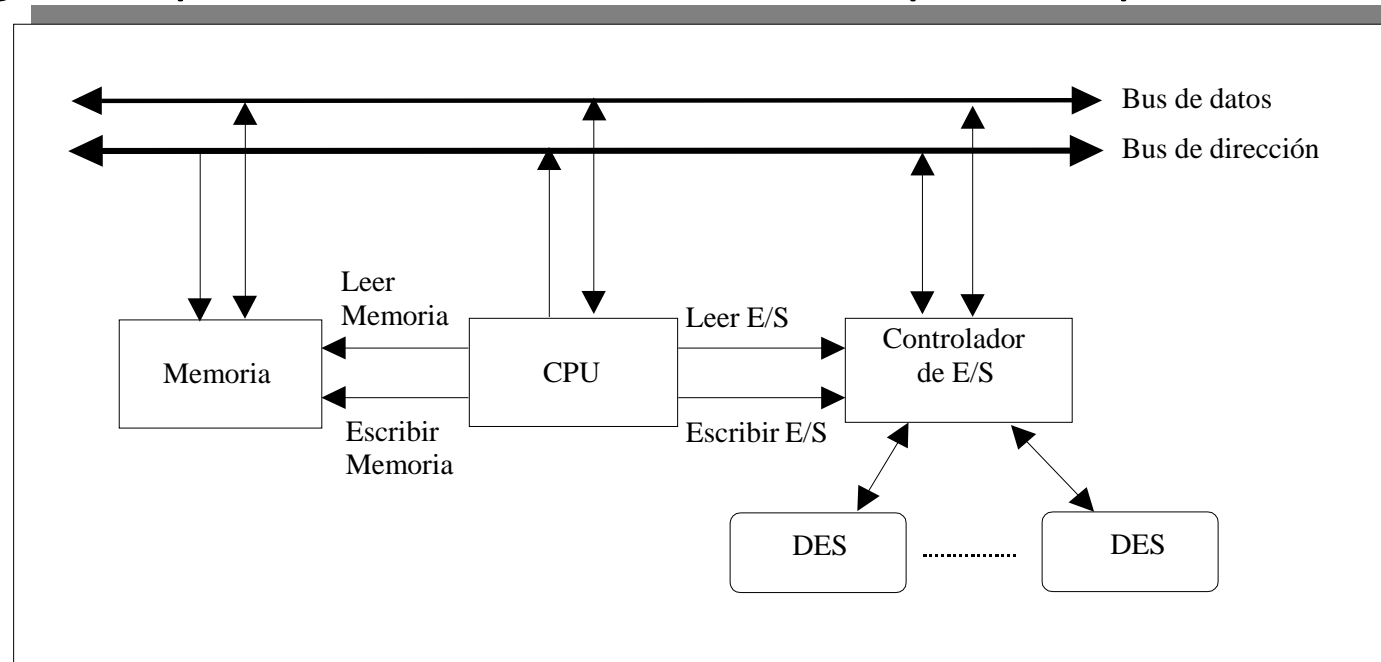
Este tipo de direccionamiento utiliza señal una de lectura y otra de escritura común

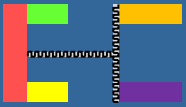


🎯 E/S aislada

Utiliza líneas de control de lectura y escritura para memoria y para E/S distintas.

El rango completo de direcciones está disponible para ambos.



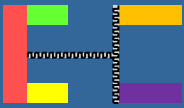


ENTRADA/SALIDA POR INTERRUPCIONES-FUNCIONAMIENTO

Técnicas de
transferencia

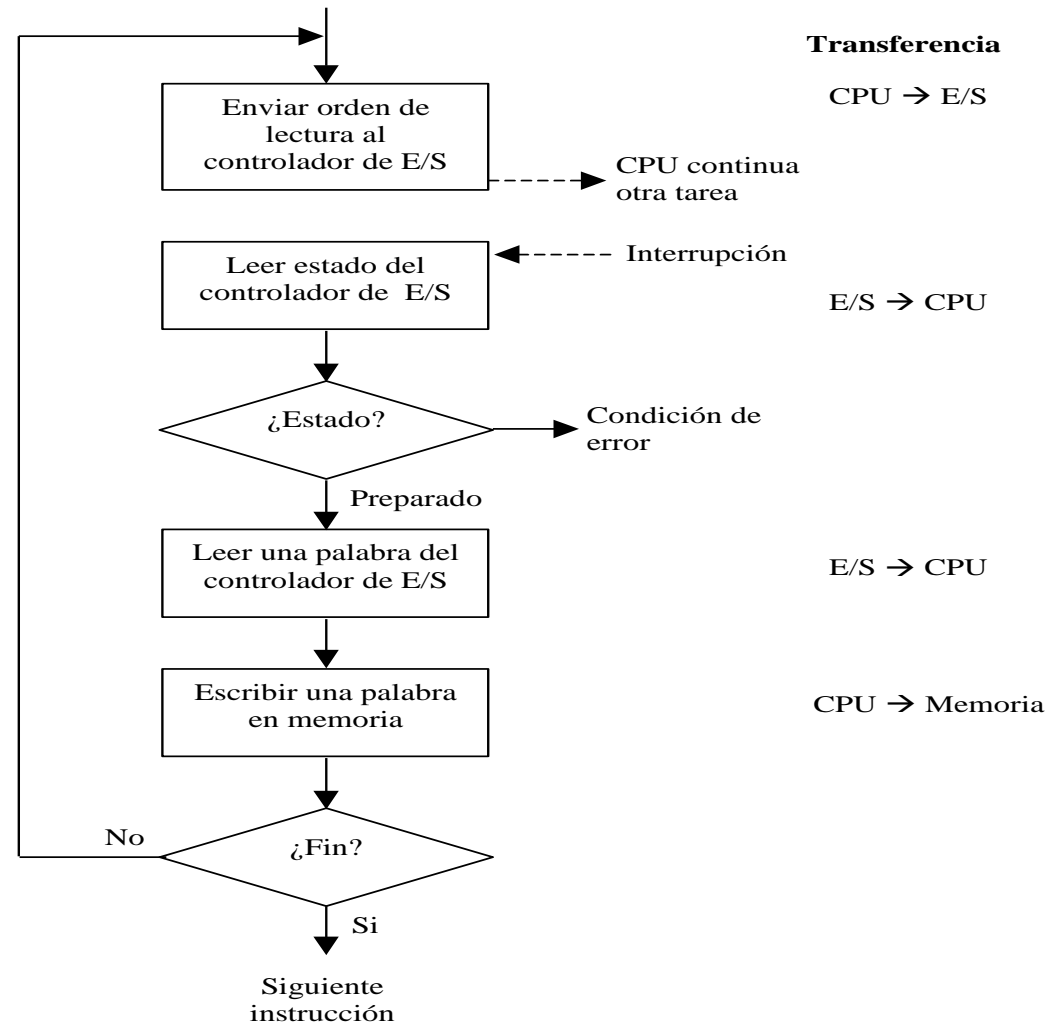
La idea básica del mecanismo de E/S por interrupciones consiste en eliminar el bucle de espera.

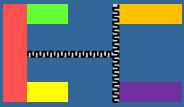
1. La CPU envía una orden de E/S al periférico esperando a que se efectúe la operación de E/S.
2. Cuando el periférico está preparado para intercambiar información, fuerza una interrupción en la tarea que realiza la CPU para que atienda a la operación de E/S.
3. En ese momento la CPU realiza la transferencia del dato, de la misma manera que en el caso de E/S controlada por programa y, a continuación, sigue ejecutando el programa que había interrumpido.



ENTRADA/SALIDA POR INTERRUPCIONES- LECTURA

Técnicas de transferencia



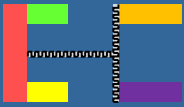


ENTRADA/SALIDA POR INTERRUPCIONES- GESTIÓN

Técnicas de transferencia

Secuencia de pasos en el tratamiento de una petición de interrupción:

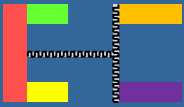
1. El controlador de E/S u otro hardware del sistema activa la línea de petición de interrupción (INTR).
2. La CPU completa la ejecución de la instrucción en curso y suspende en ese momento la ejecución del programa actual.
3. La CPU informa al periférico de que se ha reconocido su petición de interrupción mediante una línea de reconocimiento de interrupción (INTA). En este momento, el dispositivo desactiva la línea de petición de interrupción (INTR).
4. La CPU salva el contenido del contador de programa y del registro de estado en la pila.
5. La CPU carga el nuevo contador de programa asociado a la interrupción.



ENTRADA/SALIDA POR INTERRUPCIONES- GESTIÓN

Técnicas de transferencia

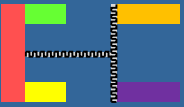
6. Se guarda la información de los otros registros accesibles por programa.
7. La CPU inhibe las interrupciones (bit de máscara) y comienza a ejecutar el programa correspondiente de servicio de la interrupción (rutina de servicio).
8. Una vez finalizado el programa de servicio de la interrupción, se activa de nuevo el sistema de interrupciones que se había inhibido y se restaura la información de estado del proceso.
9. Se restaura el registro de estado y el contador de programa iniciales. La CPU continúa la ejecución del programa interrumpido en el punto en el que lo dejó.



ENTRADA/SALIDA POR INTERRUPCIONES- CLASIFICACIÓN

Técnicas de
transferencia

Criterio	Descripción
Origen	Externa. Las genera el dispositivo. Interna. Las genera la CPU. Simuladas. Son interrupciones software.
Número de líneas de interrupción	Una línea. Solo 1 línea de petición de interrupción. Varias líneas de petición de interrupción.
Control de la CPU sobre la interrupción	Enmascarables. La CPU puede desactivarlas. No enmascarables. La CPU no puede desactivarlas.
Identificación de la fuente de interrupción	Varias líneas de petición de interrupción. Encuesta. La interrupción se identifica por programa. Vectorizada. La interrupción identifica al periférico.
Gestión de la prioridad de la interrupción	Por software. Un programa determina la prioridad. Por hardware. Un circuito determina la prioridad.
Niveles de interrupción	Nivel único. La interrupción no puede interrumpirse. Multinivel. Anidamiento de interrupciones.



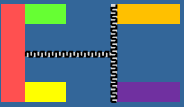
ENTRADA/SALIDA POR INTERRUPCIONES- PIC

El **controlador de interrupciones** PIC (Programmable Interrupt Controller) permite ampliar el número de líneas de interrupción de la CPU y se encarga de toda la gestión del sistema de interrupciones.

Funciones:

- ⦿ Identificar la fuente de interrupción.
- ⦿ Establecer las prioridades de cada periférico. Utiliza un codificador de prioridad.
- ⦿ Activar o desactivar de forma selectiva las peticiones de interrupción que recibe. Utiliza registro de máscaras.
- ⦿ Enviar a la CPU información sobre la petición de la interrupción y cual es el periférico que debe ser atendido.

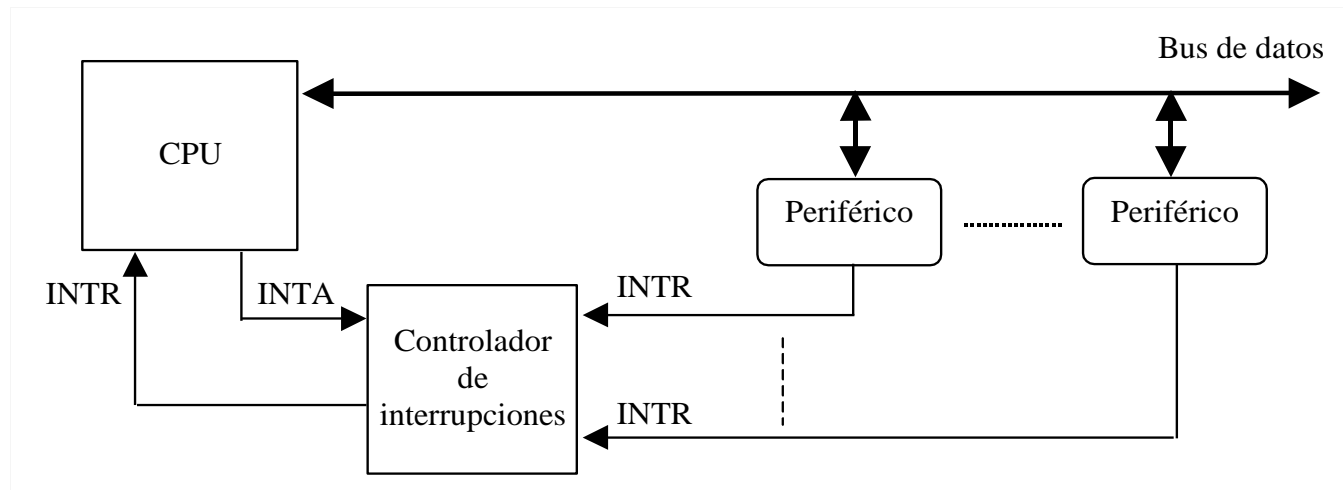




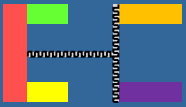
ENTRADA/SALIDA POR INTERRUPCIONES- PIC

Técnicas de
transferencia

Arquitectura de un sistema de interrupciones



El PIC resuelve las peticiones simultáneas de diferentes periféricos mediante un **codificador de prioridad**



ENTRADA/SALIDA POR DMA - VENTAJAS

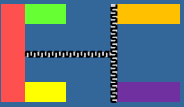
Técnicas de transferencia

Las dos técnicas de E/S anteriores presentan dos desventajas:

- ⊙ La transferencia de datos está limitada por la velocidad con que la CPU puede comprobar y atender a un periférico.
- ⊙ La CPU está obligada a gestionar la transferencia de E/S.

Cuando se mueven grandes cantidades de datos, se necesita una técnica más eficaz en la que intervenga lo menos posible la CPU:

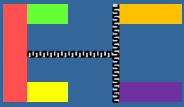
Transferencia de datos mediante un controlador de **acceso directo a memoria** (Direct Memory Access).



ENTRADA/SALIDA POR DMA - ESTRUCTURA

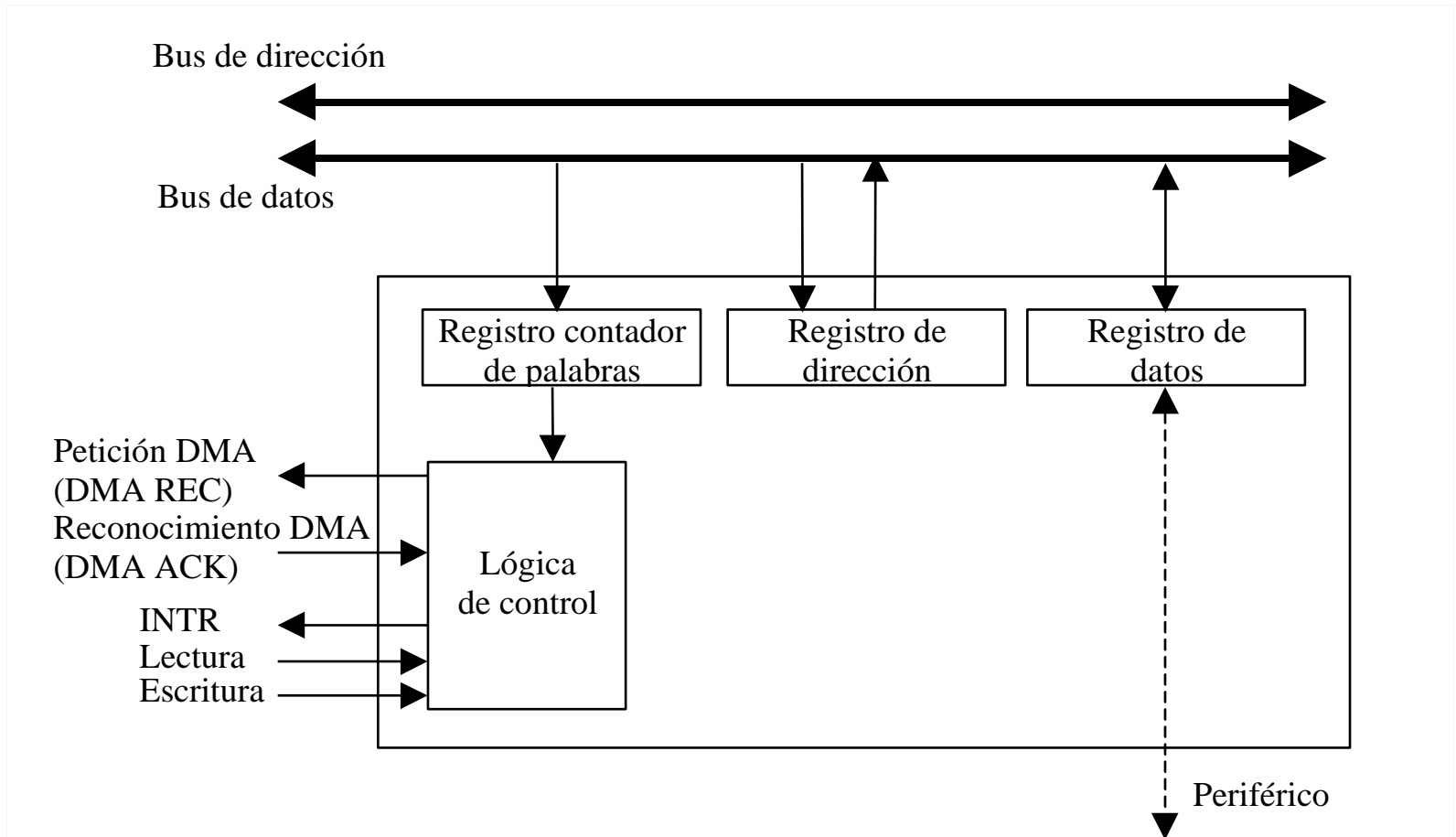
El controlador de DMA formado:

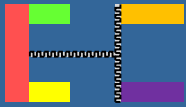
- ⊙ Registro de datos.
- ⊙ Registro de dirección: almacena la dirección de la siguiente palabra que se va a transmitir (incremento automático) .
- ⊙ Registro contador de palabras: almacena el número de palabras que quedan por enviar (incremento automático). Si vale 0, se envía la señal de interrupción a la CPU indicándole que la transferencia ha finalizado.



ENTRADA/SALIDA POR DMA - ESTRUCTURA

Técnicas de transferencia

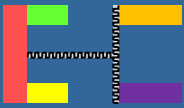




ENTRADA-SALIDA POR DMA - FUNCIONAMIENTO

Técnicas de transferencia

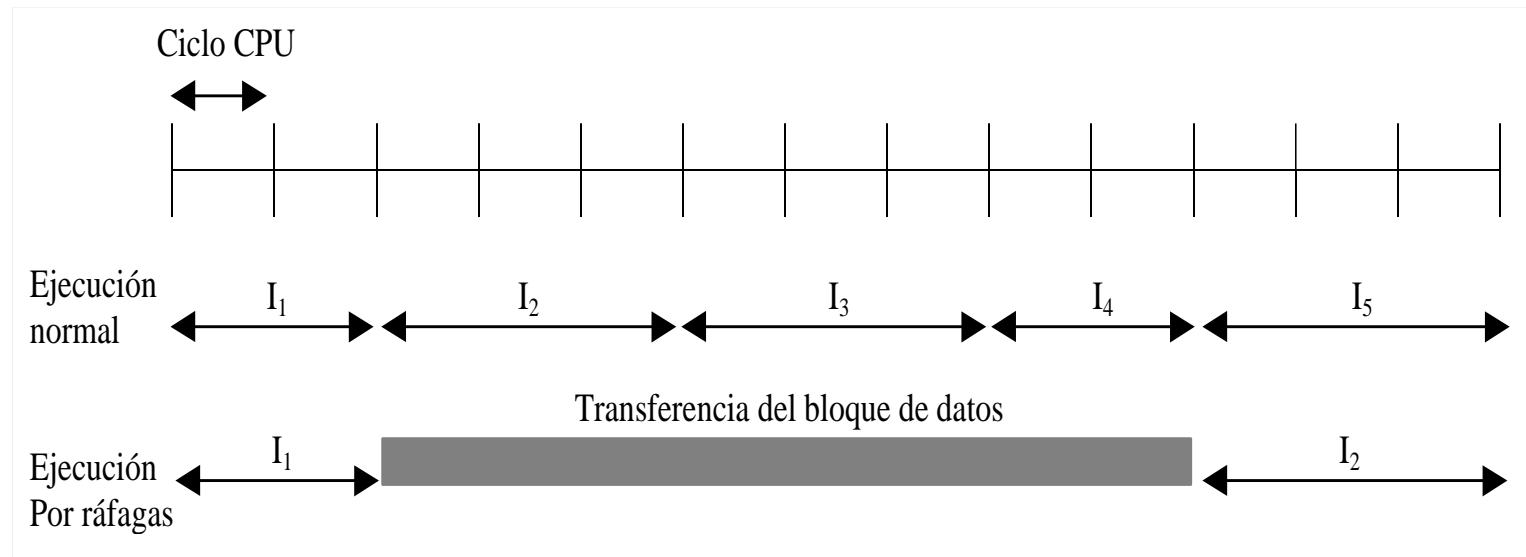
1. CPU envía: la dirección del periférico, el tipo de operación (lectura/escritura), la posición de comienzo en memoria y el número de palabras que se tienen que leer o escribir.
2. A partir de este momento la CPU puede realizar otra tarea.
3. El controlador de DMA transfiere directamente, palabra a palabra, el bloque completo de datos entre el periférico y la memoria, sin pasar por la CPU.
4. Cuando la transferencia finaliza el controlador de DMA envía una señal de interrupción a la CPU para indicarle que ya ha terminado.
5. De esta forma la CPU únicamente participa al comienzo y al final de la transferencia.

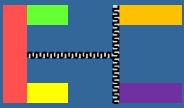


ENTRADA/SALIDA POR DMA - MÉTODOS

Técnicas de transferencia

1. **Por ráfagas.** Cuando el DMA toma el control del bus no lo libera hasta haber transmitido el bloque de datos pedido. Con este método se consigue la mayor velocidad de transferencia pero se tiene a la CPU inactiva durante períodos relativamente largos.

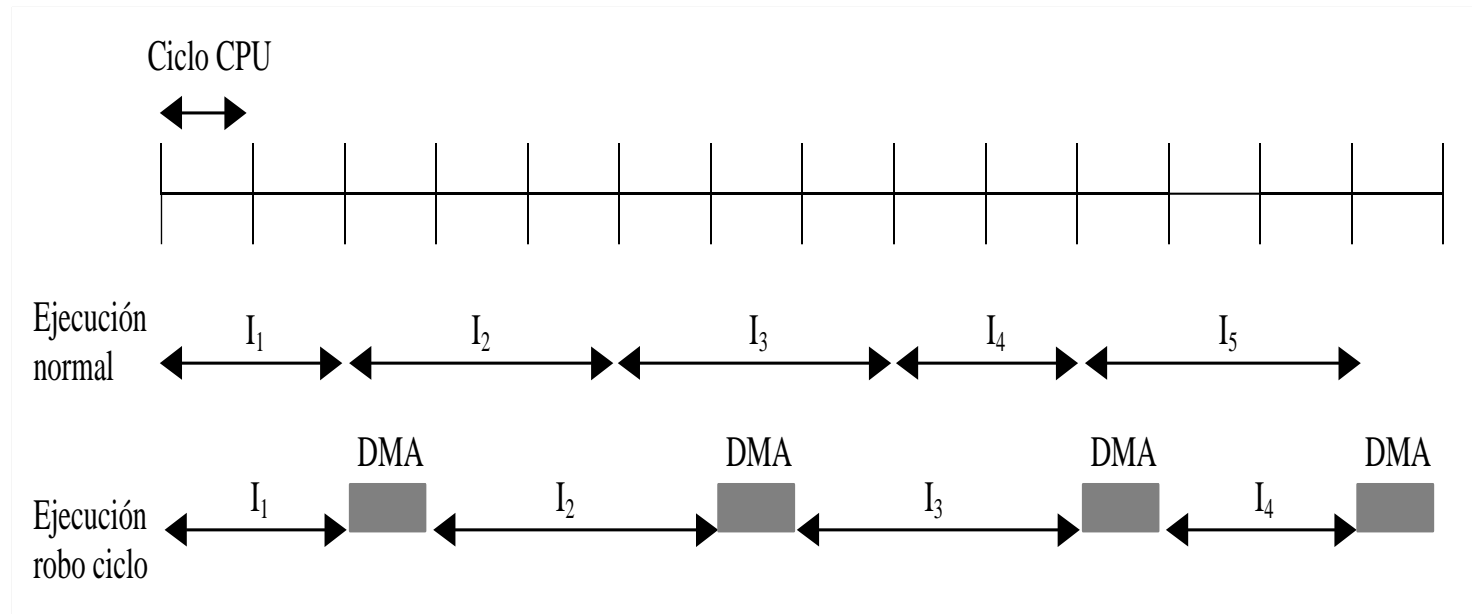




ENTRADA/SALIDA POR DMA - MÉTODOS

Técnicas de transferencia

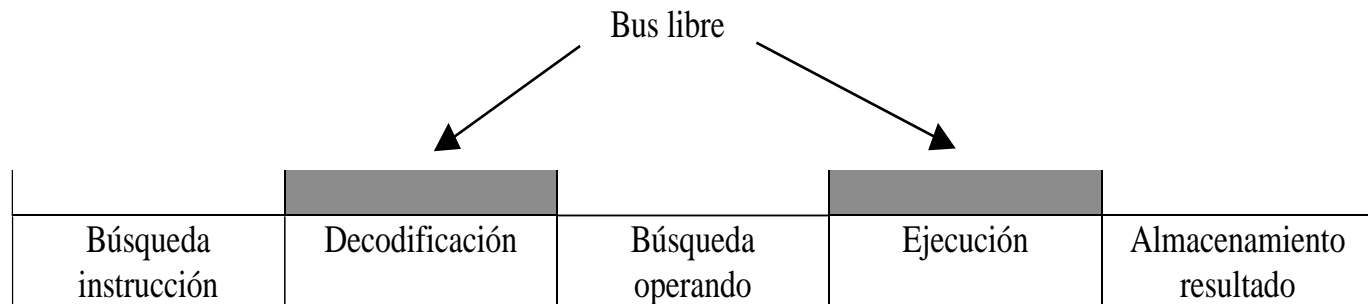
2. **Por robo de ciclos.** Cuando el DMA toma el control del bus lo retiene durante un solo ciclo. Transmite una palabra y libera el bus. El robo de ciclos reduce al máximo la velocidad de transferencia y la interferencia del controlador de DMA sobre la actividad de la CPU.

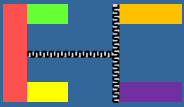


ENTRADA/SALIDA POR DMA - MÉTODOS

Técnicas de transferencia

3. **DMA transparente.** El DMA roba ciclo cuando la CPU no está utilizando el bus del sistema. En determinadas fases de la ejecución de una instrucción la CPU no utiliza el bus y es en ese momento cuando lo puede utilizar el DMA. La ejecución del programa de la CPU no disminuye su velocidad, pero concurrentemente tiene lugar una transferencia por DMA.





PROCESADORES ENTRADA/SALIDA- CONCEPTO

Procesadores de E/S

Los controladores de E/S se han mejorado haciendo que se comporten como un procesador.

- ⦿ La CPU hace que el controlador de E/S ejecute un programa de E/S en memoria.

El controlador de E/S coge y ejecuta sus instrucciones sin intervención de la CPU. A este tipo de controlador de E/S se le denomina **canal de E/S**.

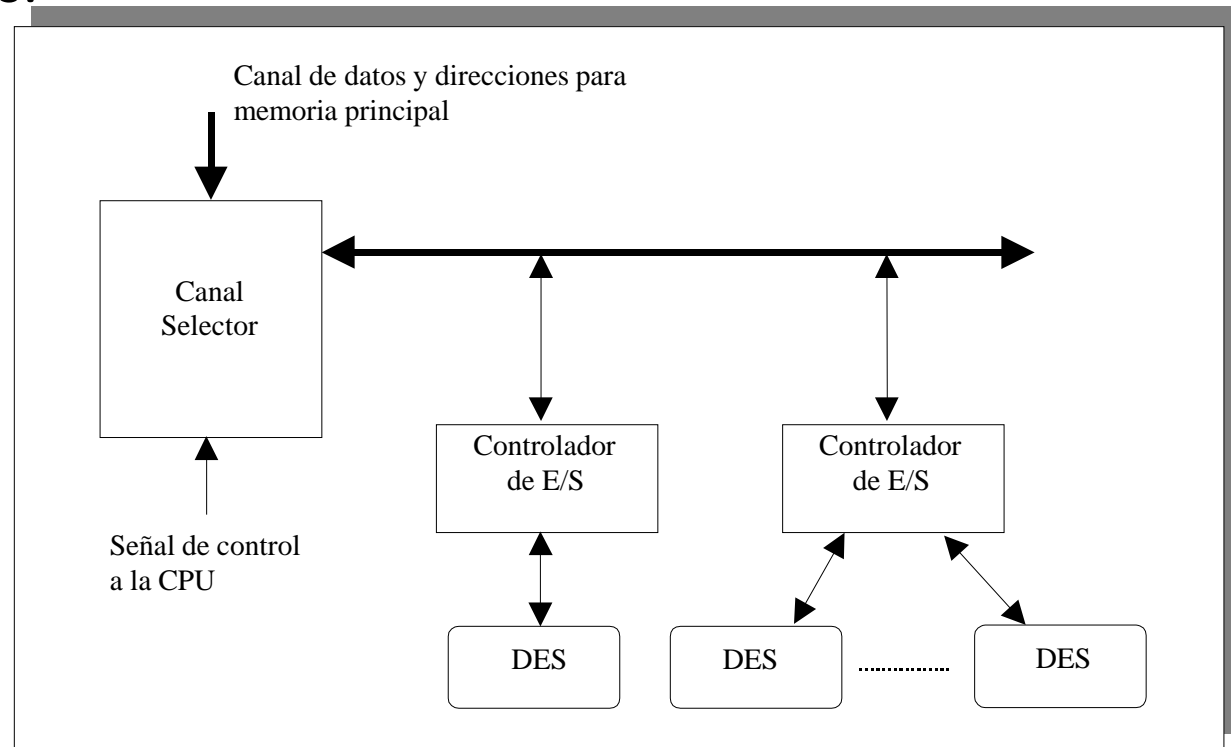
- ⦿ Una posterior mejora de los canales de E/S ha sido incorporarles una memoria local con lo que ahora se pueden ver como computadores.

Con esta arquitectura, se puede controlar un conjunto grande de dispositivos de E/S con la mínima intervención de la CPU. A este tipo de controlador se le denomina **procesador de E/S**.

PROCESADORES ENTRADA/SALIDA - TIPOS

Procesadores de E/S

Canal selector. Un canal selector controla múltiples dispositivos de alta velocidad. En cualquier instante de tiempo está dedicado a la transferencia de datos con uno sólo de estos dispositivos.



PROCESADORES ENTRADA/SALIDA - TIPOS

Procesadores de E/S

Canal multiplexor. Un canal multiplexor puede controlar de forma simultánea operaciones de E/S con múltiples dispositivos. Para periféricos de baja velocidad, un multiplexor de bytes. Para dispositivos de alta velocidad, un multiplexor de bloques.

