

- En cuanto a los repertorios de instrucciones según el tipo de almacenamiento interno de la CPU. Indica la respuesta NO correcta.  
Los registros tienen acceso más rápido que la memoria y son más fáciles de utilizar por los compiladores y de manera más efectiva, por eso siempre se han diseñado arquitecturas GPR.
- Sobre la arquitectura como objeto del compilador  
La mayoría de instrucciones ejecutadas son salida de un compilador. La arquitectura a nivel lenguaje máquina es un objeto del compilador.
- En el siguiente código:  
ADD R1, R2, R10  
AND R3, R1, R5  
SUB R4, R1, R5  
OR R1, R1, R10  
¿Dónde existe riesgo por dependencia de datos?  
Existe riesgo por dependencia de datos, en la instrucción AND y SUB. La instrucción OR no tiene riesgos si se utiliza adelantamiento interno en el banco de registros.
- Sobre las ventajas y desventajas de las arquitecturas GPR  
Las arquitecturas R-R permiten una codificación simple con instrucciones de longitud fija. Las instrucciones emplean números de ciclos similares para ejecutarse. La desventaja es que generan mayor recuento de instrucciones que las arquitecturas M-M.
- Dado las siguientes instrucciones MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB.  
Si hay forwarding, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?  
7 ciclos de reloj
- Sobre las arquitecturas VLIW y Superescalar. Indica la respuesta correcta  
En los procesadores Very Large Instruction Word (VLIW), cada instrucción incluye las operaciones que se realizan simultáneamente.
- El tiempo para cada etapa en un procesador segmentado es la siguiente  
IF 350ps      ID 400ps      EXE 370ps      MEM 450ps      WB 200ps  
¿Cuánto tardaría en ejecutarse la instrucción "lw" del MIPS en el procesador segmentado?  
La duración sería de 450ps.      (Si son muchas instrucciones LW)  
La duración sería 2250ps.      (Si solo hay una ->  $450 * 5 = 2250$ )

- ¿Cuál será aproximadamente la ganancia de velocidad obtenida al segmentar un procesador de forma lineal y síncrona con 20 etapas si ejecuta un programa de 50 instrucciones comparada con la versión multiciclo donde todas las instrucciones tardan los mismos ciclos?

14

$k$  = número de capas

$n$  = número instrucciones

$T_{\text{secuencial}} = k * CLK * n = 20 * 1 * 50 = 1000$

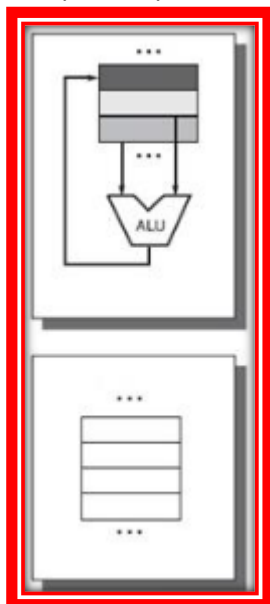
$T_{\text{seg}} = k * CLK + (n - 1) * CLK = 20 * 1 + (50 - 1) * 1 = 69$

$G_s = T_{\text{secuencial}} / T_{\text{seg}} = 1000/69 = 14.49 \rightarrow 14$

- Sobre el diseño de la segmentación. Indica la respuesta correcta.  
Un factor determinante en el diseño de una ruta segmentada es al descomposición de la tarea a realizar en etapas. La etapa más lenta actúa de cuello de botella ya que se debe ajustar el ritmo de trabajo a la etapa más lenta.
- Un cierto procesador GPR soporta modo de ejecución Registro – Memoria. Los operadores de memoria pueden tener modo de direccionamiento directo o absoluto a memoria e indirecto a memoria. Suponer que solo permite un formato para las instrucciones y suponer que los modos de direccionamiento son ortogonales respecto al código de operación.  
El formato de la instrucción debe contener un campo para especificar el modo de direccionamiento.
- Acerca de la técnica del adelantamiento. Indica la respuesta NO correcta:  
La técnica del adelantamiento es posible con todas las instrucciones salvo con la instrucción Store si es valor del registro a ser guardado ha sido previamente cargado con la instrucción Load.
- El retardo para cada etapa en un procesador segmentado es la siguiente:  
IF 350ps      ID 400ps      EXE 320ps      MEM 450ps      WB 200ps  
¿Cuál es la productividad de una serie grande de instrucciones suponiendo que no se producen paradas ni riesgos? El resultado se expresa en millones de instrucciones por segundo (MIPS)  
La productividad sería de 2222 MIPS  
 $CLK = 450ps * (1s/10^{12}ps) = 4,5 * 10^{-10}s$   
 $Productividad = \lim_{n \rightarrow \infty} n / ((k + n - 1) * CLK) = 1 / CLK = 1 / (4,5 * 10^{-10}s) = 222222222$   
IPS  $\rightarrow$  2222 MIPS
- Sobre el modo de direccionamiento literal o inmediato. Indica la respuesta correcta.  
Las otras respuestas son correctas.
- Sobre los modos de direccionamiento  
El direccionamiento inmediato y desplazamiento dominan la utilización de los modos de direccionamiento. Los modos de direccionamiento reducen el RI pero complican la implementación pudiendo incrementar el CPI medio.

- Sobre los tipos de operaciones del repertorio  
Las arquitecturas RISC suelen proporcionar instrucciones “aritmético-lógicas”, “transferencia de datos”, “control”, “sistema” y “punto flotante”.
- ¿Qué problemas surgen al segmentar una máquina MIPS partiendo de la original multiciclo?  
El sistema de memoria debe proporcionar un ancho de banda cinco veces mayor al de la máquina original.
- Sobre las formas de especificar la condición de salto. Elige una respuesta correcta.  
Cuando está incluida la condición en el salto, el trabajo que tiene que realizar la máquina para ejecutar la instrucción puede ser demasiado.
- Indica las ventajas de las arquitecturas que utilizan operandos Memoria-Memoria  
El código es más compacto
- ¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada?  
Deteniendo la máquina hasta que se solucione el conflicto.
- Sobre el concepto de segmentación. Indica la respuesta NO correcta  
La segmentación es una de las claves que permite aumentar el rendimiento en los computadores pero que no afecta a la productividad.
- Considerar que vamos a diseñar una máquina segmentada a partir de una máquina multiciclo con 5 pasos de ejecución cuyas duraciones son 20ns, 45ns, 30ns, 30ns, 11ns y 52ns.  
Suponed que el tiempo dedicado en actualizar los registros intermedios es 2ns.  
¿Cuál será el ciclo de reloj de la máquina segmentada (expresad el resultado en ns)?  
**54ns**  
Al ser segmentada se coge el tiempo de la fase más lenta ya que ejerce cuello de botella y todas se tienen que amoldar a ella, entonces el tiempo sería 52 + 2 = 54ns
- Suponed que en cierta máquina segmentada con una profundidad del cauce de 8, el CPI ideal ignorando cualquier riesgo es de 1. Suponer que sólo se producen detenciones de 5 ciclos en el 30% de las instrucciones. ¿Cuál es la ganancia de velocidad de la segmentación considerando las detenciones?  
**2,5**  
 $Ganancia = CPI_{real} / CPI_{ideal} = (1 + 5 * 0,3) / 1 = 2,5$
- Sobre el tipo y tamaño de los operandos  
Algunas arquitecturas soportan un formato denominado habitualmente decimal empaquetado (BCD). Se utilizan 4 bits para codificar los valores 0-9.
- Señalar la opción correcta sobre los modos de direccionamiento de una arquitectura de registros de propósito general.  
Todas las opciones son correctas.

- Sobre la codificación de los modos de direccionamiento.  
La codificación híbrida es una alternativa intermedia que persigue las ventajas de la codificación fija y variable: reducir recuento de instrucciones y formato sencillo de fácil implementación. Un ejemplo clásico es el IBM 360.
- Sobre los riesgos de control. Indica la respuesta NO correcta  
Predecir el salto como efectivo permite la reducción de las penalizaciones de los saltos en la segmentación. Una vez decodificado el salto y calculada la dirección destino, suponemos que el salto se va a realizar y comenzamos la búsqueda y ejecución en el destino. Como MIPS se conoce la dirección destino en la etapa de decodificación esta estrategia es útil.
- En un cauce segmentado de 5 etapas en el que se ha decidido ignorar el efecto de los riesgos, se han hecho las siguientes afirmaciones. ¿Cuál es correcta?  
Intentar que algunas instrucciones tarden menos ciclos en el pipeline no ayuda en la mejora de las prestaciones porque la productividad viene determinada por el ciclo de reloj y el número de etapas que tarda cada instrucción no afecta en la productividad.
- Un computador RISC segmentado tiene 8 etapas y corre a 2.5GHz. ¿Cuál es la ganancia de velocidad ideal respecto de la máquina no segmentada?  
8  
La respuesta es k
- En cuanto a la manera de programar las máquinas, indica la respuesta correcta.  
La arquitectura a nivel lenguaje máquina es un objeto del compilador.
- ¿A qué figura corresponde un procesador con tipo de almacenamiento interno de la CPU para arquitectura de registros de propósito general R-R?



- ¿Qué modo de direccionamiento están utilizando los operandos señalados en negrita en cada una de las instrucciones siguientes?

add \$1, \$2, \$3

lw \$1, 4(\$3)

Directo a registro (o registro) para add y desplazamiento para lw.

- Sobre los riesgos de segmentación.  
Los riesgos estructurales requieren una reorganización de las unidades funcionales de la máquina multiciclo en la que está basada.

- Dada tres secuencias de código mostrada, en cuál de las que hay riesgos por dependencia de datos es necesario introducir una parada se puede solucionar con forwarding.

Secuencia 1	Secuencia 2	Secuencia 3
Lw \$1, 10(\$2)	Add \$1, \$4, \$4	Addi \$1, \$9, #4
Add \$6, &1, \$1	Addi \$2, \$4, #5	Addi \$2, \$9, #6
	Addi \$8, \$1, #7	Addi \$3, \$9, #7
		Addi \$4, \$9, #8

En la secuencia 1 se debe introducir una parada después de lw y la secuencia 2 se puede solucionar con forwarding.

- Para el procesador MIPS segmentado de 5 etapas con un delay sot en los saltos se ejecuta la siguiente secuencia de instrucciones:  
Suponer que hay forwarding. En el ciclo de reloj 7, ¿en qué etapa de segmentación se encuentra la instrucción SW?

En la etapa EXE

- Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:  
Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro. ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?

11 ciclos de reloj

- Para el procesador MIPS segmentado en 5 etapas con un delay sot en los saltos se ejecuta la siguiente secuencia de instrucciones.  
Suponer que hay forwarding. En el ciclo de reloj 7. ¿En qué etapa de segmentación se encuentra la instrucción ADDi?

En la etapa EX.