

## Preguntas AC Parcial 2

	Casi seguras
	No seguras

1.

2. En cuanto a los repertorios de instrucciones según el tipo de almacenamiento interno de la CPU. Indica la respuesta NO correcta. (Página 12 – Tema 3)

- Las máquinas más antiguas anteriores a 1980 normalmente era arquitecturas de pila y acumulador
- Los registros tienen acceso más rápido que la memoria y son más fáciles de utilizar por los compiladores y de manera más efectiva, por eso siempre se han diseñado arquitecturas GPR (a partir de 1980)
- A partir de 1980, los computadores frecuentemente han utilizado arquitecturas de registro de propósito general

3. Sobre la arquitectura como objeto del compilador (Página 63 – Tema 3)

- La generación de código por parte de los compiladores sigue una serie de pasos de optimización cuyo efecto inmediato es el incremento del recuento de instrucciones (*No, reducción de recuento de instrucciones*)
- El coloreado de grafos es un algoritmo para la ubicación de variables en registros. Este algoritmo mejora su rendimiento cuando la CPU dispone de pocos registros de propósito general disponibles (*No, porque el coloreado de grafos necesita al menos 16 registros o más*)
- La mayoría de instrucciones ejecutadas son salida de un compilador. La arquitectura a nivel lenguaje máquina es un objeto del compilador

4. En el siguiente código:

ADD R1,R2,R10

AND R3,R1,R5

SUB R4,R1,R5

OR R1,R1,R10

¿Dónde existe riesgo por dependencia de datos?

- Existe riesgo por dependencia de datos, en la instrucción AND y SUB. La instrucción OR no tiene riesgos si se utiliza adelantamiento interno en el banco de registros (Tanto AND como SUB dependerían de ADD ya que cuando leen en la etapa ID la operación ADD aún no ha almacenado, suponiendo que la etapa WB se realice en dos sub-etapas, primero escritura y luego lectura, la primera opción sería la correcta).

- Existe riesgo por dependencia de datos, en la instrucción AND y OR. La instrucción AND necesita el resultado de R1, calculado en la operación AND. La instrucción OR tiene riesgo ya que utiliza el mismo operando fuente y destino en la misma instrucción
- Existe riesgo por dependencia de datos, en todas las instrucciones

**5. Sobre las ventajas y desventajas de las arquitecturas GPR (Página 19 – Tema 3)**

- Las arquitecturas R-M no permiten operandos en memoria en instrucciones aritméticas, como consecuencia generan mayor recuento de instrucciones que las arquitecturas R-R
- Las arquitecturas R-R permiten una codificación simple con instrucciones de longitud fija. Las instrucciones emplean números de ciclos similares para ejecutarse. La desventaja es que generan mayor recuento de instrucciones que las arquitecturas M-M
- Las arquitecturas M-M no emplean registros para temporales. Además, permiten una codificación simple con instrucciones de longitud fija. Las instrucciones emplean números de ciclos similares para ejecutarse

**6. Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB**

L\_1: sub \$s1, \$s2, \$s3

L\_2: and \$s2, \$s3, \$s1

L\_3: sw \$s2, 24(\$s1)

**Si hay forwarding, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?**

- 8 ciclos de reloj
- 7 ciclos de reloj.
- 9 ciclos de reloj

**7. Sobre las arquitecturas VLIW y Superescalar. Indica la respuesta correcta (Página 67 – Tema 3)**

- En los procesadores Very Large Instruction Word (VLIW), el paralelismo es implícito en las instrucciones por lo que la organización es la encargada de descubrir el paralelismo
- En los procesadores Very Large Instruction Word (VLIW), cada instrucción incluye las operaciones que se realizan simultáneamente
- En los procesadores superescalares, el compilador es el encargado de descubrir el paralelismo que permita aprovechar las instrucciones que se van captando de memoria

**8. El tiempo para cada etapa en un procesador segmentado es la siguiente (Página 43 – Tema 4.2)**

IF 350ps      ID 400ps      EXE 370ps      MEM 450ps      WB 200ps

**¿Cuánto tardaría en ejecutarse la instrucción “lw” del MIPS en el procesador segmentado?**

- La duración de lw seria 450 ps Si son muchas instrucciones lw
- La duración de lw seria 1770 ps
- La duración de lw seria 2250 ps Solo si hay una  $\rightarrow 450 \cdot 5 = 2250$

9. ¿Cuál será aproximadamente la ganancia de velocidad obtenida al segmentar un procesador de forma lineal y síncrona con 20 etapas si ejecuta un programa de 50 instrucciones comparada con la versión multiciclo donde todas las instrucciones tardan los mismos ciclos? (Unit 4.1 - page 73)

- 25.
- 14
- 19

**k = número etapas**

**n = número instrucciones**

$$T_{\text{secuencial}} = K \cdot \text{CLK} \cdot n = 20 \cdot 1 \cdot 50 = 1000$$

$$T_{\text{seg}} = k \cdot \text{CLK} + (n - 1) \cdot \text{CLK} = 20 \cdot 1 + (50 - 1) \cdot 1 = 69$$

$$G_s = T_{\text{secuencial}} / T_{\text{seg}} = 1000/69 = 14.49 \rightarrow 14$$

10. Sobre el diseño de la segmentación. Indica la respuesta correcta (Página 18 – Tema 4.1)

- Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. Esta descomposición se realiza intentando distribuir de manera uniforme las unidades funcionales que intervienen.
- Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. La etapa más lenta actúa de cuello de botella ya que se debe ajustar el ritmo de trabajo a la etapa más lenta.
- Un factor determinante en el diseño de una ruta segmentada es la descomposición de la tarea a realizar en etapas. Esta descomposición se realiza distribuyendo siempre de manera equitativa el tiempo de procesamiento.

11. Un cierto procesador GPR soporta modo de ejecución Registro – Memoria. Los operandos de memoria pueden tener modo de direccionamiento directo o absoluto a memoria e indirecto a memoria. Suponer que solo permite un formato para las instrucciones y suponer que los modos de direccionamiento son ortogonales respecto al código de operación

- Como es un procesador GPR, el formato de la instrucción solo puede contener las direcciones de los registros
- No es necesario especificar explícitamente en la instrucción los modos de direccionamiento ya que son ortogonales

- El formato de la instrucción debe contener un campo para especificar el modo de direccionamiento. Al ser ortogonal cualquiera de las operaciones puede tener cualquier modo por lo que hay que especificar siempre un código para el modo.

**12. Acerca de la técnica del adelantamiento. Indica la respuesta NO correcta:**

- La técnica del adelantamiento permite aumentar el rendimiento de la máquina al evitar ciclos de detención
- La técnica del adelantamiento consiste en adelantar datos desde los registros intermedios a las etapas que lo necesitan para evitar ciclos de detención
- La técnica del adelantamiento es posible con todas las instrucciones salvo con la instrucción Store si el valor del registro a ser guardado ha sido previamente cargado con una instrucción Load. Pág 75 4.2 Justo ocurre eso y con fw funciona.

**13. El retardo para cada etapa en un procesador segmentado es la siguiente:**

IF 350 ps      ID 400 ps      EXE 320 ps      MEM 450 ps      WB 200 ps

¿Cuál es la productividad de una serie grande de instrucciones suponiendo que no se producen paradas ni riesgos? El resultado se expresa en millones de instrucciones por segundo (MIPS)

- La productividad sería de 444 MIPS.
- La productividad sería de 2000 MIPS
- La productividad sería de 2222 MIPS

$$CLK = 450 \text{ ps} \cdot \frac{1 \text{ s}}{10^{12} \text{ ps}} = 4,5 \times 10^{-10} \text{ s}$$

$$MIPS = \frac{1/CLK}{CPI * 10^6}$$

$$Productividad = \lim_{n \rightarrow \infty} \frac{n}{(k + n - 1) \cdot CLK} = \frac{1}{CLK} = \frac{1}{4,5 \times 10^{-10} \text{ s}} \\ = 222222222 \text{ IPS} \approx \text{2222 MIPS}$$

**14. Sobre el modo de direccionamiento literal o inmediato. Indica la respuesta correcta (Página 34 – 36 del Tema 3)**

- Las otras dos respuestas son correctas
- Los inmediatos pequeños son los más utilizados, aunque se usan inmediatos grandes en el cálculo de direcciones
- Las operaciones que mayor uso hacen de operandos inmediatos son las cargas/almacenamientos, las comparaciones y las aritmético lógicas

**15. Sobre los modos de direccionamiento (Página 30-31 del Tema 3)**

- Los estudios de utilización del modo de direccionamiento desplazamiento indican que los desplazamientos utilizados suelen ser muy pequeños, siendo posible codificar la mayoría de los casos mediante la utilización de 8 bits

- El modo de direccionamiento inmediato o literal suele ser utilizado para el acceso a variables locales
- El direccionamiento inmediato y desplazamiento dominan la utilización de los modos de direccionamiento. Los modos de direccionamiento reducen el RI pero complican la implementación pudiendo incrementar el CPI medio

#### 16. Sobre los tipos de operaciones del repertorio

- Las arquitecturas RISC suelen proporcionar instrucciones para operar con cadenas, datos decimales y gráficos (No, son la mayoría de ordenadores 49 con movs,conds y alu Página 47 – Tema 3)
- Las arquitecturas RISC suelen proporcionar instrucciones “aritmético-lógicas”, “transferencia de datos”, “control”, “sistema” y “punto flotante”
- Las instrucciones utilizadas más extensamente de un conjunto de instrucciones son las operaciones complejas ( NO Página 48 – Tema 3)

#### 17. Para el procesador MIPS segmentado de 5 etapas con un delay slot en los saltos se ejecuta la siguiente secuencia de instrucciones:

LW R1, 0(R4)

LW R2, 400(R4)

ADDI R3,R1,R2

SW R3,0(R4)

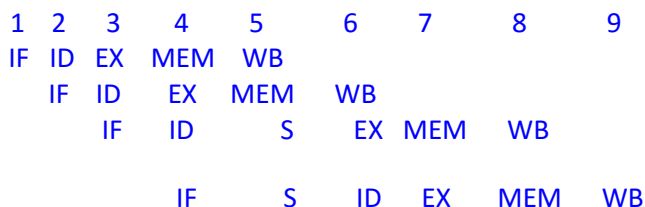
SUB R4,R4,SW R3,0(R4)

SUB R4,R4,4

BNEZ R4,L1

Suponer que hay forwarding. En el ciclo de reloj 7, ¿en qué etapa de segmentación se encuentra la instrucción SW?

- En la etapa MEM.
- En la etapa EXE.
- En la etapa ID.



#### 18. ¿Qué problemas surgen al segmentar una máquina MIPS partiendo de la original multiciclo?

- Nos encontramos con un riesgo estructural en el banco de registros con las operaciones carga y almacenamiento.
- Siempre, con todas las operaciones nos encontramos con un riesgo estructural si tenemos una sola memoria para datos e instrucciones (con las de tipo J no)

- El sistema de memoria debe proporcionar un ancho de banda cinco veces mayor al de la máquina original. (tema 4.2 – diapo 30).

**19. Sobre las formas de especificar la condición del salto. Elige la respuesta correcta**

- Cuando se utiliza un código de condición, las comparaciones nunca pueden eliminarse. (No, tema 3 – diapo 55).
- Cuando se utiliza un registro de condición, se reduce el recuento de instrucciones. (No dice nada de eso en tema 3 – diapo 56)
- Cuando está incluida la condición en el salto, el trabajo que tienen que realizar la máquina para ejecutar la instrucción puede ser demasiado. (tema 3 – diapo 57)

**20. Indica las ventajas de las arquitecturas que utilizan operandos Memoria-Memoria (Página 19 – Tema 3)**

- El código es más compacto
- Las instrucciones emplean números de ciclos similares para ejecutarse
- Se destruye un operando fuente

**21. ¿Cómo es posible solucionar un riesgo estructural en una ruta de datos segmentada? (Página 60 – Tema 4.2)**

- Adelantando las operaciones que generan conflicto en los recursos
- Deteniendo la máquina hasta que se solucione el conflicto
- Reorganizando de forma dinámica las etapas. Es decir, variando el trasvase de información de una etapa a otra

**22. Sobre el concepto de segmentación. Indica la respuesta NO correcta (Página 6 – Tema 4.1, no coincide ninguna respuesta)**

- La segmentación es una de las claves que permite aumentar el rendimiento en los computadores pero que no afecta a la productividad. La segmentación incrementa la productividad de instrucciones de la CPU, pero no reduce el tiempo de ejecución de una instrucción individual.
- En la segmentación se opera de forma serie para una tarea determinada
- La ejecución de una tarea se divide en etapas, cada elemento de procesamiento se especializa en realizar una subtarea concreta.

**23. Considerar que vamos a diseñar una máquina segmentada a partir de una máquina multiciclo con 5 pasos de ejecución cuyas duraciones son 20ns, 45ns, 30ns, 11ns y 52ns. Suponed que el tiempo dedicado en actualizar los registros intermedios es 2ns. ¿Cuál será el ciclo de reloj de la máquina segmentada (expresad el resultado en ns)?**

Al ser segmentada se coge el tiempo de la fase más lenta ya que ejerce de cuello de botella y todas se tienen que amoldar a ella, entonces el tiempo sería  $52 + 2 = 54\text{ns}$

**24. Suponed que en cierta máquina segmentada con una profundidad del cauce de 8, el CPI ideal ignorando cualquier riesgo es de 1. Suponer que sólo se producen detenciones de 5 ciclos en el 30% de las instrucciones, ¿Cuál es la ganancia de velocidad de la segmentación considerando las detenciones?**

$\text{Ganancia} = \text{CPI}_{\text{real}} / \text{CPI}_{\text{ideal}} = (1 + 5 * 0,3) / 1 = 2,5$  o  $(0,7 * 1 + 6 * 0,3) = 2,5$

**25. Sobre el tipo y tamaño de los operandos (Pagina 44 – Tema 3)**

- El estándar más frecuente para la representación de datos en punto flotante es el IEEE 754, que proporciona precisión simple de 16 bits y doble de 32 bits

- El método más utilizado para identificar los tipos de datos de los operandos de una instrucción es el de datos identificados o autodefinidos, donde el dato se anota con identificadores que especifican el tipo de cada operando
- Algunas arquitecturas soportan un formato denominado habitualmente decimal empaquetado (BCD). Se utilizan 4 bits para codificar los valores 0-9

**26. Señalar la opción correcta sobre los modos de direccionamiento de una arquitectura de registros de propósito general (Página 27 – Tema 3)**

- Las otras dos opciones son correctas
- Pueden especificar posiciones de memoria
- Pueden especificar constantes y/o registros

**27. Sobre la codificación de los modos de direccionamiento (Página 40 – Tema 3)**

- La codificación fija combina la operación y el modo de direccionamiento en el código de operación. Consigue un tamaño único para todas las instrucciones. Interesante con número reducido de modos de direccionamiento y operaciones. Suele ser utilizado en la línea de diseño CISC
- La codificación variable es interesante con número alto de modos de direccionamiento y operaciones. Consigue menor RI pero las instrucciones individuales varían en talla y cantidad de trabajo. Suele ser utilizado en la línea de diseño RISC
- La codificación híbrida es una alternativa intermedia que persigue las ventajas de la codificación fija y variable: reducir recuento de instrucciones y formato sencillo de fácil implementación. Un ejemplo clásico es el IBM 360

**28. Dado las siguientes instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:**

L\_1: sub \$s1, \$s2, \$s3  
 L\_2: and \$s2, \$s3, \$s1  
 L\_3: sw \$s2, 24(\$s1)

Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿Cuántos ciclos de reloj tardaría en ejecutarse la secuencia de instrucciones?

- 12 ciclos de reloj
- 10 ciclos de reloj
- 11 ciclos de reloj

1	2	3	4	5	6	7	8	9	10	11
IF	ID	EX	MEM	WB						
	IF	S	S	ID	EX	MEM	WB			
		S	S	IF	S	S	ID	EX	MEM	WB

**29. Dado las siguientes secuencia de instrucciones en MIPS que se ejecutan en una máquina segmentada de cinco etapas: IF, ID, EX, MEM, WB:**

sub \$s1, \$s2, \$s3  
 and \$s2, \$s3, \$s1  
 sw \$s4, 24(\$s1)

Si no hay forwarding y se puede leer y escribir en el mismo ciclo de reloj en el mismo registro, ¿En cuántos ciclos de reloj se incrementa la ejecución de estas instrucciones?

- En 3 ciclos.
- En 4 ciclos.
- En 2 ciclos.

1	2	3	4	5	6	7	8	9
IF	ID	EX	MEM	WB				
	IF	S	S	ID	EX	MEM	WB	
		S	S	IF	ID	EX	MEM	WB

Si se supone que la diferencia de ciclos la realiza entre no forwarding y con forwarding:

No forwarding = 9 ciclos

Con forwarding = 7 ciclos

Diferencia de 2ciclos.

o

nº Stalls -->2

30.

Sobre los riesgos de control. Indica la respuesta **NO** correcta

Seleccione una:

- ☒ a. Prededir el salto como efectivo permite la reducción de las penalizaciones de los saltos en la segmentación. Una vez decodificado el salto y calculada la dirección destino, suponemos que el salto se va a realizar y comenzamos la búsqueda y ejecución en el destino. Como en MIPS se conoce la dirección destino en la etapa de decodificación esta estrategia es útil.
- ☐ b. Los riesgos de control pueden provocar mayor pérdida de rendimiento que los riesgos por dependencia de datos
- ☐ c. Prededir el salto como no efectivo permite la reducción de las penalizaciones de los saltos en la segmentación del MIPS. Se implementa continuando la búsqueda de instrucciones como si no ocurriese nada extraordinario. Si el salto es efectivo detenemos la segmentación, recomenzamos las búsquedas y deshacemos los cambios de estado.

- a)
- b)
- c) Esta no pone MIPS en la definición del Tema 4, pero se supone que todo el tema habla sobre el MIPS así que sería correcta

Para el procesador MIPS segmentado de 5 etapas con un delay slot en los saltos se ejecuta la siguiente secuencia de instrucciones.

LW R1, 0 (R4)

LW R2, 400 (R4)

ADDI R3,R1,R2

SW R3, 0 (R4)

SUB R4, R4, #4

BNEZ R4, L1

Suponer que **no** hay forwarding. En el ciclo de reloj 7, ¿en qué etapa de segmentación se encuentra la instrucción ADDI?

Seleccione una:

- ☐ a. En la etapa MEM.
- ☐ b. La instrucción está parada (hay una burbuja).
- ☒ c. En la etapa EX.

31.



- a)
- b)
- c)

1 2 3 4 5 6 7

IF ID EX MEM WB

IF ID EX MEM WB

IF S S ID EX (pudiendo leer)

IF S S S ID (NO pudiendo leer) → Por lo que la a) no puede ser

32.

En un cauce segmentado de 5 etapas en el que se ha decidido ignorar el efecto de los riesgos, se han hecho las siguientes afirmaciones. ¿Cuál es correcta?

Seleccione una:

- ☐ a. No se puede hacer que las instrucciones que utilicen la ALU tarden menos ciclos debido a la escritura del resultado final, pero las instrucciones de salto condicional e incondicional sí pueden tardar menos ciclos con lo que se podrían mejorar las prestaciones.
- ☒ b. Intentar que algunas instrucciones tarden menos ciclos en el pipeline no ayuda en la mejora de las prestaciones porque la productividad viene determinada por el ciclo de reloj y el número de etapas que tarda cada instrucción no afecta a la productividad.
- ☐ c. Si se permite que las instrucciones de salto condicional e incondicional y las instrucciones que utilicen la ALU tarden menos ciclos que los 5 requeridos por todas las etapas, se incrementarán las prestaciones.

- a)
- b) Productividad =  $n / ((k+n-1) \cdot \text{CLK})$  ---> n es inf ---> 1/CLK solo depende de CLK
- c)

33.

Dada las tres secuencias de código mostradas, en cual de las que hay riesgos por dependencia de datos es necesario introducir una parada o se puede solucionar con forwarding.

Secuencia 1	Secuencia 2	Secuencia 3
Lw \$1, 10(\$2)	Add \$1, \$4, \$4	Addi \$1, \$9, #4
Add \$6, \$1, \$1	Addi \$2, \$4, #5	Addi \$2, \$9, #5
	Addi \$8, \$1, #7	Addi \$3, \$9, #7
		Addi \$4, \$9, #8

Seleccione una:

- ☐ a. En la secuencia 1 se debe introducir una parada después de lw y la secuencia 2 se puede solucionar con forwarding.
- ☐ b. La secuencia 3 se puede solucionar con forwarding.
- ☐ c. La secuencia 1 se puede solucionar con forwarding y se debe introducir una parada después de add en la secuencia 2.

- a)
- b)
- c)

34. Un computador RISC segmentado tiene 8 etapas y corre a 2.5GHz. ¿Cuál es la ganancia de velocidad ideal respecto de la máquina no segmentada?

- a. ~20
- b. ~8
- b. ~4

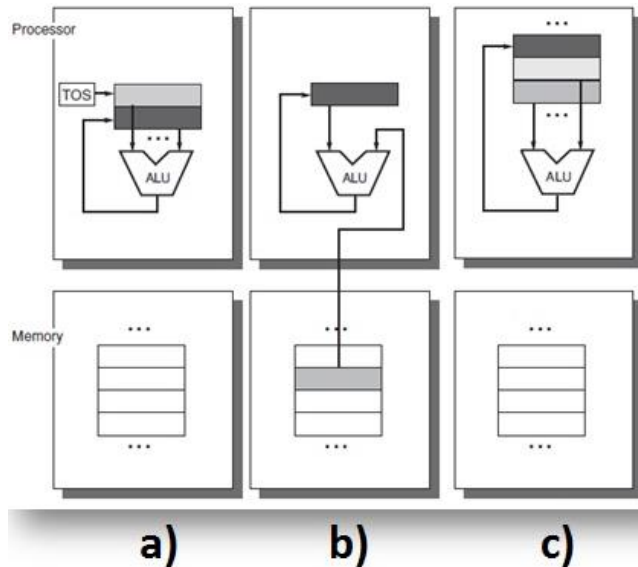
$$\lim_{n \rightarrow \infty} \frac{n \cdot k}{k + n - 1} = k$$

35. En cuanto a la manera de programar las máquinas, indica la respuesta correcta

- a. La arquitectura a nivel lenguaje máquina es un objeto del compilador (T3, transp. 60)
- b. La aparición de los CISC permitió simplificar las arquitecturas de repertorio de instrucciones

- c. Actualmente, las decisiones de diseño de la arquitectura del repertorio de instrucciones se realizan para facilitar la programación en lenguaje ensamblador.

36. ¿A qué figura corresponde un procesador con tipo de almacenamiento interno de la CPU para arquitectura de registros de propósito general R-R?



- a. La marcada en el dibujo como a)  
 b. La marcada en el dibujo como b)  
 c. La marcada en el dibujo como c) (T3, transp. 10)

37. En cuanto a las áreas de aplicación. ¿Cuál de las siguientes afirmaciones NO es correcta?

- a. En los computadores de escritorio el énfasis del rendimiento de los programas debe centrarse en operaciones con tipos de datos enteros y de punto flotante  
 b. En los sistemas embebidos, el tamaño del código es importante ya que el programa necesita menos memoria siendo el sistema más barato y de menor consumo.  
 c. En los servidores el rendimiento de operaciones con tipos de datos enteros es mucho menos importante que el rendimiento para punto flotante o cadenas de caracteres. (T3, transp. 7)

38. Suponer que en un cierto ISA las instrucciones de control utilizan saltos relativos al contador de programa. Si el campo desplazamiento en complemento a 2 tiene 8 bits, ¿Qué distancia en instrucciones se podrá cubrir con el salto? Suponer que el acceso a la memoria es por palabra y todas las instrucciones ocupan una palabra.

(ÉSTA DEJARLA EN BLANCO)

39. ¿Qué modo de direccionamiento están utilizando los operandos señalados en negrita en cada una de las instrucciones siguientes?

**add \$1, \$2, \$3**  
**lw \$1, 4(\$3)**

- a. Directo a registro (o registro) para add y desplazamiento para lw.
- b. Indirecto de registro (o diferido) para add y absoluto para lw.
- c. Directo a registro (o registro) para add y absoluto para lw.

**40. Sobre los riesgos de segmentación.**

- a. Los riesgos estructurales requieren una reorganización de las unidades funcionales de la máquina multicycle en la que está basada. (Hay que añadir una memoria, registros de p--, el B de memoria...)
- b. Los riesgos de segmentación siempre impiden que se ejecute instrucción del flujo de instrucciones por lo que reducen la ganancia. (No siempre, solo cuando hay stalls 51-4.2)
- c. Los riesgos por dependencia de datos no siempre impiden que se ejecute la siguiente instrucción del flujo de instrucciones. (No impiden, la retrasan con un stall?)