

**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL IPN,
UNIDAD GUADALAJARA**

**PROGRAMA DE TALENTO ALTAMENTE ESPECIALIZADO EN SISTEMAS
EMBEBIDOS**

METODOLOGÍA DE DISEÑO DE SYSTEM-ON-CHIP

Instructor: Dr. Vidkar Anibal Delgado Gallardo

Elaborado por: José Antonio Rodríguez Velázquez, Patricio Emiliano Morales Díaz

19/05/2024

INTRODUCCIÓN

El presente documento expone la documentación de componentes y memorias utilizadas para la elaboración de un coprocesador de convolución unidimensional adaptado para ser implementado a un microprocesador por medio de una interfaz AIP.

El proceso de diseño ya tiene elaborado el coprocesador de convolución el cual al ser implementado se estableció con los requerimientos específicos para ser conectado a una interfaz AIP, estos componentes se detallan a continuación.

1. IP convolution coprocessor core

La **Figura-1** representa la función del coprocesador de convolución, los datos de entrada introducen desde una memoria externa para ejecutar una convolución con una memoria interna, el resultado de este proceso se guarda en una memoria externa.

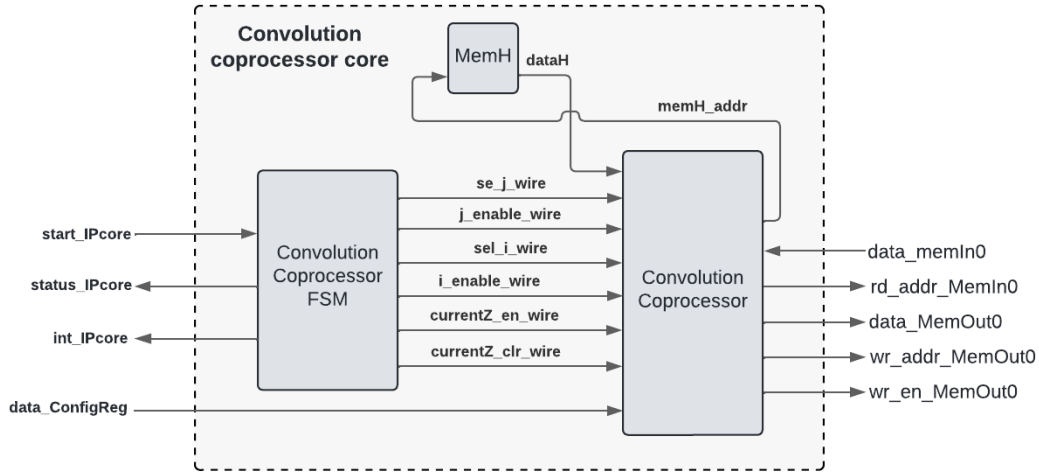


Figura-1. Diagrama de caja blanca del convolucionador de funciones.

2. IP convolution coprocessor achitecture + AIP interface

La **Figura-2.** representa la conexión entre el core del coprocesador de convolución y el módulo AIP, con las señales necesarias para su comunicación.

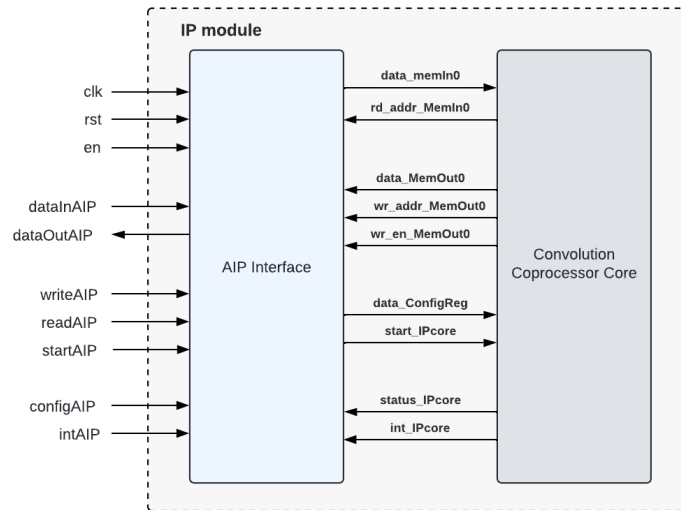


Figura-2. Diagrama de conexión entre convolucionador y módulo AIP.

3. AIP Interface for IP convolution coprocessor.

La **Figura-3**. muestra la estructura interna de la interfaz AIP necesaria para el convolution coprocessor core, el cual sólo requiere una memoria de entrada, una memoria de salida y un único registro de configuración que servirá para establecer el tamaño de la señal de entrada.

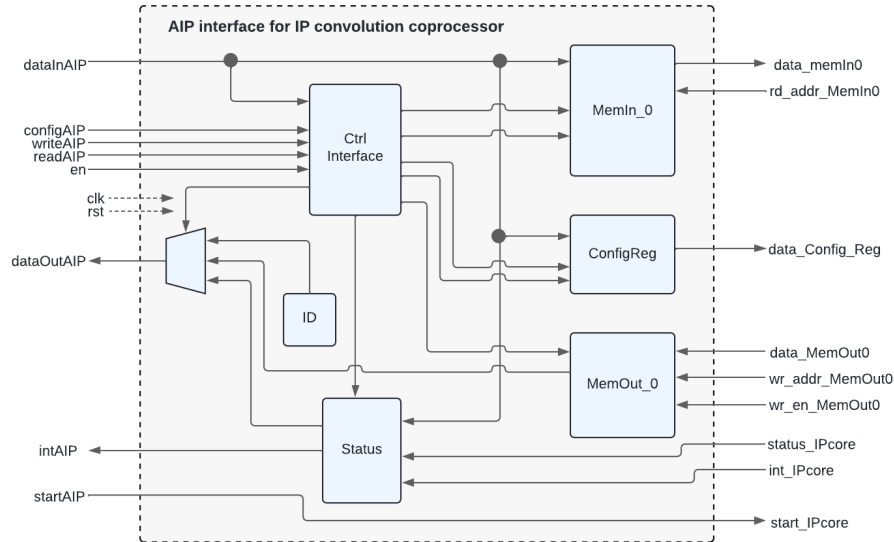


Figura-3. Diagrama interno de la interfaz AIP.

4. Final architecture of the convolution coprocessor core with the AIP interface.

La **Figura-4**. muestra la estructura final de la conexión entre el convolution coprocessor y la interfaz AIP, únicamente se muestran una versión simplificada del diagrama de la **Figura-1**.

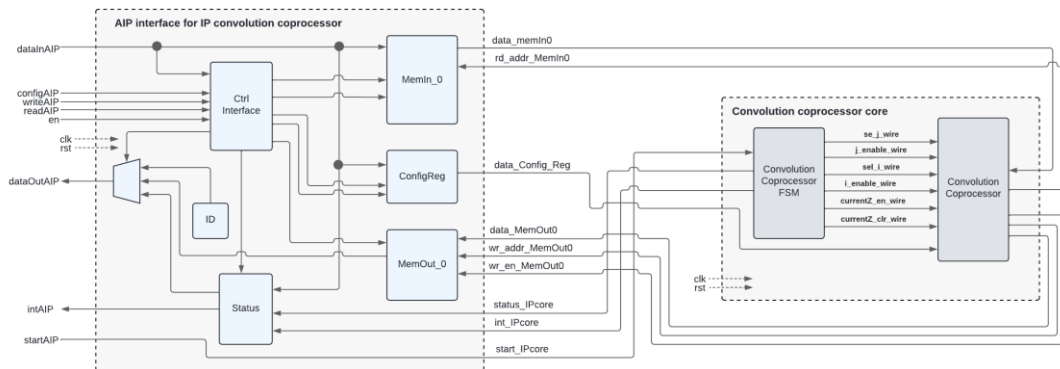


Figura-4. Diagrama de la arquitectura final de la conexión entre el convolution coprocessor core y la interfaz AIP

5. Status module

La **Tabla-1**. Muestra el registro de status utilizado en este sistema, el cual únicamente tiene el bit de “done” en la posición 0, el bit de “busy” en la posición 8 y el bit de enmascaramiento en la posición 16.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								Mask Bits				Status Bits				Interrupt/Clear Flags															
Reserved								Reserved				MSK	Reserved				BSY	Reserved								DN					
												rw					r									rw					

Tabla-1. Registro de status del sistema.

6. Config Reg module

La **Tabla-2**. Muestra el registro de configuración utilizado en este sistema, este registro tiene la única función de establecer el tamaño del dato de la memoria de entrada, el cual puede tener un valor máximo de 32, por lo que únicamente se usan los primeros 5 bits de este registro para ello.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NA																sizeY [4:0]															
NA																w	w	w	w	w											

Tabla-1. Registro de configuración del sistema.

