

# UNIVERSIDAD NACIONAL DE SAN AGUSTÍN DE AREQUIPA



## VICERRECTORADO ACADÉMICO

FACULTAD DE INGENIERIA DE PRODUCCION Y SERVICIOS  
DEPARTAMENTO ACADÉMICO DE INGENIERIA DE SISTEMAS E INFORMATICA

SÍLABO 2023 - A

ASIGNATURA: ARQUITECTURA DE COMPUTADORES

### 1. INFORMACIÓN ACADÉMICA

<b>Periodo académico:</b>	2023 - A	
<b>Escuela Profesional:</b>	CIENCIA DE LA COMPUTACIÓN	
<b>Código de la asignatura:</b>	1702117	
<b>Nombre de la asignatura:</b>	ARQUITECTURA DE COMPUTADORES	
<b>Semestre:</b>	III (tercero)	
<b>Duración:</b>	17 semanas	
<b>Número de horas (Semestral)</b>	<b>Teóricas:</b>	2.00
	<b>Prácticas:</b>	0.00
	<b>Seminarios:</b>	0.00
	<b>Laboratorio:</b>	2.00
	<b>Teórico-prácticas:</b>	0.00
<b>Número de créditos:</b>	3	
<b>Prerrequisitos:</b>	ESTRUCTURAS DISCRETAS II (1701208)	

### 2. INFORMACIÓN DEL DOCENTE, INSTRUCTOR, COORDINADOR

DOCENTE	GRADO ACADÉMICO	DPTO. ACADÉMICO	HORAS	HORARIO
FLORES QUISPE, ROXANA	Doctora CC	INGENIERIA DE SISTEMAS E INFORMATICA	4	Lun: 10:40-12:20
RODRIGUEZ GONZALEZ, PEDRO ALEX	B. Ing. Electronica	INGENIERIA DE SISTEMAS E INFORMATICA	4	Jue: 14:50-16:40
FLORES QUISPE, ROXANA	Doctora CC	INGENIERIA DE SISTEMAS E INFORMATICA	4	Vie: 07:00-08:40

### 3. INFORMACIÓN ESPECIFICA DEL CURSO (FUNDAMENTACIÓN, JUSTIFICACIÓN)

La presente asignatura permite a los estudiantes de ciencias de la computación: conocer y comprender analizar, implementar y valorar sistemas basados en soporte físico y lógico micro-programable para optimizar el desarrollo de aplicaciones del área de ciencias de la computación. También en arquitectura de computadores los estudiantes elaboran el análisis, el diseño y el desarrollo de soluciones a problemas de

#### 4. COMPETENCIAS/OBJETIVOS DE LA ASIGNATURA

1. Conoce y comprende los conceptos de la arquitectura de computadores para el análisis, diseño y desarrollo de soluciones a problemas computacionales
2. Analiza sistemas basados en soporte físico micro-programable como parte de la arquitectura y estructura de las computadoras.
3. Identifica características técnicas y aplicaciones de sistemas basados en arquitectura y estructura de computadores.
4. Elabora un proyecto de hardware y software basado en soporte físico micro-programable.
5. Valora las aplicaciones que se fundamentan en la arquitectura de computadores

#### 5. CONTENIDO TEMATICO

##### PRIMERA UNIDAD

###### Capítulo I: ARITMETICA DIGITAL

- Tema 01:** Introducción a las computadoras
- Tema 02:** Unidades Funcionales Básicas.
- Tema 03:** Medidas de rendimiento throughput
- Tema 04:** Diseño combinacional -Compuertas y señales lógicas
- Tema 05:** Descripción Algebraica de circuitos lógicos
- Tema 06:** Diseño de componentes digitales
- Tema 07:** Decodificadores, codificadores, multiplexores, demultiplexores.

###### Capítulo II: Aritmética de computadores

- Tema 08:** Complemento a dos
- Tema 09:** Multiplicación binaria
- Tema 10:** División binaria
- Tema 11:** Punto flotante

###### Capítulo III: Unidad aritmética Lógica

- Tema 12:** Sumadores simples
- Tema 13:** Conteo e incremento y operaciones lógicas y de corrimiento
- Tema 14:** ALU de 1 bits
- Tema 15:** ALU de 32 bits
- Tema 16:** ALU multifunción

##### SEGUNDA UNIDAD

###### Capítulo IV: Nivel lógico digital

- Tema 17:** Repertorio de Instrucciones, MIPS
- Tema 18:** Microarquitectura - microinstrucciones
- Tema 19:** Macroarquitectura ? macroinstrucciones
- Tema 20:** Microprogramación con lenguaje de diseño de hardware

###### Capítulo V: Diseño de una unidad de control

- Tema 21:** Análisis de un conjunto de instrucciones en la unidad de control

**Tema 22:** Implementación de la unidad de ejecución de instrucciones

**Tema 23:** Bifurcación y saltos

**Tema 24:** Construcción de un camino de datos monociclo

**Tema 25:** Derivación de las señales de control

**Capítulo VI:** Síntesis de la unidad de control

**Tema 26:** Implementación multiciclo

**Tema 27:** Camino de datos segmentado

**Tema 28:** Control segmentado

**Tema 29:** Ciclo de reloj y señales de control

**Tema 30:** La máquina de control de estado

## **TERCERA UNIDAD**

**Capítulo VII:** Jerarquía de Memoria y tipos: Caché, Virtual y Segmentación

**Tema 31:** Estructura de memoria y SRAM

**Tema 32:** DRAM y ciclos de regeneración

**Tema 33:** Memoria no volátil

**Capítulo VIII:** Organización de la memoria cache

**Tema 34:** Principios básicos

**Tema 35:** Cache de mapeo directo

**Tema 36:** Memoria Virtual

## **CUARTA UNIDAD**

**Capítulo IX:** Almacenamiento y aspectos de E/S

**Tema 37:** Almacenamiento en disco

**Tema 38:** Interfaz de los dispositivos de E/S al procesador, memoria y sistema operativo

**Tema 39:** Medidas de las prestaciones de E/S

**Capítulo X:** Multiprogramación con HDL

**Tema 40:** Introducción a HDL

**Tema 41:** Diseño de circuitos lógicos con HDL

**Tema 42:** Diseño de sistemas secuenciales con HDL

**Tema 43:** Diseño de componentes lógicos con HDL

**Tema 44:** Multiprogramación con HDL

## **6. PROGRAMACIÓN DE ACTIVIDADES DE INVESTIG. FORMATIVA Y RESPONSABILIDAD SOCIAL**

### **6.1. Métodos**

El profesor del curso presentará clases teóricas a través de videoconferencias de los temas señalados en el programa propiciando la intervención de los alumnos.

El profesor del curso presentará guías de práctica para el desarrollo de las sesiones de laboratorio que permitan afianzar lo desarrollado en las clases teóricas.

### **6.2. Medios**

Uso del aula virtual DUTIC para la difusión de material y revisión de trabajos, videos, etc.

### 6.3. Formas de organización

Clases Teóricas: exposición de clase magistral a través de videoconferencias.

Prácticas y exposiciones: trabajo en grupo o de manera individual a través de videoconferencias

### 6.4. Programación de actividades de investigación formativa y responsabilidad social

Investigar sobre la aplicación de los lenguaje de diseño de hardware.

Generar material de apoyo para la práctica de la programación en el lenguaje de diseño de hardware aplicada acompañado del plan de trabajo de acuerdo a los lineamientos de la Escuela Profesional.

## 7. CRONOGRAMA ACADÉMICO

SEMANA	TEMA	DOCENTE	%	ACUM.
1	Introducción a las computadoras	R. Flores	1	1.00
1	Unidades Funcionales Básicas.	R. Flores	1	2.00
1	Medidas de rendimiento throughput	R. Flores	4	6.00
2	Diseño combinacional -Compuertas y señales lógicas	R. Flores	2	8.00
2	Descripción Algebraica de circuitos lógicos	R. Flores	2	10.00
2	Diseño de componentes digitales	R. Flores	2	12.00
3	Decodificadores, codificadores, multiplexores, demultiplexores.	R. Flores	2	14.00
4	Complemento a dos	R. Flores	2	16.00
4	Multiplicación binaria	R. Flores	2	18.00
4	División binaria	R. Flores	2	20.00
4	Punto flotante	R. Flores	2	22.00
5	Sumadores simples	R. Flores	2	24.00
5	Conteo e incremento y operaciones lógicas y de corrimiento	R. Flores	2	26.00
5	ALU de 1 bits	R. Flores	2	28.00
5	ALU de 32 bits	R. Flores	3	31.00
5	ALU multifunción	R. Flores	3	34.00
6	Repertorio de Instrucciones, MIPS	R. Flores	3	37.00
6	Microarquitectura - microinstrucciones	R. Flores	4	41.00
7	Macroarquitectura ? macroinstrucciones	R. Flores	4	45.00
7	Microprogramación con lenguaje de diseño de hardware	R. Flores	4	49.00
8	Análisis de un conjunto de instrucciones en la unidad de control	R. Flores	2	51.00
8	Implementación de la unidad de ejecución de instrucciones	R. Flores	2	53.00
9	Bifurcación y saltos	R. Flores	2	55.00
9	Construcción de un camino de datos monociclo	R. Flores	3	58.00
10	Derivación de las señales de control	R. Flores	3	61.00
11	Implementación multiciclo	R. Flores	3	64.00
11	Camino de datos segmentado	R. Flores	2	66.00
12	Control segmentado	R. Flores	2	68.00
12	Ciclo de reloj y señales de control	R. Flores	2	70.00
12	La máquina de control de estado	R. Flores	2	72.00
13	Estructura de memoria y SRAM	R. Flores	2	74.00
13	DRAM y ciclos de regeneración	R. Flores	2	76.00
13	Memoria no volátil	R. Flores	2	78.00

14	Principios básicos	R. Flores	2	80.00
14	Cache de mapeo directo	R. Flores	2	82.00
14	Memoria Virtual	R. Flores	2	84.00
15	Almacenamiento en disco	R. Flores	2	86.00
15	Interfaz de los dispositivos de E/S al procesador, memoria y sistema operativo	R. Flores	2	88.00
15	Medidas de las prestaciones de E/S	R. Flores	2	90.00
16	Introducción a HDL	R. Flores	2	92.00
16	Diseño de circuitos lógicos con HDL	R. Flores	2	94.00
16	Diseño de sistemas secuenciales con HDL	R. Flores	2	96.00
17	Diseño de componentes lógicos con HDL	R. Flores	2	98.00
17	Multiprogramación con HDL	R. Flores	2	100.00

## 8. ESTRATEGIAS DE EVALUACIÓN

### 8.1. Evaluación del aprendizaje

Evaluación Continua.

- Primer consolidado de Trabajos encargados y participación: 9%
- Segundo consolidado de Trabajos encargados y participación: 9%
- Tercer consolidado de Trabajos encargados y participación: 15%

Evaluación Teórica

- Primer Examen: 20%
- Segundo Examen: 20%
- Tercer Examen: 27%

### 8.2. Cronograma de evaluación

EVALUACIÓN	FECHA DE EVALUACIÓN	EXAMEN TEORÍA	EVAL. CONTINUA	TOTAL (%)
Primera Evaluación Parcial	15-05-2023	20%	9%	<b>29%</b>
Segunda Evaluación Parcial	03-07-2023	20%	9%	<b>29%</b>
Tercera Evaluación Parcial	12-08-2023	27%	15%	<b>42%</b>
<b>TOTAL</b>				<b>100%</b>

## 9. REQUISITOS DE APROBACIÓN DE LA ASIGNATURA

- Tener notas en todas las evaluaciones programadas
- Para aprobar se precisa tener una Nota Final mayor que 10.5

## 10. BIBLIOGRAFIA: AUTOR, TÍTULO, AÑO, EDITORIAL

### 10.1. Bibliografía básica obligatoria

PARHAMI, B. ,Arquitectura de Computadoras: de los Microprocesadores a las supercomputadoras, Ed. McGraw Hill, 2007

John L. Hennessy, David A. Patterson, ORGANIZACION Y DISEÑO DE COMPUTADORES : LA INTERFAZ HARDWARE, Ed. McGraw Hill.

### 10.2. Bibliografía de consulta

SILBERSCHATZ,A. , GALVIN, P and GAGNE, G :Operating Systems Concepts 7/E, Wiley & Sons Inc, 2005

Arequipa, 12 de Julio del 2023

**FLORES QUISPE, ROXANA**

**RODRIGUEZ GONZALEZ, PEDRO ALEX**