

Introducción al Diseño Lógico (E0301)

Ingeniería en Computación

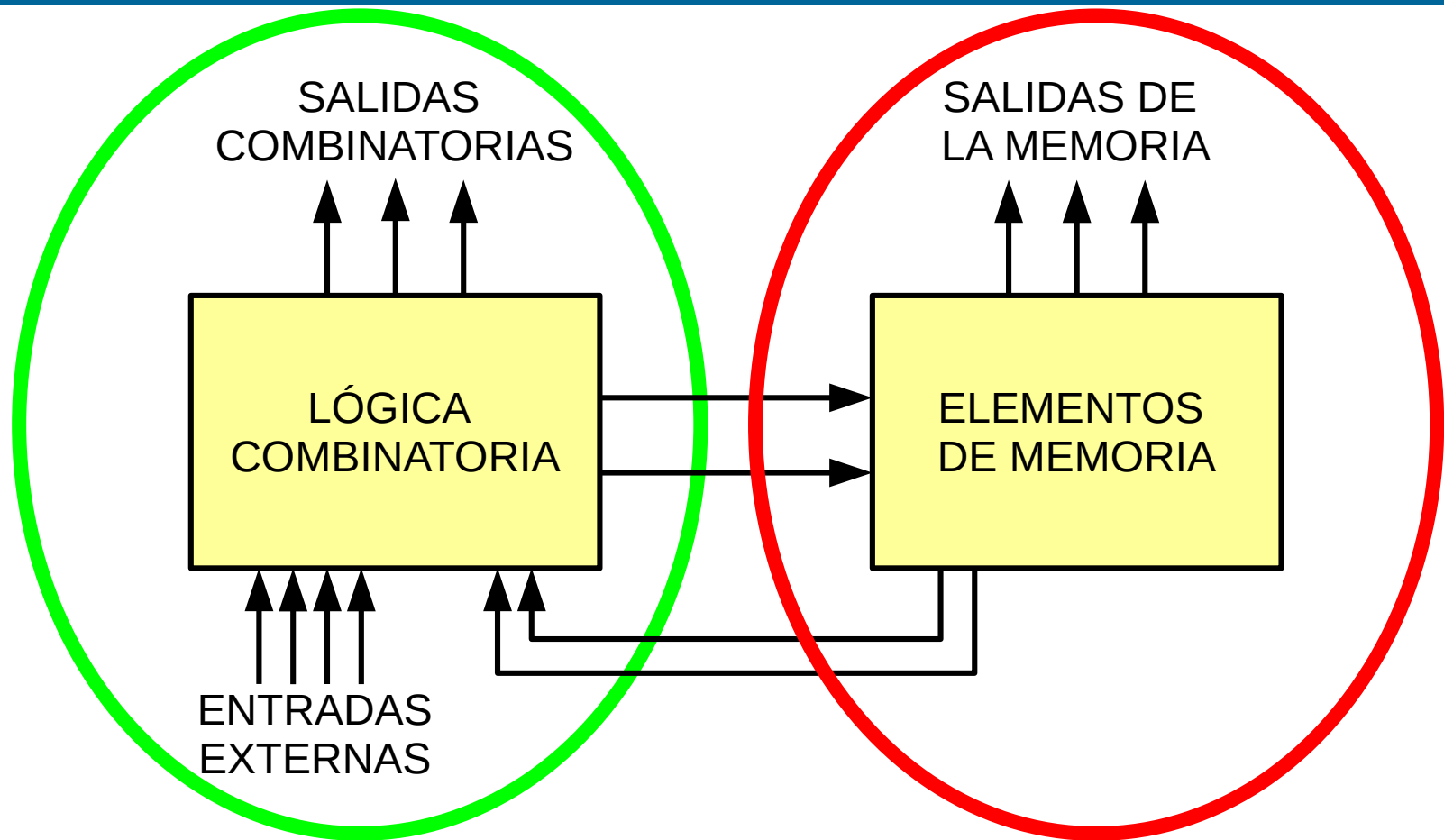
Gerardo E. Sager

Clase 10 curso 2021

Clase 10

- Temas a tratar
 - Análisis de operación de Flip-Flops (Latches) contruidos a partir de compuertas NAND o NOR.
 - Retardo de propagación.
 - Detector de Flancos
 - Operación de flip-flops disparados por flanco.

Introducción

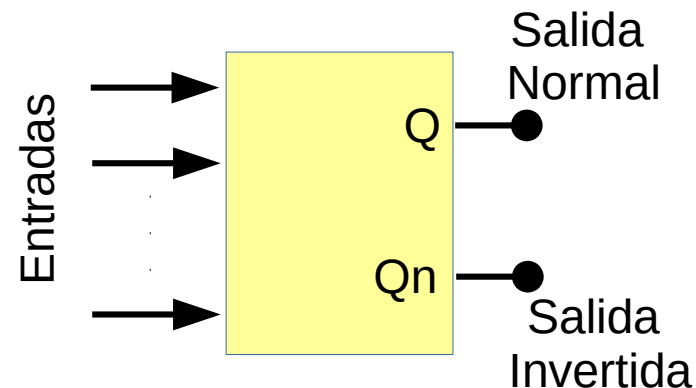


Hasta ahora vimos como analizar y diseñar lógica combinatoria

Ahora veremos como analizar y diseñar elementos de memoria

Introducción

- Un elemento de memoria muy importante es el **flip-flop** (FF) o **LATCH** — construido a partir de compuertas lógicas.

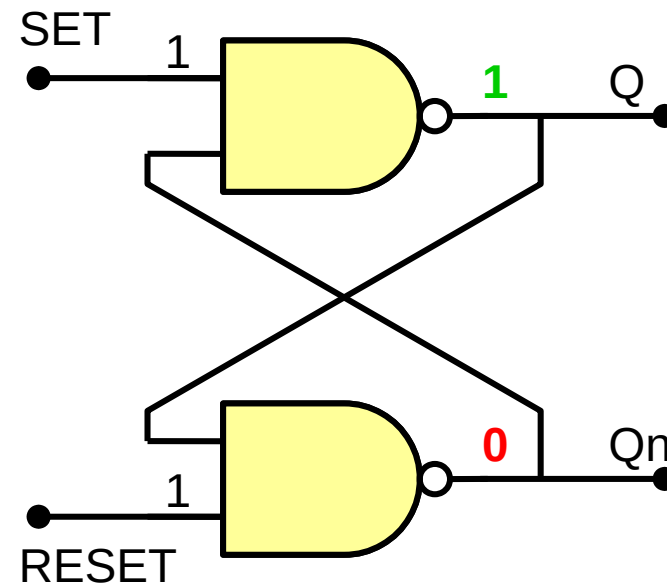
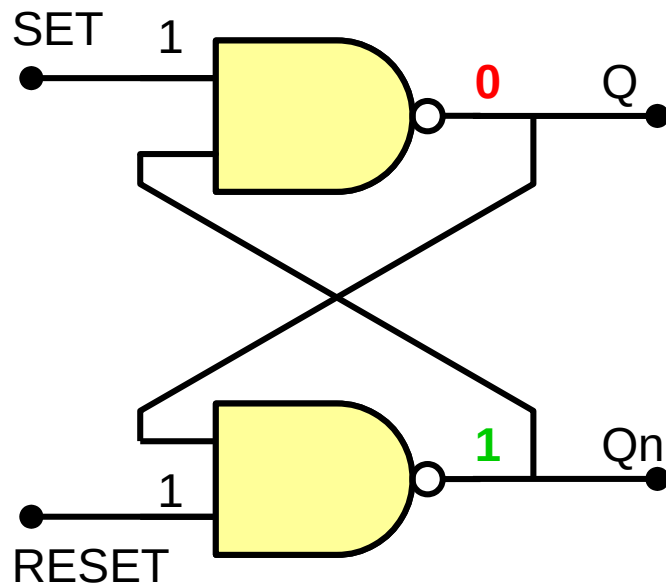


$Q=1, Qn=0$	Se llama estado HIGH o '1' También se llama estado SET
$Q=0, Qn=1$	Se llama estado LOW o '0' También se llama estado RESET o CLEAR

Latch basado en Compuertas NAND

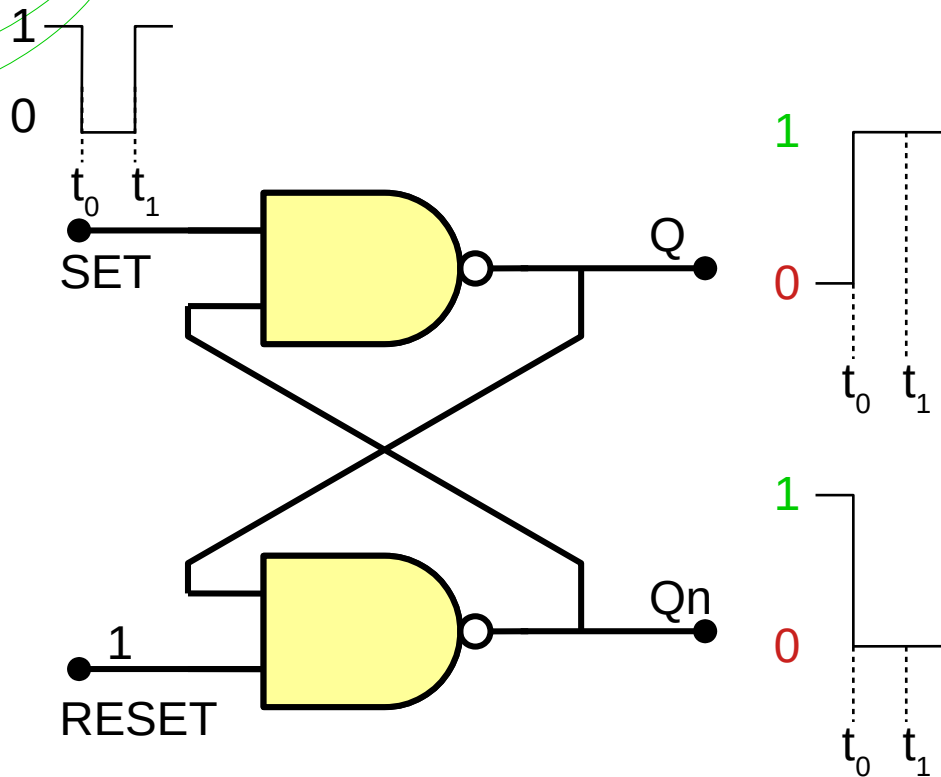
LATCH = CERROJO.

Se suele llamar LATCH al Flip Flop que no utiliza una entrada de reloj.

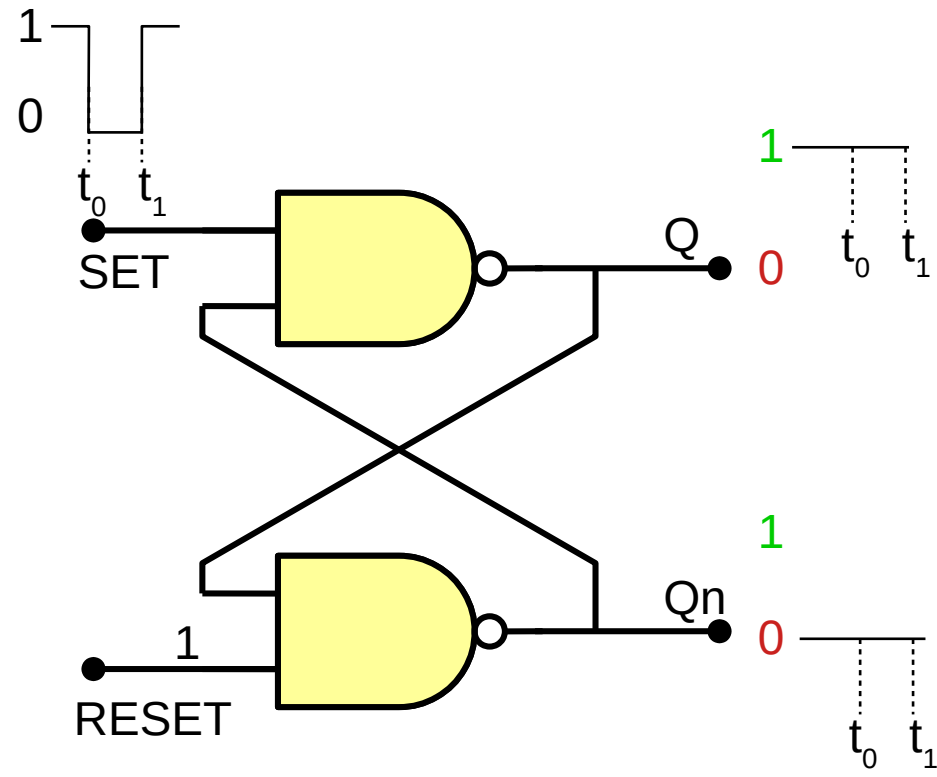


Vemos que tiene dos estados estables
cuando SET y RESET valen 1

Latch basado en Compuertas NAND – SET



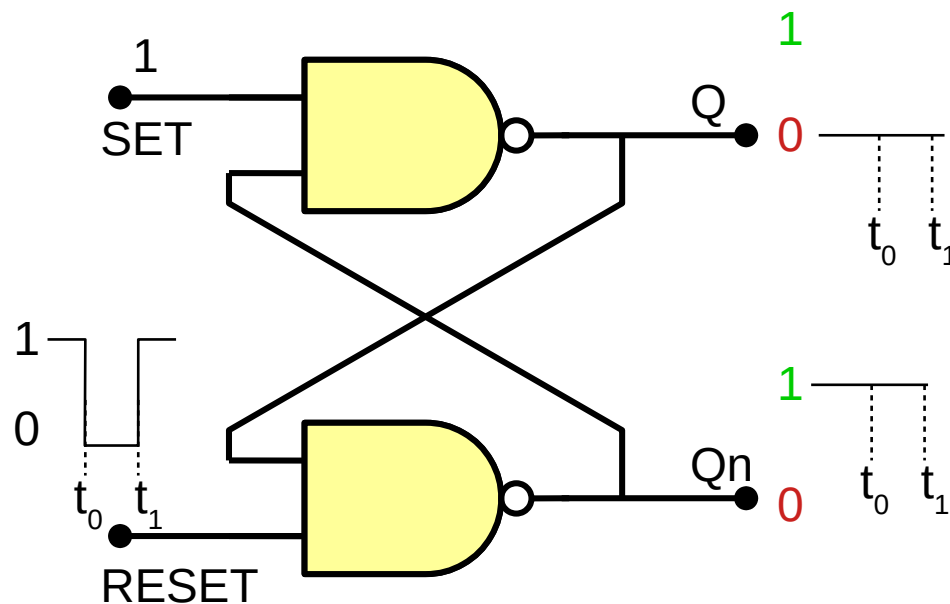
Comportamiento cuando
RESET=1 y Q = 0
SET pasa de 1 a 0 y luego vuelve a 1
Q y Qn invierten sus valores



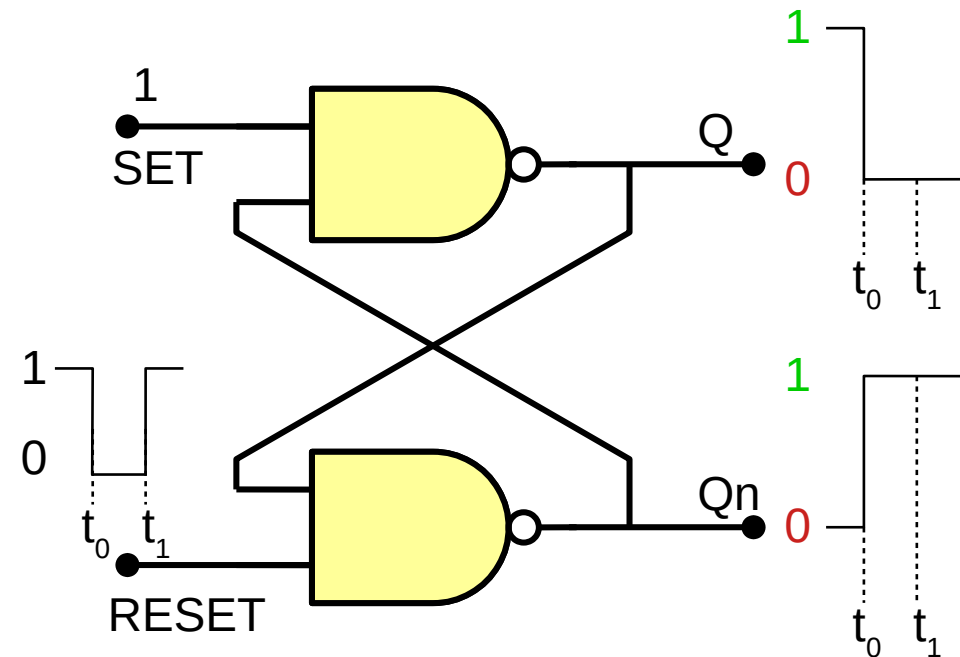
Comportamiento cuando
RESET=1 y Q = 1
SET pasa de 1 a 0 y luego vuelve a 1
Tanto Q como Qn mantienen sus valores.

SET = 0 HACE QUE Q = 1 y Qn = 0.

Latch basado en Compuertas NAND – RESET



Comportamiento cuando
SET=1 y Q = 0
RESET pasa de 1 a 0 y luego vuelve a 1
Tanto Q como Qn mantienen sus valores.

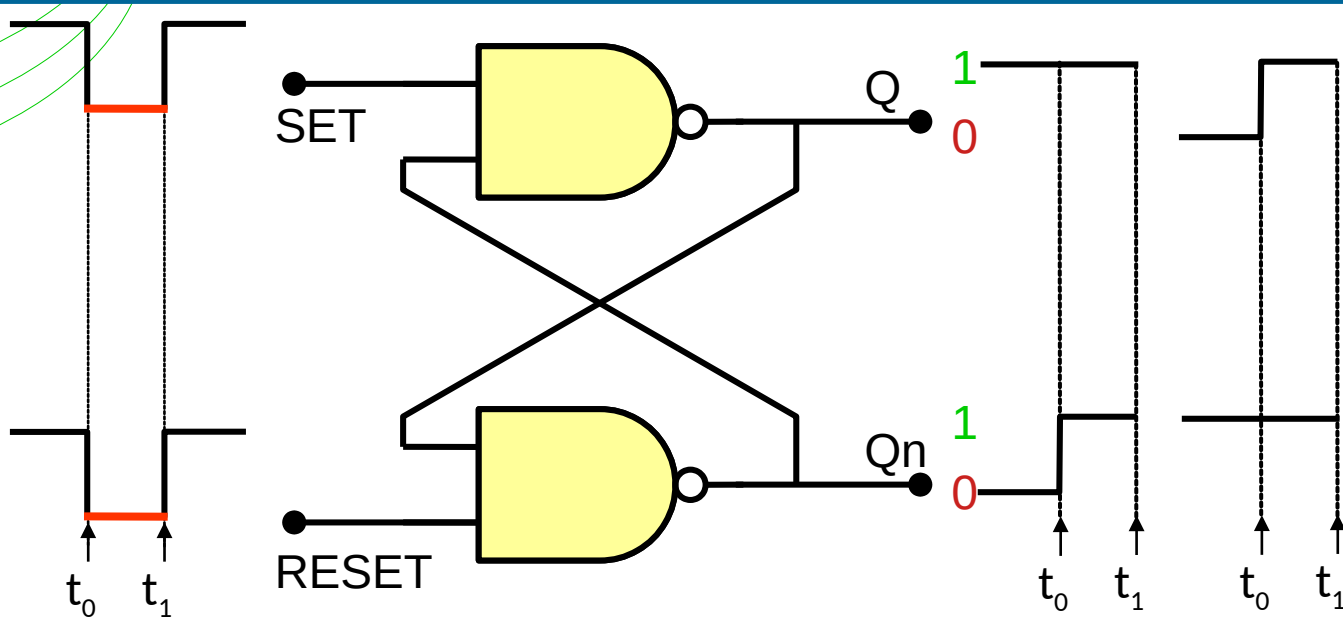


Comportamiento cuando
SET=1 y Q = 1
RESET pasa de 1 a 0 y luego vuelve a 1
Q y Qn invierten sus valores

RESET = 0 HACE QUE Q = 0 y Qn =1

Latch basado en Compuertas NAND

SET y RESET en BAJO simultáneamente



Cuando simultáneamente:

SET = 1 → 0

RESET = 1 → 0

Esto hace que:

Q = 1

Qn = 1

Independientemente de los valores anteriores de Q y Qn

Ahora, si cuando Q=1 y Qn=1

SET = 0 → 1

RESET = 0 → 1

Esto hace que tanto Q como Qn hagan lo siguiente:

1 → 0 → 1 → 0 → 1 → ...

Por eso cuando aplico S=0 y R=0, no puedo determinar en que estado quedará Q

Tabla de verdad

Set	Reset	Q
0	0	????
0	1	1
1	0	0
1	1	Sin Cambio

Latch basado en Compuertas NAND – RESUMEN

- Resumen del Latch basado en NAND:

1) SET = 1, RESET = 1 — Estado normal de reposo, las salidas permanecen en el estado en el que estaban previamente a la entrada.

2) SET = 0, RESET = 1 — La salida va a $Q = 1$ y permanece allí aún después que SET vuelva a ALTO.

1) Se llama SETTING (establecimiento) del latch.

3) SET = 1, RESET = 0 — Producirá $Q = 0$ (LOW) y permanecerá allí, aún después que RESET vuelva a HIGH.

1) Se llama CLEAR (borrado) o RESET (puesta a cero) del Latch.

4) SET = 0, RESET = 0 — Trata de establecer y borrar el latch al mismo tiempo, esto no presenta inconvenientes, mientras se mantenga así, pero si luego se pasa a la condición 1) las salidas son impredecibles

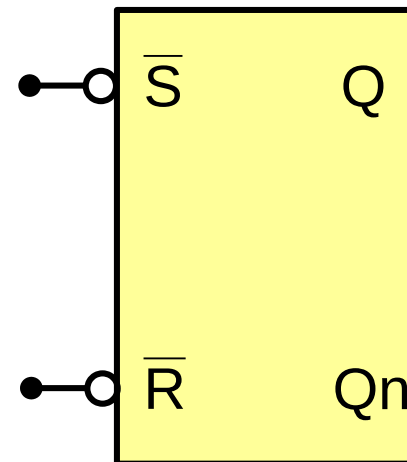
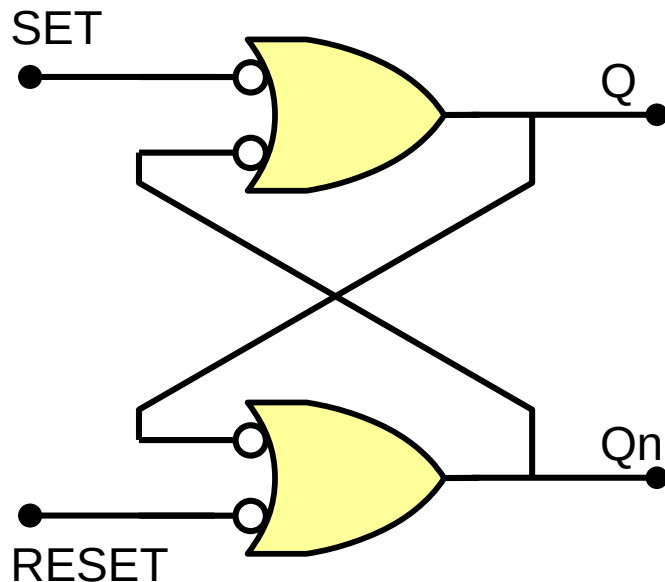
- $Q = Q_n = 1$?

- Esta condición de entrada se considera “No Deseada” y no debe utilizarse.

– Latch basado en Compuertas NAND – Representaciones alternativas

Representaciones equivalentes de un latch basado en **NAND** y símbolo de diagrama en bloques simplificado.

Se basa en que $\overline{A B} = \overline{A} + \overline{B}$



Las entradas **SET** y **RESET** son “*activas en bajo*”, por lo que se indican como entradas “*negadas*”

La salida cambiará cuando la entrada se cambia a “BAJO”

Latch basado en Compuertas NOR

- Dos compuertas **NOR** acopladas convenientemente, pueden ser usadas como un latch basado en compuertas **NOR**, similar al basado en compuertas **NAND**

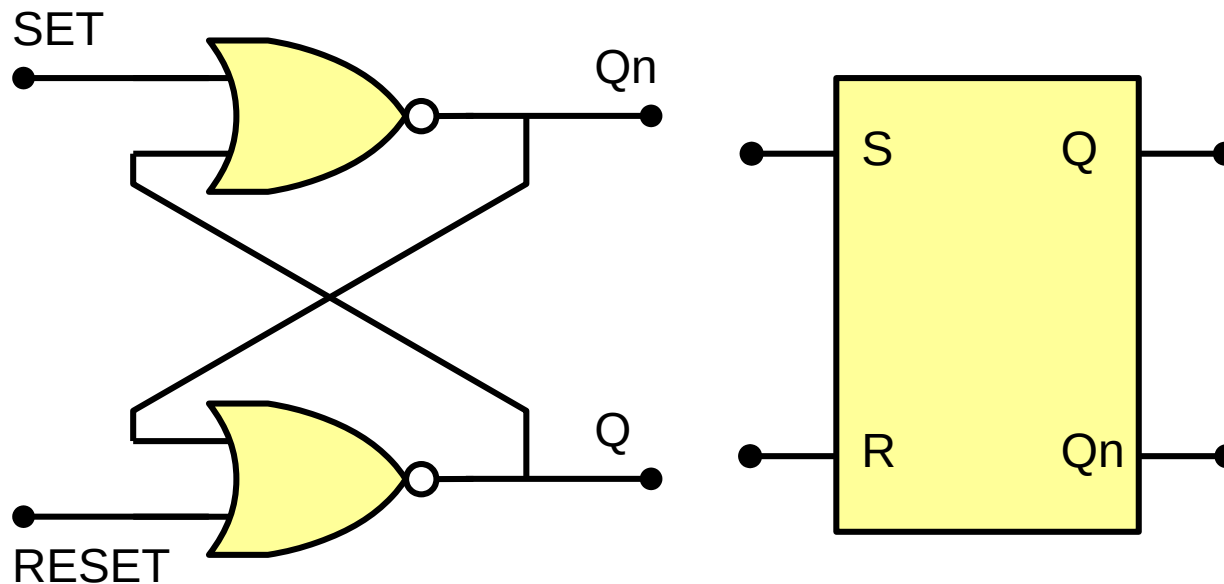


Tabla de verdad

Set	Reset	Q
0	0	Sin Cambio
0	1	0
1	0	1
1	1	????

Las salidas **Q** and **Qn** están “invertidas” respecto al LATCH basado en NAND

Las entradas **SET** y **RESET** son “activas en alto”.
La salida cambiará cuando la entrada se cambia a “ALTO”

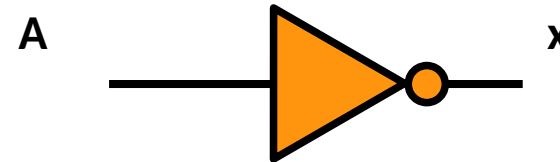
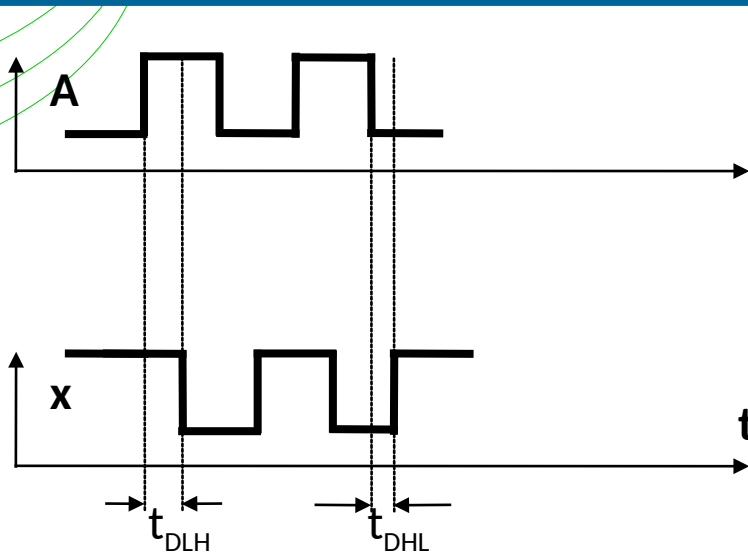
Latch basado en Puertas NOR – RESUMEN

- Resumen del comportamiento del latch NOR:
 - 1) **SET = 0, RESET = 0** — Estado normal de reposo, las salidas permanecen en el estado en el que estaban previamente a la entrada.
 - 2) **SET = 1, RESET = 0** — La salida irá a **Q = 1** (ALTO) y permanecerá allí aún después que **SET** vuelva a BAJO.
 - Se llama SET (Establecimiento) o PRESET (puesta en uno) del Latch.
 - 3) **SET = 0, RESET = 1** — Producirá **Q = 0** (BAJO) y permanecerá allí, aún después que RESET vuelva a BAJO.
 - Se llama CLEAR (borrado) o RESET (puesta a cero) del Latch.
 - 4) **SET = 1, RESET = 1** — Lleva simultáneamente a **Q** y **Qn** a BAJO, y si además luego ambas entradas pasan a BAJO simultáneamente, esto producirá que ambas salidas queden en un estado impredecible.
 - Esta condición de entrada se considera “No Deseable” y no debe utilizarse.

Estado Inicial, Ambos tipos de LATCHES

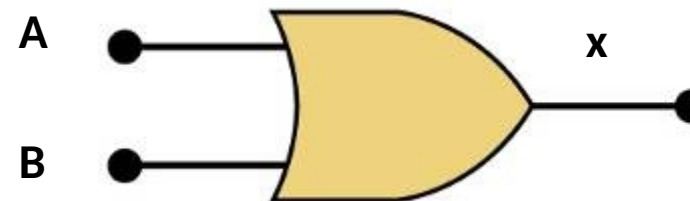
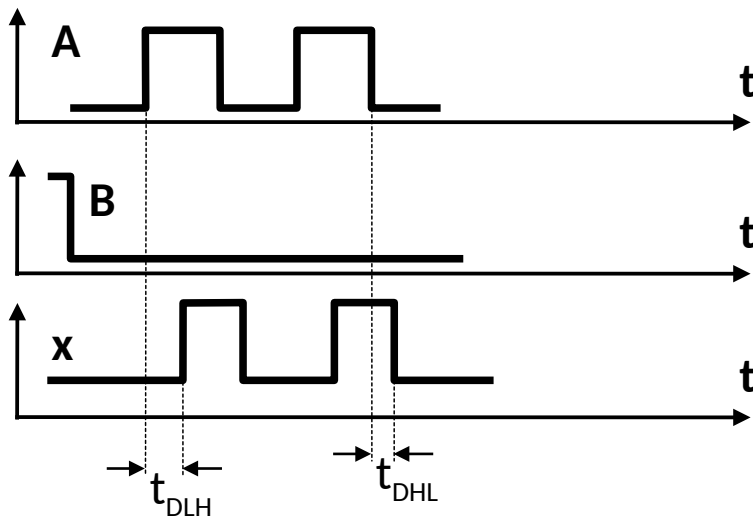
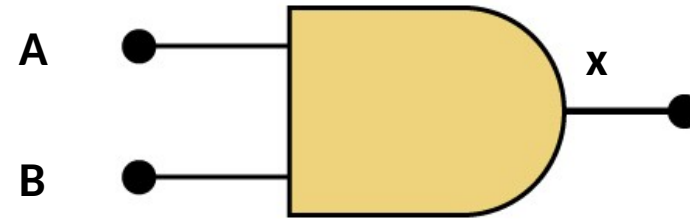
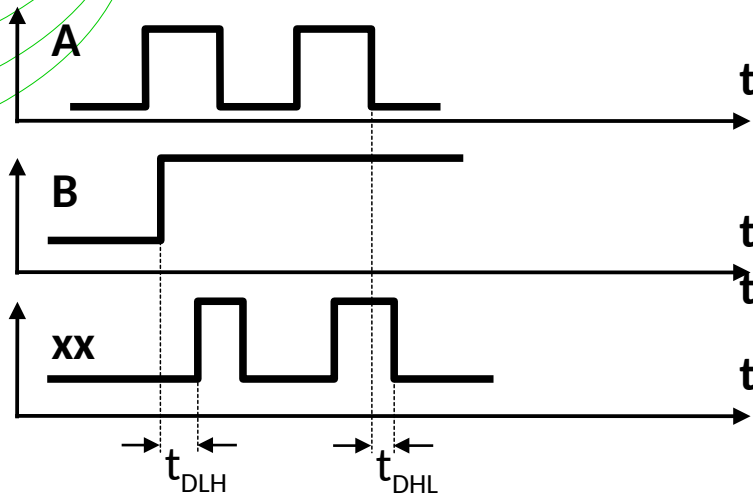
- Cuando se aplica la alimentación no es posible predecir el estado inicial de las salidas del flip-flop si SET y RESET están en su estado Inactivo
- Para iniciar un latch en un estado particular, debe ser puesto en ese estado explícitamente ya sea activando la entrada SET o la entrada RESET al comienzo de la operación.
- Frecuentemente se consigue aplicando un pulso en la entrada apropiada.

RETARDO DE PROPAGACIÓN



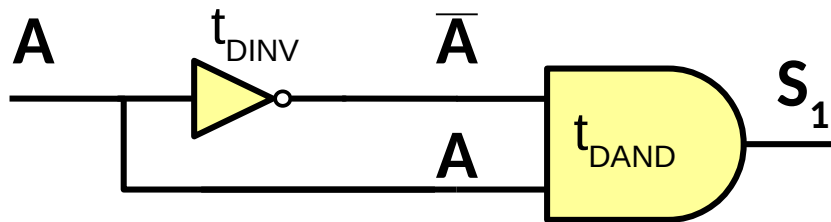
- RETARDO de propagación
 - Puede ser distinto de High→Low y de Low→High
 - Depende de la tecnología (CMOS, TTL, etc.)
 - t_{DLH} Bajo a Alto
 - t_{DHL} Alto a Bajo
 - Si son iguales, se llama t_d

Retardos en AND y OR



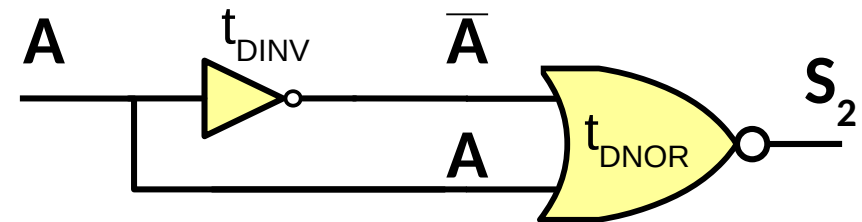
Detectores de Flanco

Detector de flanco de subida \uparrow



$$S_1 = A\bar{A} = 0?$$

Detector de flanco de bajada \downarrow



$$S_2 = A\bar{A} = 0?$$

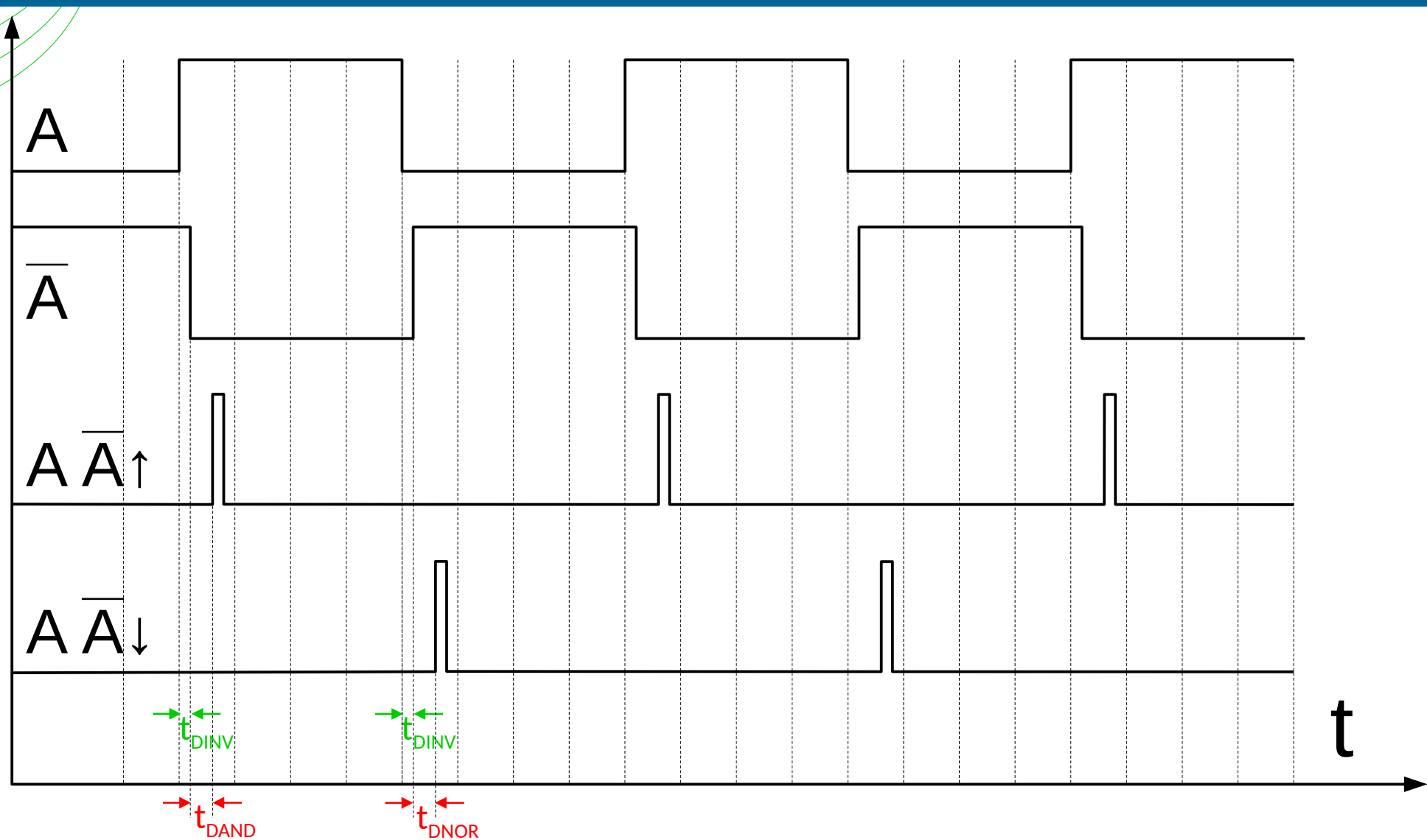
Esto parece que no tuviera sentido.

Si las compuertas no tuvieran retardo, las salidas S_1 y S_2 serían siempre CERO.

Pero el Inversor tiene un tiempo de retardo t_{DINV} , la compuerta AND t_{DAND} y la compuerta NOR t_{DNOR}

Eso hace que \bar{A} se presente a la entrada de las compuertas AND y NOR t_{DINV} después que A y hace que las salidas S_1 y S_2 no sean siempre CERO

Detectores de flancos \uparrow y \downarrow



Señales de reloj y Flip Flops manejados por reloj

- **Sistema Asincrónico —**

- Las salidas aparecen a medida que se producen valores intermedios parciales.
- Dependen fuertemente del tiempo de propagación de las compuertas lógicas y latches.

- **Sistema Sincrónico—**

- Los valores de las salidas aparecen en un instante predeterminado, manejado por una entrada periódica que se llama Clock o Reloj
- La mayor incertidumbre en el momento de aparición de la salida, está dado por el último elemento lógico sincronizado por Ck

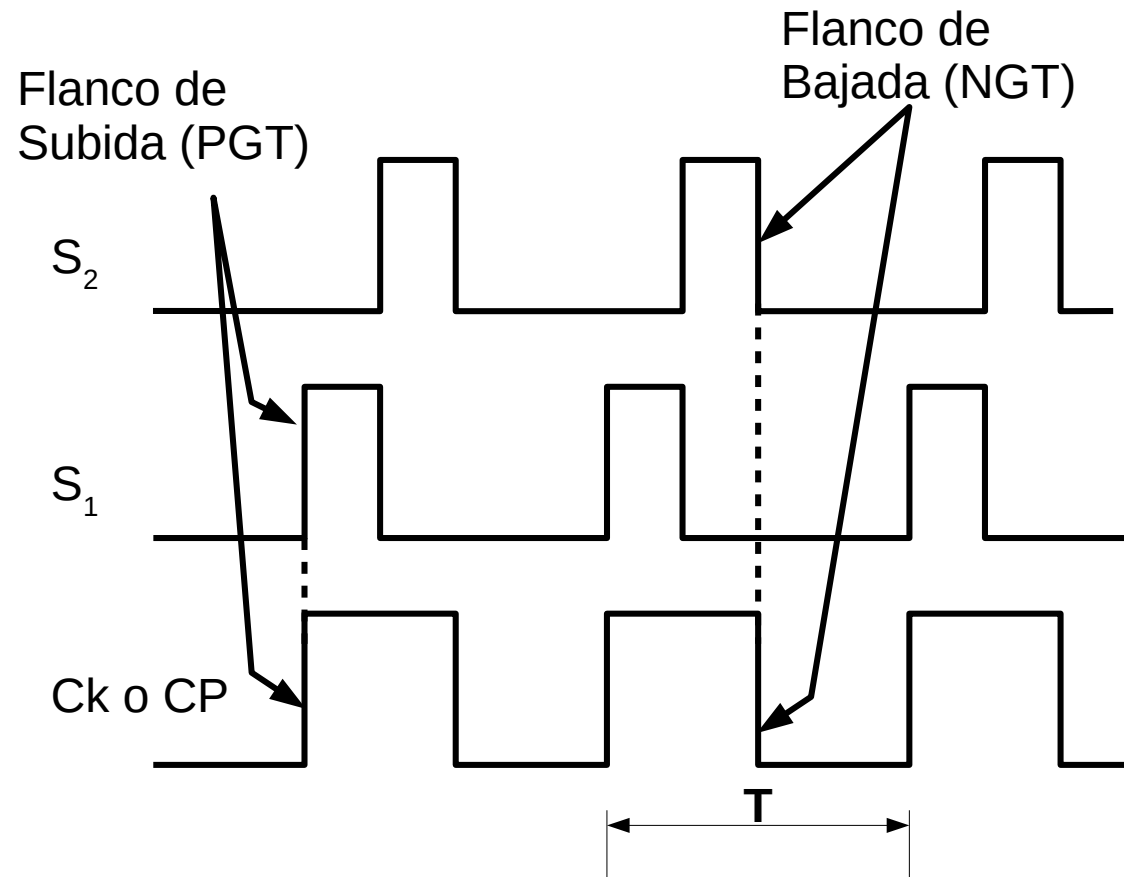
Señales de reloj y Flip Flops manejados por reloj

En los sistemas sincrónicos las señales se sincronizan con el reloj (Ck o CP) en las transiciones o flancos (edges).

La señal S_1 se sincroniza con el flanco de subida o PGT (positive going transition)

La señal S_2 se sincroniza con el flanco de bajada o NGT (negative going transition)

El período del reloj (T) tiene que ser mayor que el tiempo de propagación que necesita el resto de los dispositivos para estabilizar sus salidas

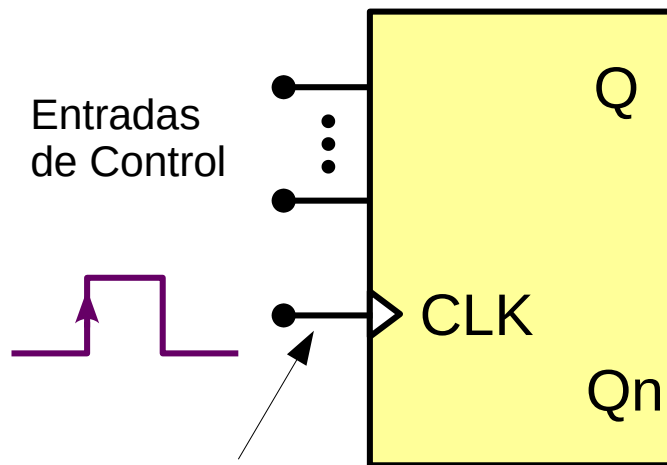


La frecuencia del reloj $f_{CK} = 1 / T$

Señales de reloj y Flip Flops manejados por reloj

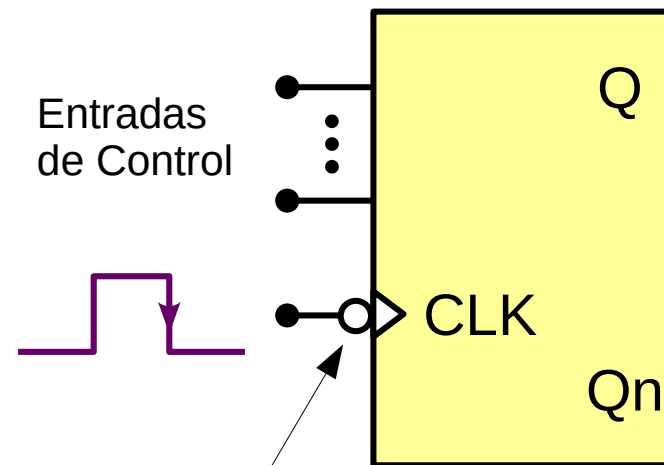
- Los Flip Flops manejados por reloj cambian de *estado* en un *flanco* de reloj.
 - Las entradas de reloj, usualmente se etiquetan como CLK, CK, o CP.

Un triángulo en la entrada CLK indica que la entrada es activada por un flanco positivo (PGT).



CLK se activa con un flanco de subida (PGT)

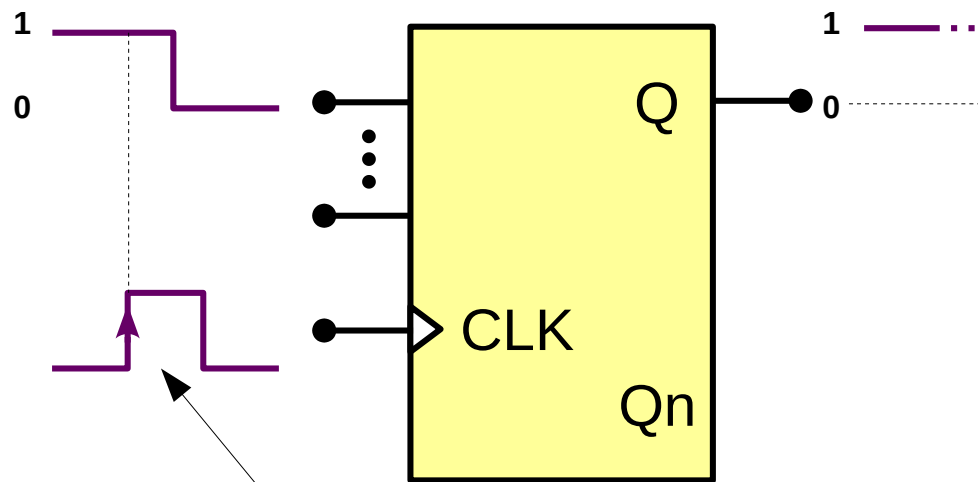
Un círculo y un triángulo indica que la entrada es activada por un flanco negativo (NGT)



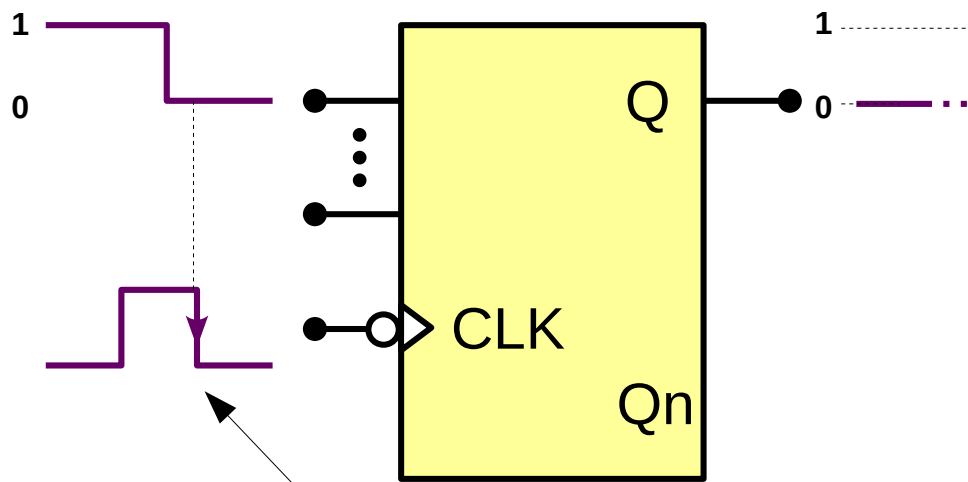
CLK se activa con un flanco de bajada (NGT)

Señales de reloj y Flip Flops manejados por reloj

- Las entradas de control tienen un efecto en la salida solamente durante la transición activa del reloj (NGT or PGT) — En ese caso se llaman entradas de control sincrónicas.
 - Las señales de control preparan la salida para cambiar, pero el cambio solamente se dispara en el flanco activo del reloj.



Q copia la entrada que esta presente en el momento que ocurre el flanco de subida (PGT)



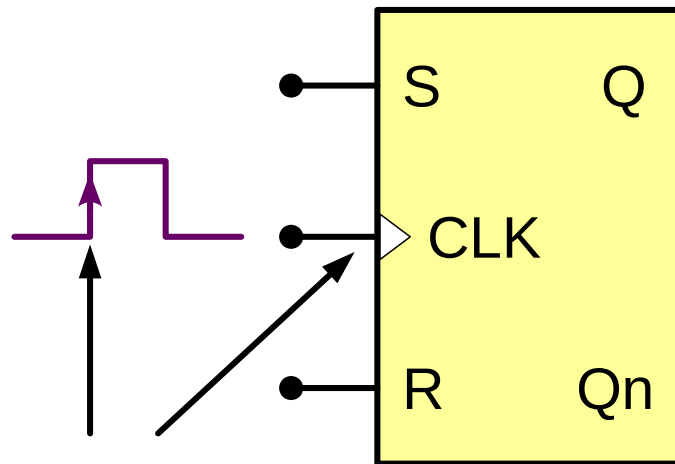
Q copia la entrada que esta presente en el momento que ocurre el flanco de bajada (NGT)

Flip Flop R-S manejado por reloj

- Las entradas *S* y *R* son entradas de control sincrónicas, controlando el estado que el FF va a adoptar, cuando ocurra el pulso de reloj.
- Esto es lo mismo que decir que la entrada *CLK* es la entrada **disparadora** que causa que el FF cambie su estado de acuerdo a las entradas *S* y *R*.
- El flip-flop SET-RESET cambiará su estado durante las transiciones de subida o de bajada de los flancos del reloj

Flip Flop R-S disparado por reloj

Un Flip Flop R-S disparado por el flanco positivo de la señal de reloj.



El Flip Flop se dispara con un flanco de subida en CLK

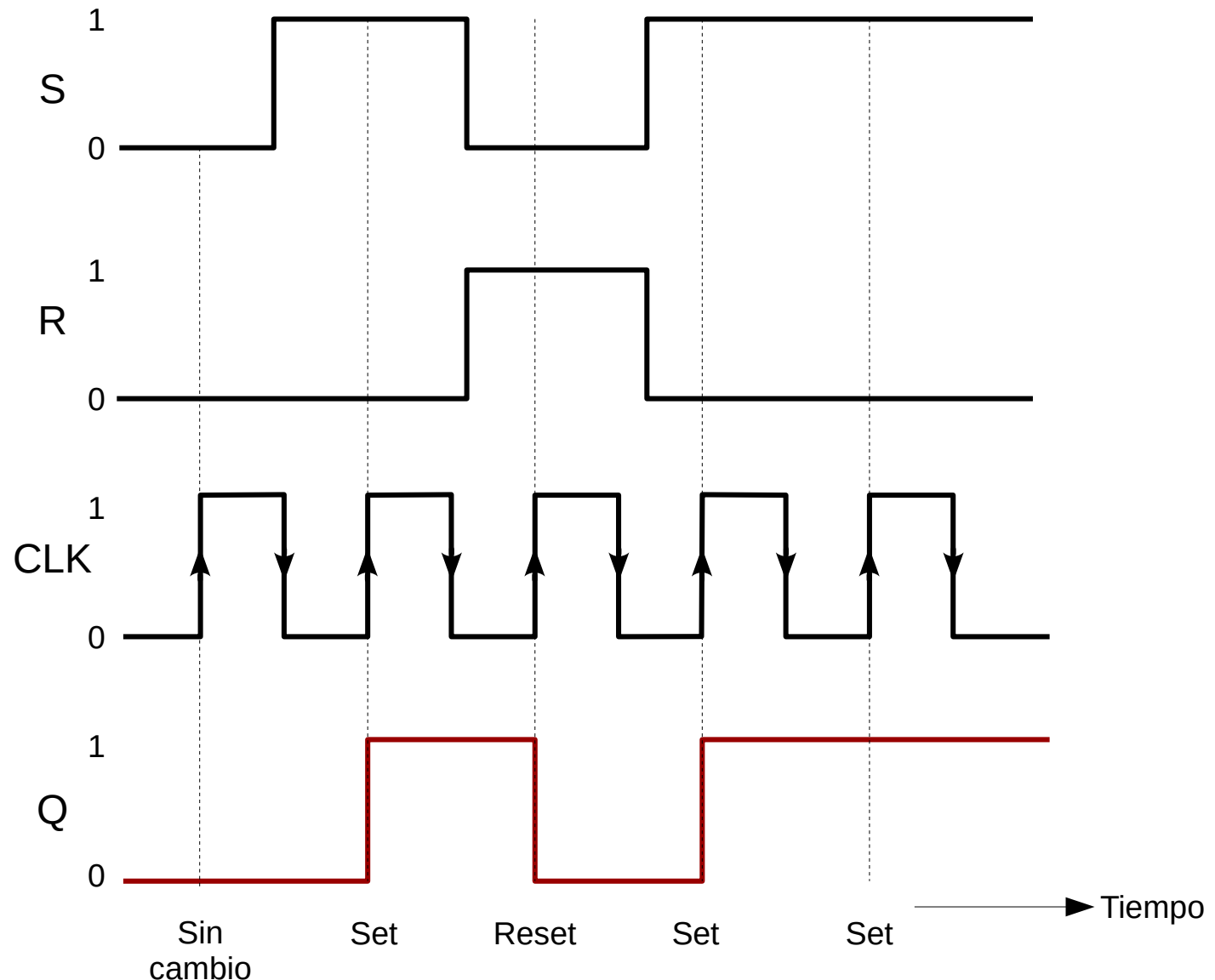
Entradas			Salida
S	R	CLK	Q
0	0	↑	Q^-
0	1	↑	0
1	0	↑	1
1	1	↑	Ambiguo

Q^- es el valor que tenía la salida previamente al ↑ del CLK

El ↓ del CLK no produce ningún cambio en Q

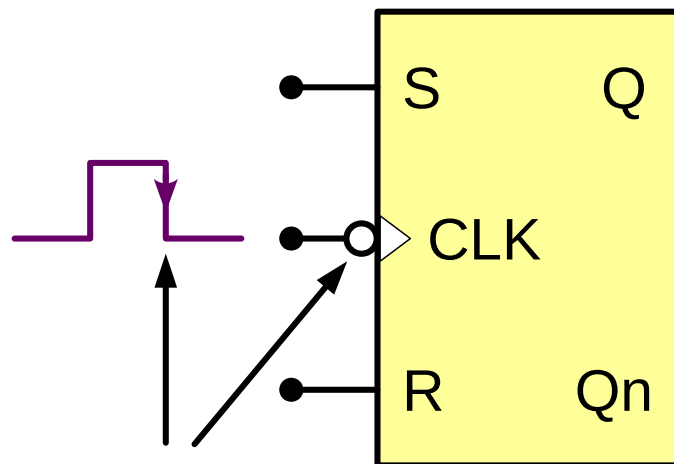
Flip Flop R-S disparado por reloj

Formas de onda de la operación de un FF SR disparado por la transición positiva del reloj.



Flip Flop R-S disparado por reloj

Un Flip Flop R-S disparado por el flanco negativo de la señal de reloj.



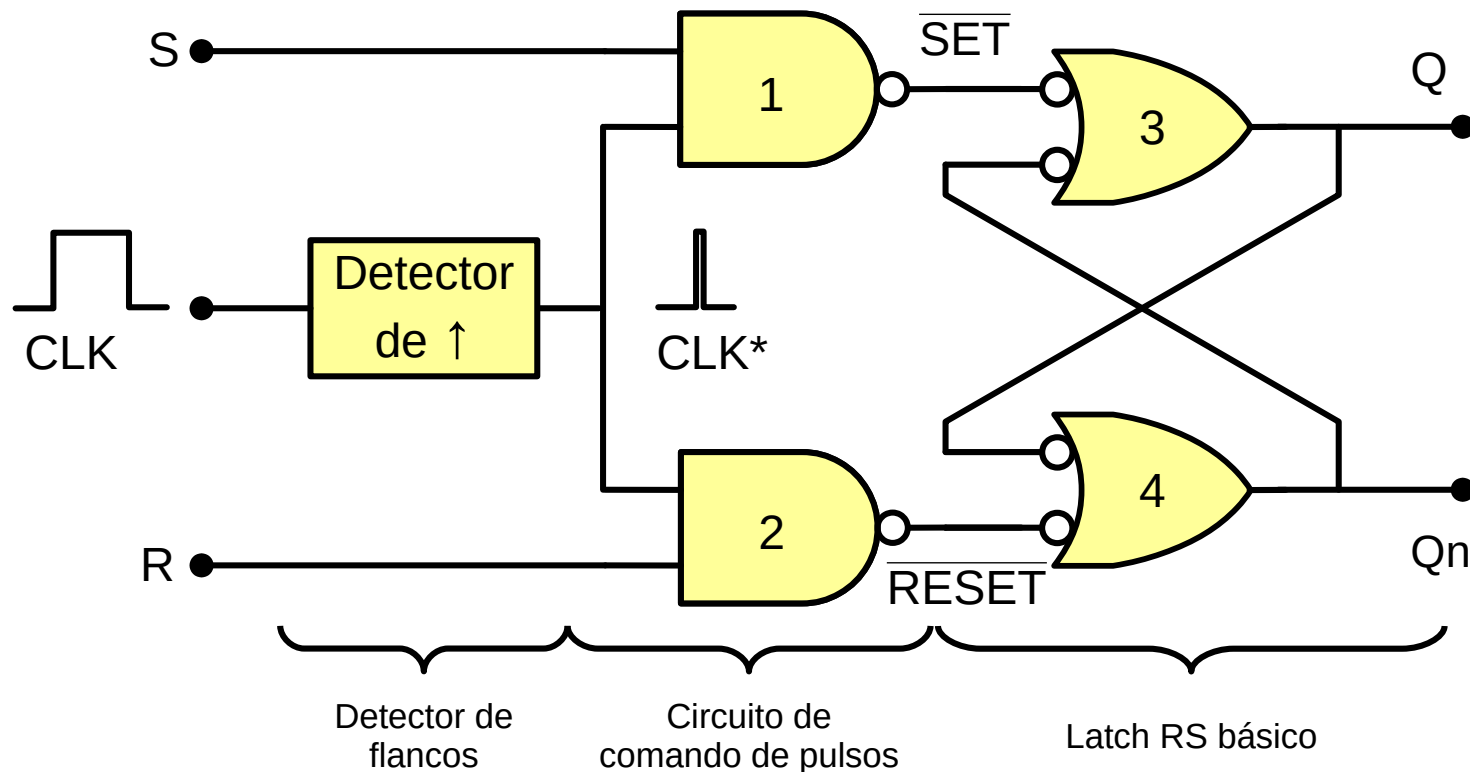
El Flip Flop se dispara con un flanco de bajada en CLK

Entradas			Salida
S	R	CLK	Q
0	0	↓	Q^-
0	1	↓	0
1	0	↓	1
1	1	↓	Ambiguo

En los sistemas digitales se usan tanto FF disparados por flanco positivo como por flanco negativo del reloj.

Flip Flop R-S disparado por reloj

Circuito interno



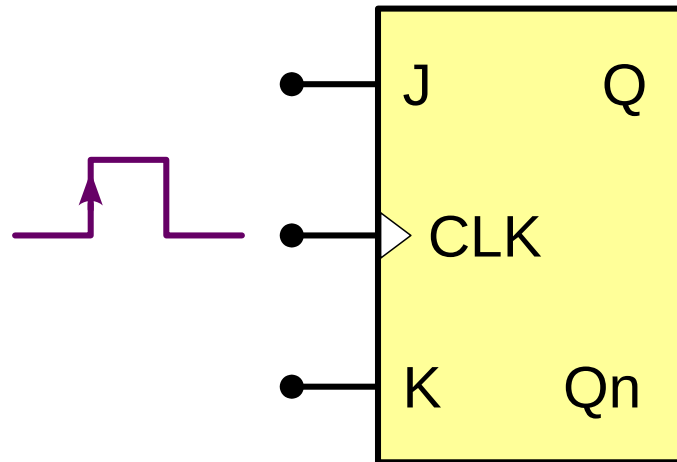
- Un flip-flop S-R disparado por flanco, utiliza:
 - Un **latch RS básico** formado por las compuertas **NAND-3** and **NAND-4**.
 - Un **circuito de comando de pulso** (pulse-steering circuit) formado por **NAND-1** and **NAND-2**.
 - Un **circuito detector de flanco** (edge-detector circuit)

Flip Flop J-K manejado por reloj

- Opera como el FF S-R.
 - J es SET, K es CLEAR.
- Cuando J y K son ambos HIGH, la salida conmuta al estado opuesto.
 - Puede ser manejado por flanco positivo o negativo del reloj.
- Mucho más versátil que el flip-flop S-R, ya que no posee estados ambiguos o prohibidos.
 - Posee la capacidad de hacer todo lo que hace el FF S-R además de operar en un modo conmutación (*toggle*).

Flip Flop J-K manejado por reloj

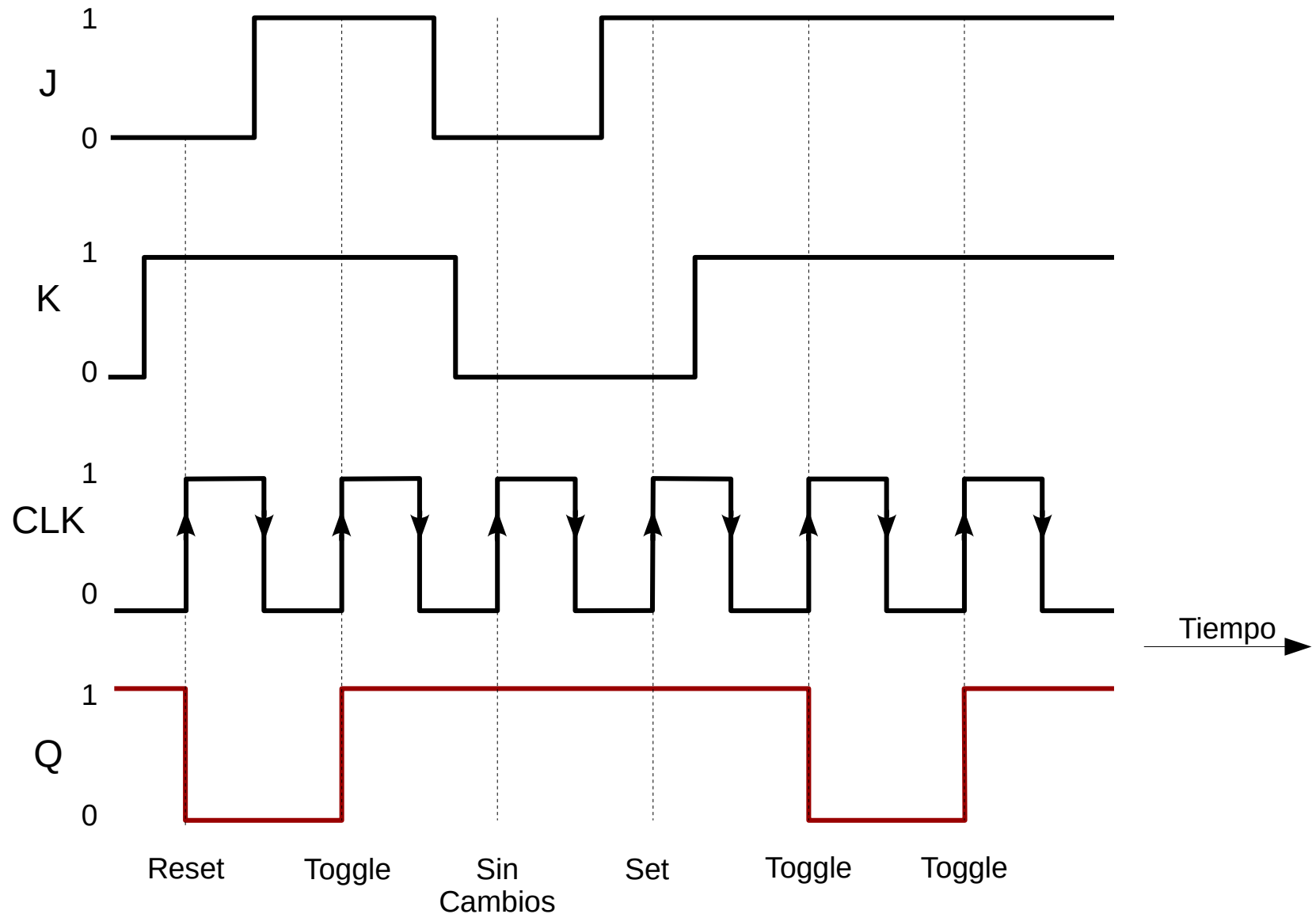
Flip Flop J-K manejado por reloj que responde sólo a flancos positivos del reloj



Entradas			Salida
J	K	CLK	Q
0	0	↑	Q^- (Sin Cambios)
0	1	↑	0
1	0	↑	1
1	1	↑	$\overline{Q^-}$ (Toggle)

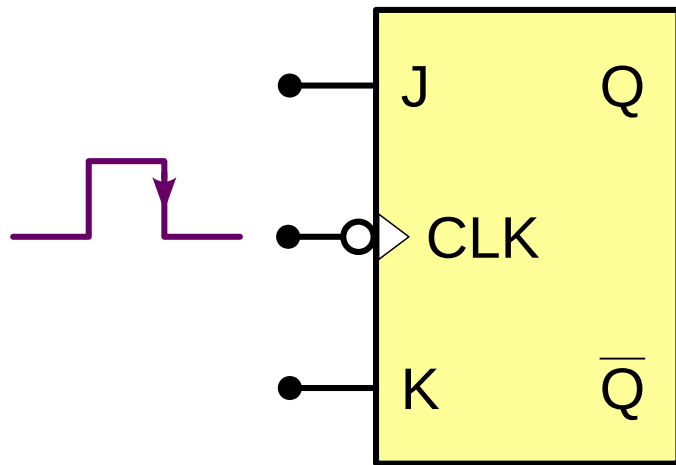
Q^- Es el valor que tenía Q antes del flanco activo del reloj

Flip Flop J-K disparado por reloj



Flip Flop J-K disparado por reloj

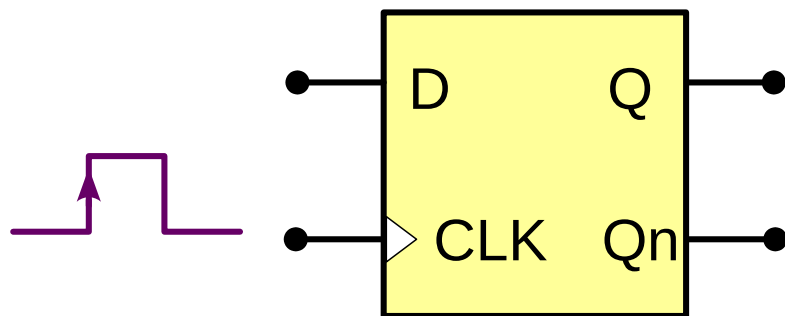
Flip Flop J-K manejado por reloj que responde sólo a flancos negativos del reloj.



Entradas			Salida
J	K	CLK	Q
0	0	↓	Q^- (Sin Cambios)
0	1	↓	0
1	0	↓	1
1	1	↓	$\overline{Q^-}$ (Toggle)

Flip Flop D disparado por reloj

- La salida “copia” el valor de la entrada en el instante que se produce un flanco del reloj. Puede ser activo con transiciones positivas o negativas.
- Puede implementarse con un FF J-K conectando la entrada J con la K a través de un inversor.
- Útil para transferencia paralela de datos



Entradas			Salida
D	CLK		Q
0	↑		0
1	↑		1

Flip Flop D disparado por reloj

