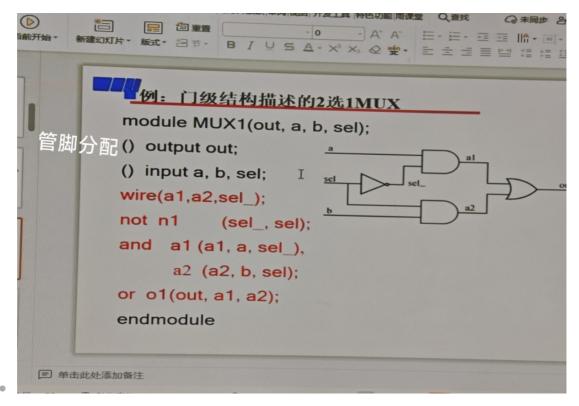
EDA复习

- 绪论
 - EDA的设计思路: 自上而下 1绪论PPT P15
 - EDA技术的构成要素 常用器件 仿真软件 P18 25
 - EDA设计的流程 P26
- 2数制与码制
 - 格雷码的写法、特点 P19
 - ASCII码 七位二进制代码
- 3逻辑代数基础
 - 与或非的写法 电路图符号 (会考到怎么画) 真值表
 - 同或异或的写法 等
 - 基本公式 反演定理的公式(P12 P15) 式子的化简需要用到
 - 逻辑函数的转换:
 - 真值表&逻辑表达式
 - 最小项的写法: m的下标及其对应关系
 - 最小项的性质
 - 卡诺图的画法与化简
 - 三变量与四变量的画法
 - 化简:找相邻的最小项并画圈 圈数最少 大小最大 最小项可以重复被圈
 - 无关项由限制条件约束 写作x
 - 将逻辑式转换成逻辑图
 - 纵横式的接线方法
- 4门电路:不怎么考
- 5PLD器件
 - PLD的分类方法 按编程元件与工艺分类 易失与非易失
 - 都知道就行
- 6Verilog设计初步
 - 写代码都用得上 自己会就行 下面是易错点
 - assign always 模块调用 是并行的,不能嵌套写
 - always有两种赋值方式 阻塞与非阻塞不能混用
 - 模块调用的格式要清楚
 - 如何判断正确的标识符? PPT P20
- 7数据类型
 - 普通正负数的 基数格式的无符号数 P6
 - 无符号数 OBDH表示进制 '前面的表示二进制的长度
 - 注意事项与易错点 P8

- 字符串是8位ASCII码序列
- 参数的定义方法 是常量
- 变量类型: wire与reg P14
 - 需要知道寄存器型变量的几种类型 平时只用req
 - 存储器的定义 reg [0:3] mem [0:63]
- 操作符
 - 全等和非全等: 有无x和z的判断
 - 逻辑与或非 和 位运算的与或非 有区别
 - 缩位运算符:逐位互相算
 - 位拼接运算符 复制操作符
- 运算符优先级:不用硬记 打括号就行
- 8Verilog语法
 - 不可综合的语句要记得: 只能用来做仿真
 - always的模板与过程
 - task的调用必须在always中 function也不能单独出现(或者在assign中调用)
 - 敏感信号表达式
 - 电平或者边沿两种方式不能混用
 - 同一个信号的上升下降沿不可以同时用
 - 用逗号或者or隔开
 - 赋值 阻塞=与非阻塞<=
 - if-else与case的判定
 - case语句可以把多位放在一起写 P24
 - 记得加上默认情况而else/default
 - for循环 需要提前定义i 建议定义成reg 定义的时候不要赋初值
 - 编译指示语句了解即可 include重点了解 P38
 - 任务与函数 的格式
- 9Verilog描述电路的方法
 - 结构描述: 描述逻辑门
 - 门元件调用的格式与方法
 - 考试可能会给一个逻辑图 要求用Verilog进行结构描述
 - 记得声明中间变量wire



- 其他方法了解一下
- 10组合电路
 - 不考设计考分析
 - 记一下组合电路的逻辑表达式
 - 38译码器 每一个输出就是对应的最小项
 - 数据选择器的表达式 P36
- 11组合逻辑电路设计
 - 全加器的写法 比较器的写法
 - 编码器译码器
 - 普通的用case
 - 优先用if
 - 奇偶校验 异或缩位运算
- 12存储电路
 - 需要会认触发器
 - 认图:有无拐角 时钟处有无尖尖符号 对应什么触发
 - JK触发器 T触发器等的特点
- 13时序逻辑电路
 - 驱动方程 状态方程 输出方程 分别表示什么 P8
 - 时序电路分析
 - 写驱动方程与输出方程
 - 代入状态方程得到状态转移表
 - 画状态转移图 考到的时候只要画出主状态就行
 - 时序电路 需要记住两个计数器
 - 74161 16讲制计数器 哥哥端口 P24

- 74160 10进制计数器
- 知道怎么利用这个计数器制作任意进制的计数器
- 同步置数和异步置零法 P40 状态转移图的画法
- 时序逻辑电路的设计方法 P55
 - 最后一个答题 肯定会考到
- 14 Verilog时序电路
 - 计数器的写法
 - 判断归零
 - 分频器的写法 P58
- 15 Verilog有限状态机
 - 两种类型的有限状态机 计数器与序列检测
 - 用三个always写 例 P10
 - LED流水灯的写法