

基于 FPGA 的高速多通道 AD 采样系统的设计与实现

徐加彦,张之万,陈兴林,张广莹

(哈尔滨工业大学 航天学院,哈尔滨 150001)

摘要:光刻机控制系统是高精度伺服控制系统,其控制精度受环境因素(温度、湿度等因素)影响很大。为了实现对光刻机的高精度伺服控制,必须实时反馈周围环境的变化。状态机具有速度快、可靠性高、稳定性好的特点。本课题采用AD7606采样芯片,利用FPGA的可编程逻辑控制的特点,采用状态机思想,通过编程设计AD的读控制时序和读写时序,将采样结果实时保存在双口RAM里,实现高精度多通道AD采样系统。通过实验表明,设计的采样系统其速度、可靠性、采样精度达到要求。

关键词:光刻机;AD7606;多通道采样系统;状态机

中图分类号:TP277 **文献标志码:**A

Design and Implementation of High-speed Multi-channel AD Sampling System Based on FPGA

XU Jia-yan, ZHANG Zhi-wan, CHEN Xing-lin, ZHANG Guang-ying

(School of Astronautics, Harbin Institute of Technology, Harbin 150001, China)

Abstract: Lithography machine control system was the high-precision servo control system, environmental factors (temperature, humidity, and other factors) have a significant impact on the control precision. In order to achieve high-precision servo control, real-time feedback of the changes in the surrounding environment was needed. The state machine has the characteristics of high speed, high reliability and stability. This paper uses AD7606 chip sampling, utilize the characteristics of FPGA programmable logic control, programming AD read and write timing in the form of the state machine, the real-time sampling results stored in the dual-port RAM, to reach the high-precision multi-channel AD sampling system. The experiments shows that the speed design of the sampling system was reliability and accuracy.

Key words: lithography; AD7606; multi-channel sampling system; state machine

光刻机作为集成电路芯片的制造设备,是超高精度的控制系统。国家在2006年十二五规划发布的《国家中长期科学和技术发展规划纲要(2006-2020)》中将“极大规模集成电路制造装备及成套工艺”明确为重大专项。通过这一专项的实施,攻关

60 nm 光刻机的关键技术,为下一步研制更高分辨率光刻机打下坚实基础。在光刻机控制系统中,其环境因素,如温度、湿度等对高精度的控制有着重要的影响^[1]。因此需实时反馈温度、湿度等环境因素。多通道AD采样系统作为光刻机信号采集板卡

收稿日期:2014-04-08;修订日期:2014-04-30

作者简介:徐加彦(1989—),男,硕士研究生,研究方向为数字信号处理、高精度伺服控制;陈兴林(1963—),男,博士生导师,教授,研究方向为高精度运动伺服控制、智能机器人;张之万(1990—),男,硕士研究生,研究方向为检测与转换技术;张广莹(1971—),女,副教授,研究方向为计算机控制。

的核心部分,其采样速度、精度对提高整个光刻机控制系统的精度有着重要影响^[2]。

有限状态机 FSM(finite-state machine)又称有限状态自动机,简称状态机,是表示有限个状态以及在这些状态之间的转移和动作等行为的数学模型。它可应用在硬件电路系统设计、软件工程、网络协议等。就其速度而言,FSM 并行同步完成许多运算和控制操作。这样,由状态机构成的硬件系统比对应的 CPU 所能完成同样功能的软件系统的工作速度要高出 3~5 个数量级。因此在超高速串行或并行 AD、DA 器件的控制,硬件并行通信模块 RS232 等实现有着广泛的应用^[3]。

本文采用 AD7606 作为采样芯片,设计采样电路,并充分利用状态机高速性、稳定性、高效性的特点,采用 FPGA 作为可编程逻辑器件,设计采样芯片的控制时序和读写时序。传统的采样系统使用 UART 方式传输采样结果,处理器需采用中断方式或查询方式读取采样结果,占用了处理器资源。本文将采样结果实时储存在双口 RAM 里,处理器可实时读取采样结果,不占用处理器资源,提高了处理器的效率。实验表明,稳定性和控制性能良好。

1 总体设计框架

高速多通道 AD 采样控制系统框图如图 1 所示,信号采集板卡采用雷莫头接口的方式同外界模拟信号相连接,其抗干扰、稳定性强。AD4505 功放模块作为外界模拟输入信号和 AD7606 模数转换芯片的隔离芯片,避免外界输入的模拟电压过大而导致烧毁 AD 芯片。AD 采样芯片采用 AD7606 作为模数转换芯片,具有 8 通道同时采样,16 位输出的特点,是一款高分辨率、双极性输入、同步采样的高性能模数转换芯片。采用 Altera 公司的 EP2C35F672 可编程逻辑控制器件对 AD7606 进行时序控制。并在 FPGA 里设置一块双口 RAM,存储 AD7606 的数字输出结果。DSP 作为信号采集板卡的主控处理

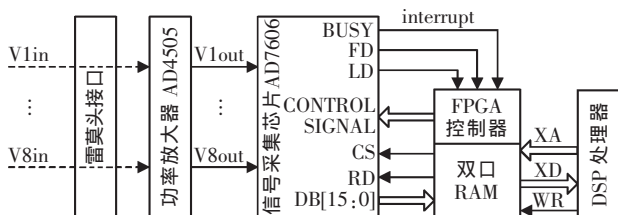


图 1 采样控制系统框图

Fig.1 Block diagram of sampling control system

器,可任意时刻读取双口 RAM 里的采样数据。

2 FPGA 控制 AD7606 的软件实现

2.1 AD7606 的硬件电路图

AD7606 是 AD 公司生产的一款高分辨率、双极性输入、多通道同步采样的高速模数转换芯片。内置二阶抗混叠模拟滤波器对输入信号进行滤波,内置数字滤波器,提供过采样功能;可以灵活地实现并行/串行输出;本课题设计的 AD7606 采用并行输出方式。通过 FPGA 硬件,采用状态机的编程方式,实现对 AD7606 的时序控制。

2.2 有限状态机

图 2 为有限状态机模型,下一个状态和输出由当前状态和输入所决定。有限状态机数学模型为 $(\Sigma, \Gamma, S, s_0, \delta, \omega)$ 。其中: Σ 是输入字母表; Γ 是输出字母表; S 是状态的集合; s_0 是初始状态; δ 是状态转移函数; ω 是输出函数。其中 $\delta: S \times \Sigma \rightarrow S$ $\omega: S \times \Sigma \rightarrow \Gamma$ 。

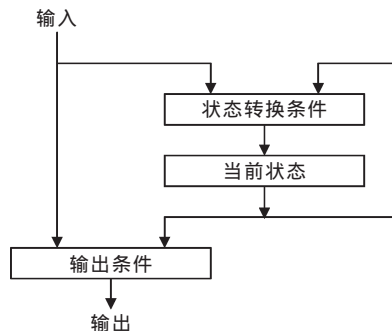


图 2 有限状态机模型

Fig.2 Model of finite state machine

在数字电路中,状态机可用可编程逻辑控制器件来建造,通过寄存器来储存状态变量,确定状态转移的一块组合逻辑和确定状态机输出的另一块组合逻辑。

2.3 时序程序的设计

有限状态机的设计对系统的高速性能、高可靠性、稳定性都具有决定性作用。采用状态机的形式,在每个状态中,状态机可并行同步完成许多运算和控制操作,相比于 CPU 按照指令逐条运行的方式,一般有状态机构成的硬件系统比对应的 CPU 完成同样功能的软件系统的工作速度要高出 3~5 个数量级。在可靠性能方面,状态机是在 FPGA 通过纯硬件电路构成,其运行不依赖软件指令逐条执行,因此不存在 CPU 运行软件过程中的许多缺陷^[3]。

如图 3 所示为采用状态机形式的结构框图,程

序分为写配置模块和读取数据模块 2 个模块。

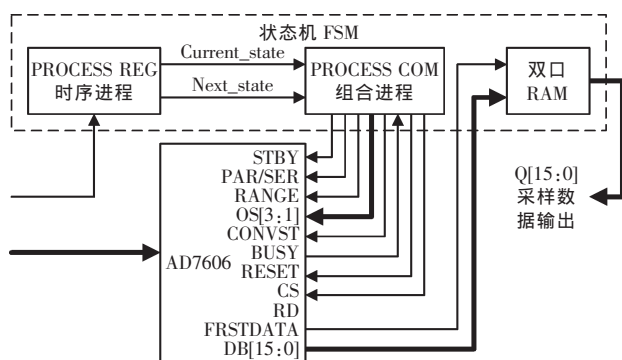


图3 采样状态机的结构框图

Fig.3 Block diagram of the sampling state machine

在写配置模块里配置 AD7602 的控制信号,比如串行模式/并行模式的选择,输入电压的范围、待机模式还是省电模式,过采样倍率的倍数等。

读取数据模块是整个采样系统的关键,采用状态机的形式,设置 CS 和 RD 信号线的时序。程序要根据 BUSY 信号产生中断信号,来确定转换是否完成。

根据 AD7606 的工作原理和写时序,设计接口逻辑模块,图 4 为状态机轮转状态图。

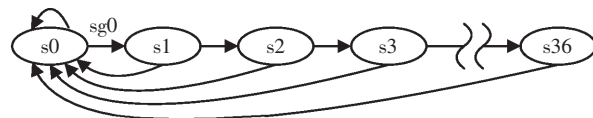


图4 状态机轮转状态图

Fig.4 State machine cycle state diagram

AD7606 转换控制信号为 CONVSTA 和 CONVSTB。CONVSTA 控制 V1,V2,V3,V4 通道,CONVSTB 控制 V5,V6,V7,V8 转换通道,本文将 CONVSTA 和 CONVSTB 短接在一起,8 通道同时转换。S0 是空闲状态,CS 为高电平,RD 为高电平;通过边沿检测是否有 BUSY 信号,若有则进入 S1 状态,否则等待。由于等待 CS 稳定下来(CS 到 RD 设置时间 t_8),需要插上延时状态 S2,到 S3 稳定,在 S4,S5 状态将 RD 拉低,读取第一通道 V1 的转换结果,之后依次重复 7 个脉冲序列,可使各通道的转换结果按升序逐个输出到并行总线 DB[15:0]上,在状态机里可方便地设置各种状态。

图 5 为程序框图,通过 Verilog HDL 硬件语言,基于状态机的思想,通过硬件实现对采样芯片的控制时序和读取时序,并将读取的数据实时存储在双

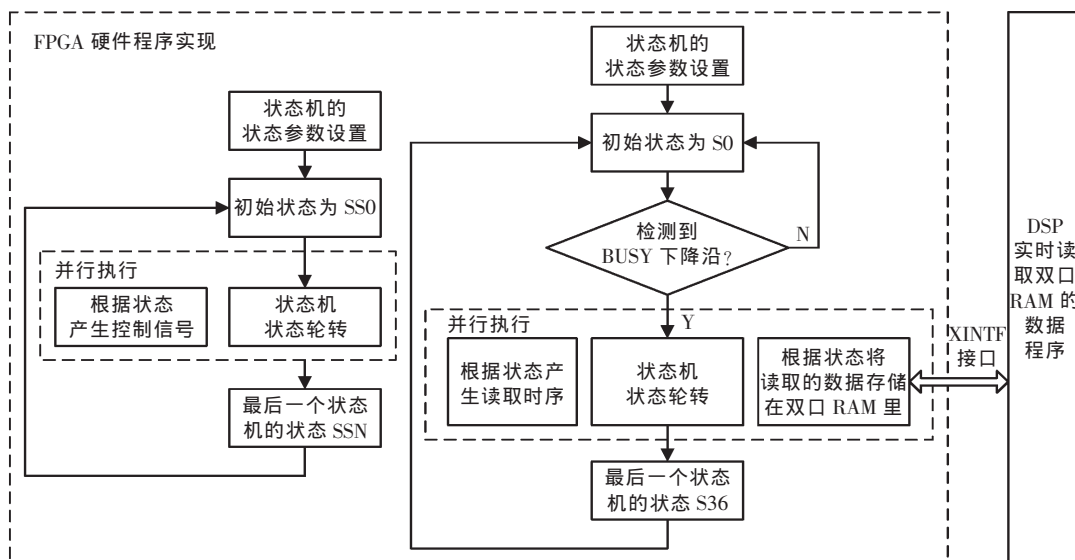


图5 程序流程图

Fig.5 Program flow chart

口 RAM 里,这样 DSP 可实时读取 RAM 里的数据,和通过中断方式或者查询方式读取采样数据相比,减小了对 DSP 资源的占用,提高了 DSP 的效率。硬件的两部分:控制时序和读取时序并行执行。在控制时序和读取时序中通过状态机方式并行执行程序,提高了采样速率和稳定性。

3 结果测试

3.1 多通道采样系统的实时采样测试

通过逻辑探测仪实时测量的数据,给定第二通道 3.3 V 的电压,其他通道给定 0 V 电压,测得的信号如图 6、图 7 所示。

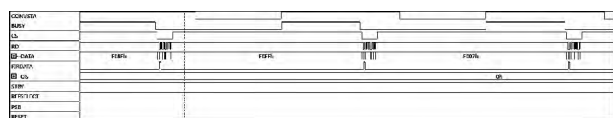


图6 AD7606 控制时序结果图

Fig.6 Figure of control timing results

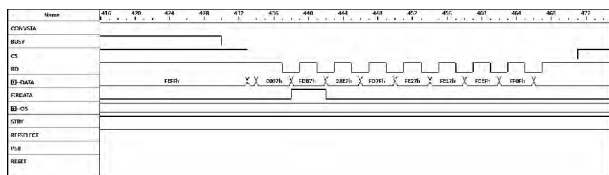


图7 AD7606 读输出结果图

Fig.7 Figure of reading the output

AD7606 的输出编码方式为二进制补码, 传递函数为: $\text{CODE} = \frac{V_{\text{IN}}}{10 \text{ V}} \times 32,768 \times \frac{\text{REF}}{2.5 \text{ V}}$

当第二通道输入 3.3 V 时, 理论值为 2A3Dh; 图 7 所示实际值为 28E7h, 对应 3.195 V, 存在一定误差, 是因为施加的激励电源有一定的谐波, 采样系统采集了此时波形。FDB7h, FD7Eh, FE27h, FE17h, FCEfh, FF0fh, 分别对应实际值为 -0.17 V, -0.18 V, -0.144 V, -0.148 V, -0.21 V, -0.07 V。

通过实验实时测量表明, 通过状态机编写的对 AD7606 实现时序逻辑控制的硬件电路, 其实验结果如图 6、图 7 所示, 和 AD7606 芯片手册上的读写时序图一致, 表明实验结果准确。

3.2 采样系统准确率测试

实验采用 Altera 公司 EP2K35F672 型 FPGA 作为可编程逻辑控件, TI 公司的 TMS320F2812 作为处理器^[4], 设计的采样系统其采样周期为 4 μs 。如图 8 所示采用 Tektronix 公司的 AFG3052C 型波形发生器产生幅值为 -10 V ~ +10 V, 周期为 4 ms 的锯齿波

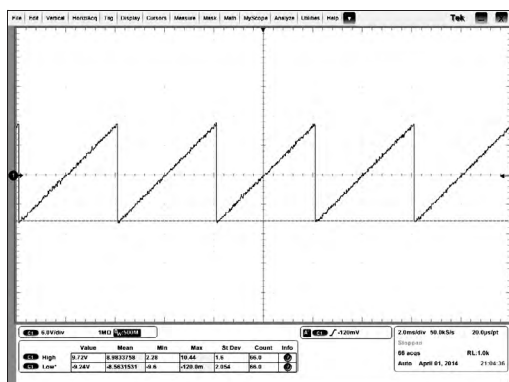


图8 实验采样的锯齿波

Fig.8 Experimental sampled waveform

形。在 FPGA 里按照时序依次存储 100 个 AD 采样输出结果于双口 RAM 里。通过 DSP 读取双口 RAM 数据, 在软件程序里将数据保存, 然后通过 Matlab 软件绘出曲线^[5]和理论值比较, 其结果如图 9 所示。

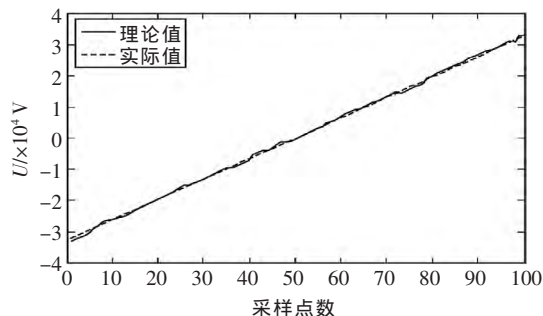


图9 采样系统的输出结果

Fig.9 Output of the sampling system

通过实验表明, 采样系统采样的结果和理论值误差很小, 最大误差为 0.1%, 整体采样系统稳定性、误差性达到要求^[6]。

4 结语

本文利用状态机在高速、高可靠性、稳定性方面的特点, 采用 FPGA 作为可编程逻辑控件, 以状态机的形式, 编程设计多通道高速 AD 采样系统的控制时序和读写时序。将采样结果实时存储在双口 RAM 里, 这样处理器可实时读取采样结果, 相比于通过 UART 方式传输采样结果给处理器, 处理器采用 SCI 串口中断方式读取采样结果, 本文设计的采样系统减少了对处理器资源的占用。对提高处理器的效率具有很大意义。实验表明, 系统的稳定性、高速型、误差均达到要求, 具有很强的工程实用价值。

参考文献:

- [1] Boonman M, van de Vin C, Tempelaars S, et al. The performance advantages of a dual stage system[J]. SPIE, 2004, 5377: 742-757.
- [2] 谷林. 光刻机工件台和掩膜台同步控制研究[D]. 哈尔滨: 哈尔滨工业大学, 2013.
- [3] 潘松, 黄继业. EDA 技术与 Verilog HDL[M]. 2 版. 北京: 清华大学出版社, 2010.
- [4] 苏奎峰, 吕强, 常天庆, 等. TMS320X281x DSP 原理及 C 程序开发[M]. 北京: 北京航空航天大学出版社, 2008.
- [5] 王正林, 王胜开. MATLAB/Simulink 与控制系统仿真[M]. 北京: 电子工业出版社, 2008.
- [6] 齐红涛, 苏涛. 基于 FPGA 的高速 AD 采样设计[J]. 航空兵器, 2010(1): 35-39.