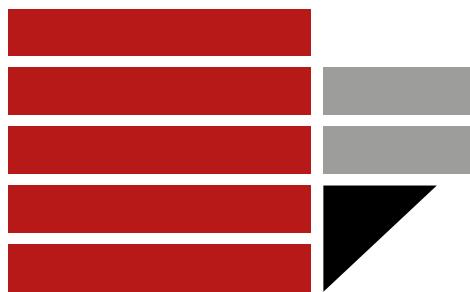


Università della Calabria

Dipartimento di ingegneria informatica, modellistica,
elettronica e sistematica



Corso di studio in
Ingegneria Elettronica

**“Progetto e simulazione di un
amplificatore operazionale a due stadi”**

Studenti

Giuseppe Pirilli 237909
Giuseppe Vizza 235491

Introduzione

L'elaborato affronta la progettazione di un amplificatore operazionale multistadio che, a differenza di un amplificatore a singolo stadio, è in grado di fornire prestazioni più elevati riuscendo a soddisfare le tre importanti specifiche richieste per un amplificatore:

- Alta resistenza di ingresso
- Alto guadagno
- Bassa resistenza di uscita

In particolare, l'obiettivo è quello di progettare un amplificatore operazionale a due stadi con ingresso differenziale, utilizzando il tool Cadence, che rispetti determinate specifiche di progetto in termini di tensione di alimentazione, guadagno, frequenza di guadagno unitario (GBW), margine di stabilità, massima potenza dissipata, ecc.

Vengono stabiliti tutti i legami tra le prestazioni dell'OP-AMP e i parametri sul quale è possibile agire al fine di ricavare una serie di indicazioni per un corretto dimensionamento dei transistori che lo compongono. Tutti i transistori dovranno lavorare in regione di saturazione per il corretto funzionamento del circuito.

1 Sviluppo del progetto

Per il progetto è stato scelto un OP-AMP composto da:

- Primo stadio di ingresso differenziale con carico attivo a specchio. Come transistori di ingresso vengono utilizzati due NMOS (M_1 e M_2) e due PMOS come carico attivo a specchio (M_3 e M_4) e un NMOS per fornire la corrente di polarizzazione (M_5). La corrente che scorre in ognuno dei due rami dello specchio sarà pari alla metà della corrente che fluisce attraverso il transistore M_5 .
- Secondo stadio di guadagno rappresentato da un unico PMOS in configurazione a source comune (M_6) ed un NMOS per fornire la corrente di polarizzazione (M_7).
- Alimentazione tramite specchio di corrente multiplo con i gate di M_5 ed M_7 connessi al gate di M_8 che a sua volta viene polarizzato su una corrente di riferimento I_{ref} . Se opportunamente dimensionato, sarà in grado di imporre la corrente desiderata sui due stadi dell'amplificatore.

La tensione di uscita viene prelevata sul drain di M_6 .

Il circuito completo è illustrato nella fig. 1.1.

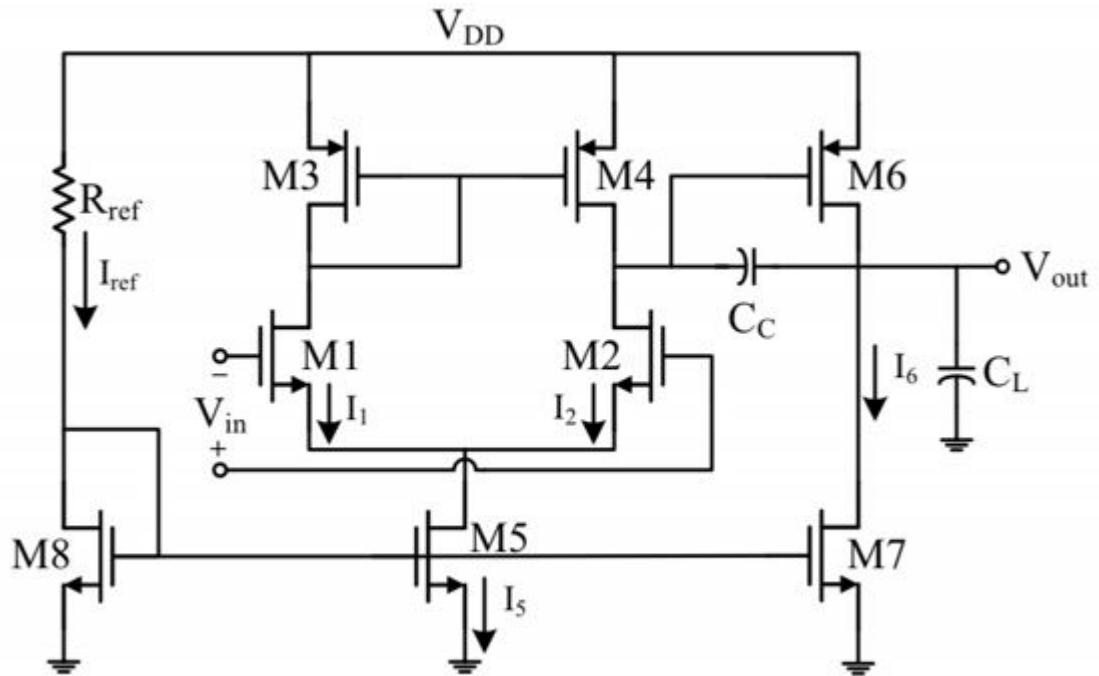


Figura 1.1 Amplificatore operazionale a due stadi.

1.1 Specifiche di progetto e dimensionamento dei transistori

I transistori devono essere opportunamente dimensionati, affinché l'OP-AMP soddisfi le seguenti specifiche.

Parameter	Description	Desired value
V_{DD}	Supply voltage	1 V
P	Power consumption	$\leq 100 \mu\text{W}$
A_V	Gain	$\geq 30 \text{ dB}$
GBW	Gain bandwidth	$\geq 5 \text{ MHz}$
SR	Slew rate	$\geq 10 \text{ V}/\mu\text{s}$
PM	Phase margin	$\geq 60^\circ$
C_L	Load capacitance	4 pF
C_C	Compensation capacitance	Depends on the target PM

Figura 1.2 Specifiche di progetto.

Si parte, dunque, da un primo approccio del tutto teorico, impostando, attraverso calcoli manuali, le relazioni che legano i parametri sui quali un progettista può agire (dimensioni dei transistori, corrente di polarizzazione...) alle prestazioni dell'OP-AMP in modo che vincoli di progetto come guadagno, margine di fase, frequenza di guadagno unitario, ecc., vengano rispettati. I calcoli servono a determinare principalmente la larghezza di canale di tutti i transistori. Tale approccio, essendo

condotto con molta approssimazione e tenendo conto poi del fatto che il simulatore è molto più preciso e utilizza modelli più completi, serve solo a dare un'idea di quello che sarà il circuito. Non è detto che i risultati ottenuti manualmente garantiscano il funzionamento in saturazione di tutti i transistori.

Vengono riportati di seguito i valori dei parametri dei transistori da utilizzare nel progetto.

	NMOS	PMOS	
Parametro	Valore	Valore	Descrizione
V_{th}	0,245 V	0,255 V	Tensione di soglia
$k' = \mu \cdot C_{ox}$	$270,17 \frac{\mu A}{V^2}$	$137,65 \frac{\mu A}{V^2}$	Fattore di corrente
μ	$182,3 \cdot 10^{-4} \frac{m^2}{V \cdot s}$	$98,86 \cdot 10^{-4} \frac{m^2}{V \cdot s}$	Mobilità
$\epsilon_{ox} = 3,9 \cdot \epsilon_0$	$34,531 \frac{pF}{m}$	$34,531 \frac{pF}{m}$	Permittività ossido
t_{ox}	2,33 nm	2,48 nm	Spessore ossido
$C_{ox} = \epsilon_{ox}/t_{ox}$	0,0148 F	0,0139 F	Capacità ossido

Inoltre, alcuni dati devono per forza essere fissati con valori usuali per poter condurre i calcoli.

Parametro	Valore	Descrizione
V_{DD}	1 V	Tensione di alimentazione
V_{SS}	0 V	Massa
C_L	4 pF	Capacità di carico
SR	$15 \frac{V}{\mu s}$	Slew rate
GBW	10 MHz	Frequenza di guadagno unitario (prodotto guadagno-larghezza di banda)

Viene anche fissata la lunghezza di canale per tutti i transistori pari a $L = 180 \text{ nm}$.

Assumendo un **PM (Phase Margin)** di circa 60° , la capacità di compensazione, C_C , può essere definita come:

$$C_C = 0,22 \cdot C_L = 0,88 \text{ pF}$$

Si considera il caso in cui i due terminali di gate degli NMOS M_1 e M_2 siano collegati insieme e connessi ad una tensione V_{CM} , detta tensione di modo comune. La tensione di ingresso massima, $V_{CM,max}$, che dovrà garantire il funzionamento di tutti i transistori in saturazione, viene fissata a 700 mV.

In seguito, in Cadence, una volta dimensionati tutti i transistori, verrà effettuata un'analisi DC sweep della tensione di ingresso per ricavare i punti di lavoro dei vari MOSFET al variare della tensione in un

certo range che verrà definito in seguito e determinare, quindi, per quali valori di tensione tutti i transistori lavorano in saturazione.

È possibile ricavare la corrente I_5 come:

$$I_5 = SR \cdot C_C = 13,20 \mu A$$

Da notare che $I_1 = I_3 = I_2 = I_4$, e:

$$I_5 = 2 \cdot I_1$$

Da qui è possibile ricavare il valore della corrente I_1 , che permetterà il calcolo delle dimensioni di tutti i transistori del primo stadio.

$$I_1 = \frac{I_5}{2} = 6,6 \mu A$$

- Si inizia, dunque, il dimensionamento dei transistori a partire, appunto, dallo stadio differenziale. Vengono dimensionati, innanzitutto, i PMOS M_3 e M_4 . Entrambi devono avere le stesse dimensioni, quindi, $(W_3/L_3) = (W_4/L_4)$. Si analizza M_3 , che deve essere in saturazione. Utilizzando l'equazione della corrente in saturazione, possiamo definire il rapporto d'aspetto, X_3 , come segue:

$$X_3 = \frac{W_3}{L_3} = \frac{2I_3}{k'_p [V_{DD} - V_{th,p} - (V_{CM,max} - V_{th,n})]^2} = 1,1403 \cong 2$$

Per $L_3 = 180 nm$, avremo:

$$W_3 = X_3 \cdot L_3 = 360 nm$$

Il transistore M_4 avrà le medesime dimensioni.

- Si passa al dimensionamento degli NMOS M_1 e M_2 . Entrambi devono avere le stesse dimensioni, quindi, $(W_1/L_1) = (W_2/L_2)$. Per questi, è sufficiente calcolare la transconduttanza, g_m . Si utilizza la formula che relaziona GBW con g_m e C_C . È possibile definire l'equazione come segue:

$$GBW = f_T = \frac{g_m}{2\pi \cdot C_C}$$

Da cui si ricava:

$$g_{m1} = g_{m2} = 2\pi \cdot GBW \cdot C_C = 55,292 \mu S$$

$$X_1 = \frac{W_1}{L_1} = \frac{g_{m1}^2}{2 \cdot k'_n \cdot I_1} = 0,8573 \cong 1$$

Per $L_1 = 180 nm$, avremo:

$$W_1 = X_1 \cdot L_1 = 180 nm$$

Il transistore M_2 avrà le medesime dimensioni.

- Il dimensionamento di M_5 può essere effettuato allo stesso modo di come è stato fatto per M_3 . Si ottiene:

$$W_5 = 420 \text{ nm}$$

- Per il dimensionamento di M_6 si può assumere che $V_{SG,4} = V_{SG,6}$ e che $g_{m6} \geq 10 * g_{m1}$.

Ricordando che $g_{m3} = g_{m4} = \sqrt{2 \cdot k'_p \cdot (W_3/L_3) \cdot I_3}$. Quindi:

$$X_6 = \frac{W_6}{L_6} = \frac{g_{m6}}{g_{m4}} * \frac{W_4}{L_4} = 13,8513 \cong 14$$

Per $L_6 = 180 \text{ nm}$, si avrà:

$$W_6 = X_6 \cdot L_6 = 2,5 \mu\text{m}$$

Sapendo che $g_{m6} = \sqrt{2 \cdot k'_p \cdot (W_6/L_6) \cdot I_6}$, è possibile calcolare I_6 :

$$I_6 = \frac{g_{m6}^2}{2 \cdot k'_p \cdot (W_6/L_6)} = 80,173 \mu\text{A}$$

- Per il dimensionamento di M_7 , sapendo che $I_7 = I_6$ e che M_5 e M_7 sono entrambi NMOS con stessa tensione di polarizzazione, V_{GS} , e stessa tensione di soglia, $V_{th,n}$, (si considerano transistori "matched" che non subiscono variazioni di processo), in altre parole, essendo caratterizzati dalla stessa tensione di overdrive, $V_{GS} - V_{th,n}$, è possibile scrivere (trascurando anche l'effetto di modulazione della lunghezza di canale):

$$\frac{X_7}{X_5} = \frac{W_7/L_7}{W_5/L_5} = \frac{I_6}{I_5} \Rightarrow X_7 = \frac{I_6}{I_5} \cdot X_5 = 14,1721 \cong 15$$

Per $L_7 = 180 \text{ nm}$, avremo:

$$W_7 = X_7 \cdot L_7 = 2,7 \mu\text{m}$$

- L'ultimo transistore da dimensionare è M_8 . Il valore da fissare è W_8 . Si procede come per il dimensionamento di M_7 .

M_5 , M_7 e M_8 sono tutti NMOS con gli stessi valori di lunghezza di canale e di tensione di overdrive, $V_{GS} - V_{th,n}$, quindi, è facile capire che il rapporto tra la I_{DS} e la W è il medesimo per tutti e tre. Un'ottima scelta è quella di dare a M_8 un valore di larghezza di canale pari al minore tra quelli dei due transistor M_5 e M_7 . Perciò, in questo caso:

$$W_8 = 420 \text{ nm}$$

2 Simulazioni tramite il tool Cadence

Dai calcoli ottenuti si passa alla costruzione (in tecnologia CMOS 90 nm) e simulazione del circuito con il tool Cadence, dimensionando i transistori in base ai calcoli effettuati precedentemente.

Nella fig. 2.1 e fig. 2.2 sono riportati, rispettivamente, lo schematico dell'OP-AMP e la vista "symbol" (ciò vuol dire che nello schematico l'OP-AMP è rappresentato da una figura semplificata che non ne fa vedere la struttura specifica ma solo i punti di connessione disponibili).

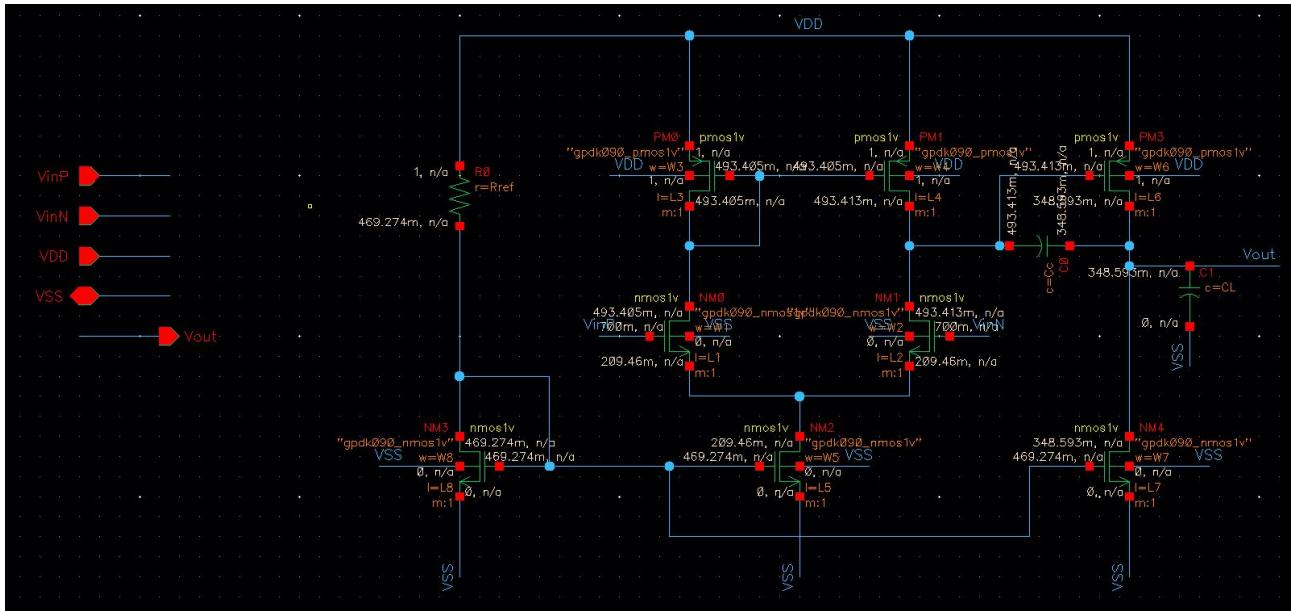


Figura 2.1 Schematico OP-AMP a due stadi.

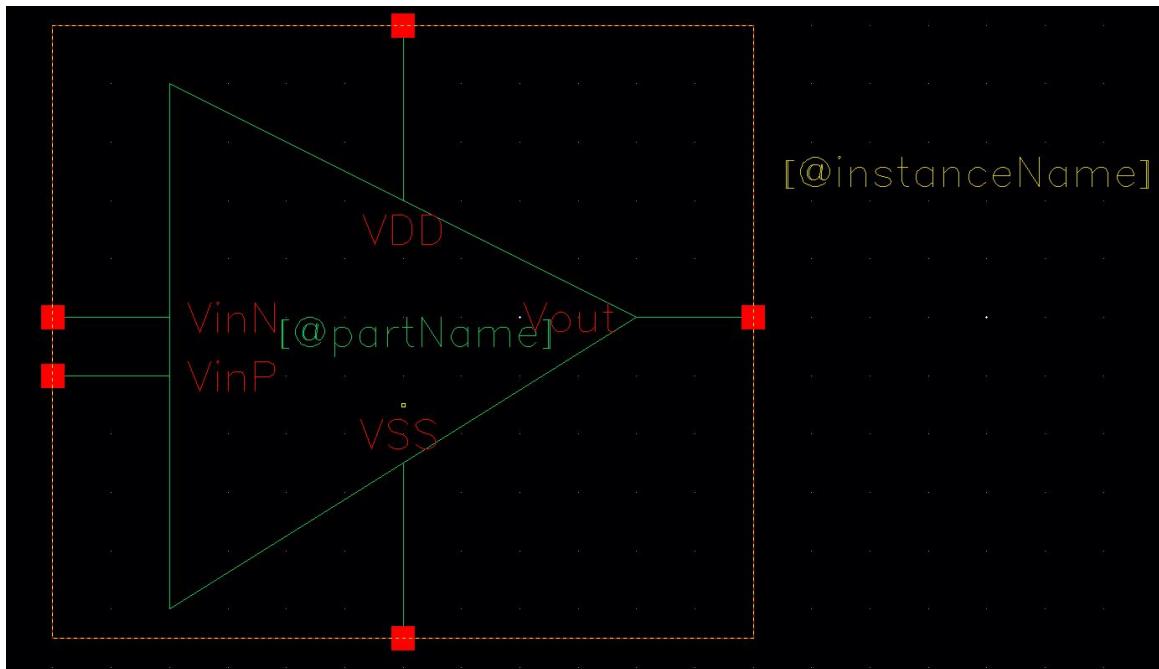


Figura 2.2 Vista "symbol" dello schematico.

2.1 Simulazione DC

La prima cosa da verificare è che tutti i transistori siano in saturazione.

Il circuito è alimentato con un generatore di tensione, V_{DD} , pari a $1V$ e in ingresso allo stadio differenziale viene posto un generatore di tensione "vdc" in cui la componente AC è posta a zero, mentre, la componente DC, V_{CM} , che ha una forte influenza sul circuito, viene fatta variare, attraverso una simulazione DC, tra 400 mV (tensione minima) e 900 mV (tensione massima), con un passo di 100 mV , per verificare per quali valori di tensione i transistori lavorano in saturazione e determinare le correnti di polarizzazione.

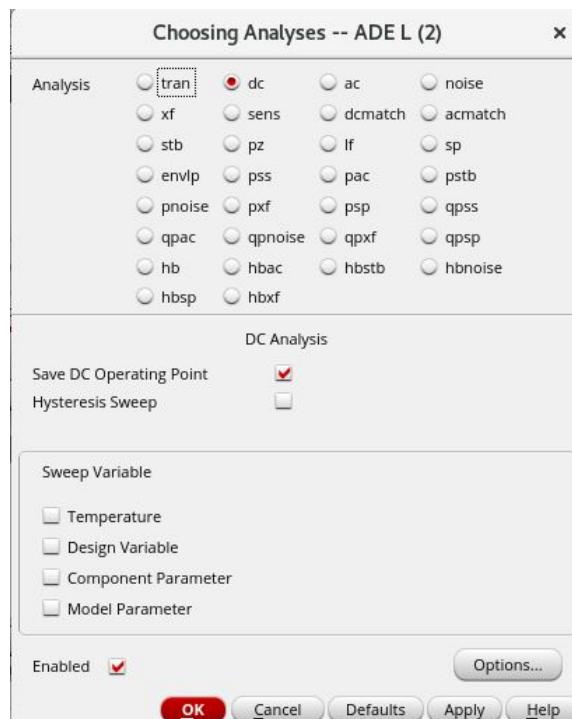


Figura 2.3 Analisi DC.

Il generatore della tensione di ingresso e di alimentazione sono stati inseriti in vista "symbol".

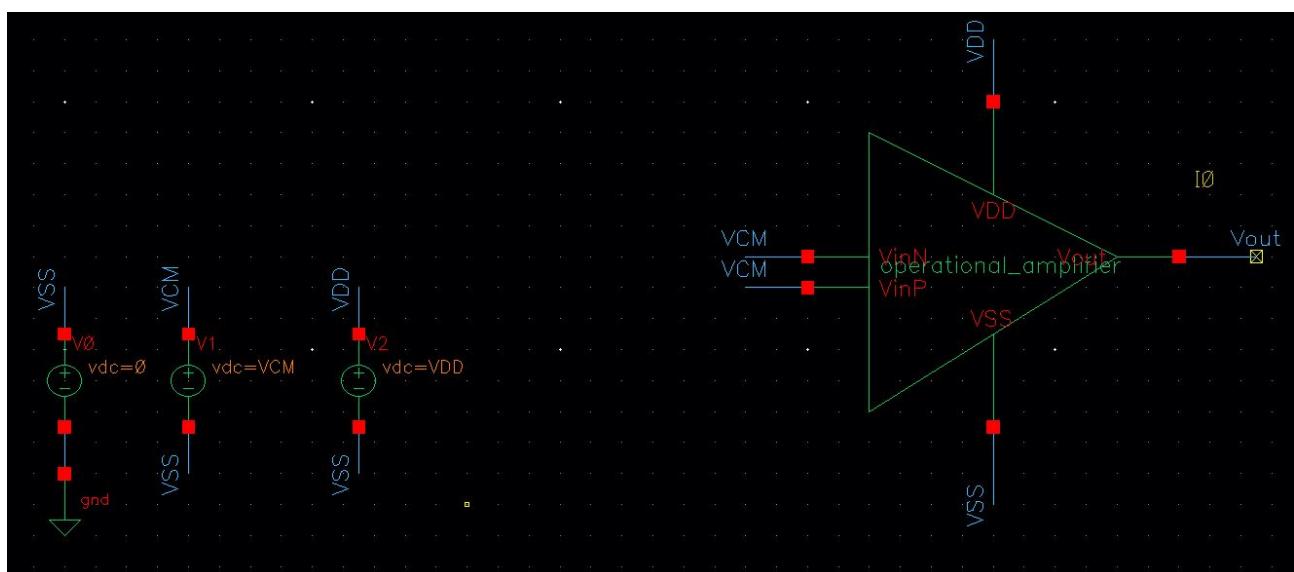
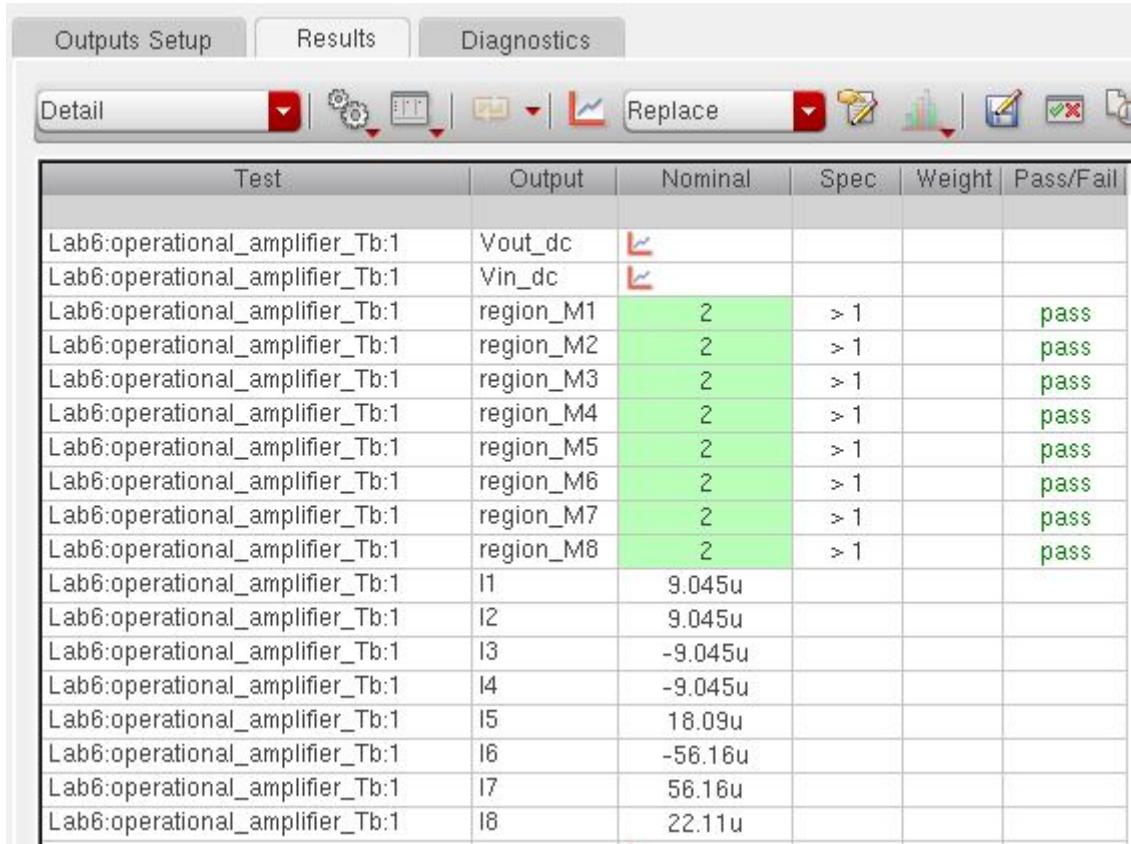


Figura 2.4 Testbench analisi DC (vista "symbol").

Dalla simulazione DC si è ricavato che il funzionamento in saturazione è garantito per un valore della tensione di ingresso pari a **700 mV**, tuttavia, è necessario apportare delle modifiche alle dimensioni di M_6 ed M_7 , in particolare, è stato posto $W_6 = 2.1 \mu\text{m}$ e $W_7 = 1.2 \mu\text{m}$. Lo swing della tensione di ingresso è, dunque, limitato ad un unico valore di tensione. Però, come si vedrà più avanti, questo comporta dei vantaggi in termini di occupazione d'area (OP-AMP più piccolo).

Di seguito, in fig. 2.5, viene riportata l'analisi DC per un valore della componente DC del generatore di ingresso pari a **700 mV**.



The screenshot shows the Cadence software interface with the 'Results' tab selected. Below the tabs are various icons for file operations and analysis. The main area is a table with the following columns: Test, Output, Nominal, Spec, Weight, and Pass/Fail.

Test	Output	Nominal	Spec	Weight	Pass/Fail
Lab6:operational_amplifier_Tb:1	Vout_dc				
Lab6:operational_amplifier_Tb:1	Vin_dc				
Lab6:operational_amplifier_Tb:1	region_M1	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M2	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M3	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M4	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M5	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M6	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M7	2	> 1		pass
Lab6:operational_amplifier_Tb:1	region_M8	2	> 1		pass
Lab6:operational_amplifier_Tb:1	I1	9.045u			
Lab6:operational_amplifier_Tb:1	I2	9.045u			
Lab6:operational_amplifier_Tb:1	I3	-9.045u			
Lab6:operational_amplifier_Tb:1	I4	-9.045u			
Lab6:operational_amplifier_Tb:1	I5	18.09u			
Lab6:operational_amplifier_Tb:1	I6	-56.16u			
Lab6:operational_amplifier_Tb:1	I7	56.16u			
Lab6:operational_amplifier_Tb:1	I8	22.11u			

Figura 2.5 Risultati analisi DC per $V_{CM} = 700 \text{ mV}$. Cadence identifica le regioni di funzionamento tramite numeri: 0 spento, 1 lineare, 2 saturazione, 3 sottosoglia, 4 breakdown.

2.2 Simulazione AC

Tramite l'analisi AC è possibile verificare specifiche di progetto come: guadagno, margine di fase (PM), frequenza di guadagno unitario (GBW), ecc.

L'analisi AC viene condotta collegando in ingresso agli NMOS dello stadio differenziale, oltre al generatore in tensione continua, un altro generatore sinusoidale di tensione con componente AC pari a 1 mV e componente DC nulla. La componente AC dei due ingressi viene messa fuori fase utilizzando un blocco noto come "*ideal_balun*".

Per l'analisi AC la componente DC del generatore in continua è lasciata a 700 mV .

L'analisi viene eseguita tra 1 Hz e 1GHz impostando uno sweep type automatico.

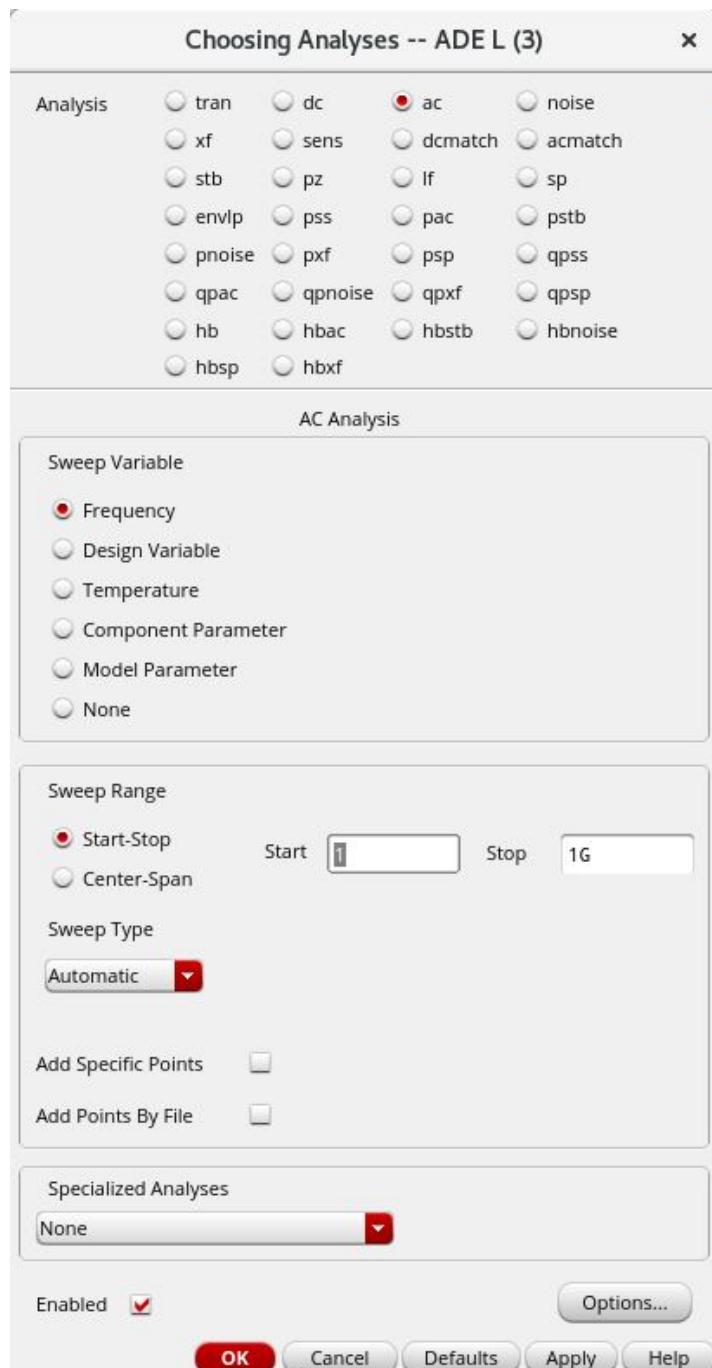


Figura 2.6 Analisi AC.

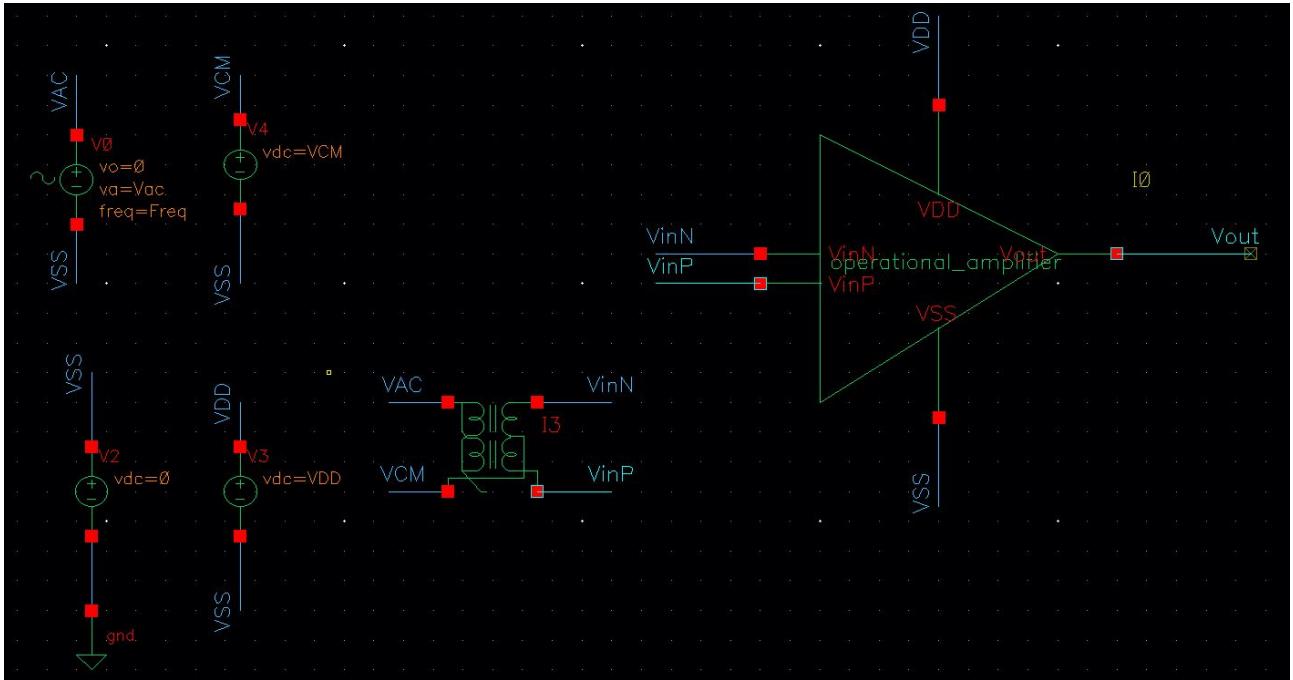


Figura 2.7 Testbench analisi AC (vista “symbol”).

Nella fig. 2.8 sono illustrati il segnale di ingresso ed il segnale di uscita per un transitorio pari a 5 ms.

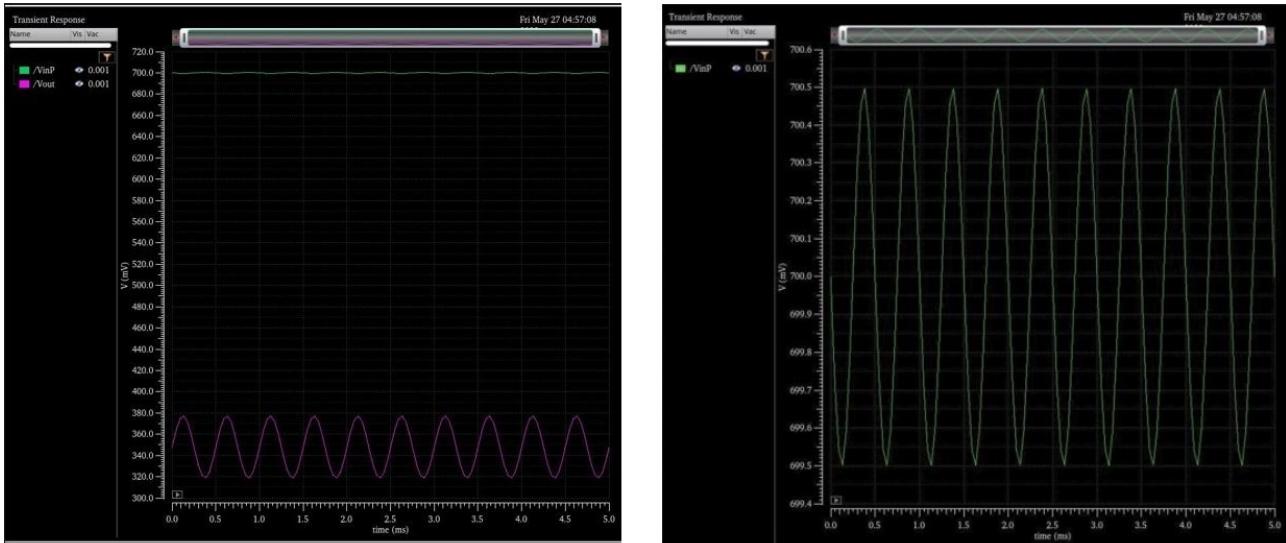


Figura 2.8 (a) Confronto segnale in ingresso e in uscita, (b) segnale in ingresso su scala maggiormente apprezzabile.

Come è possibile osservare dalla fig. 2.8 (a), il segnale in uscita risulta amplificato rispetto al segnale in ingresso, in particolare, dal diagramma di Bode dell’ampiezza di fig. 2.9, risulta un guadagno, A_V , pari a 30 dB e una frequenza di guadagno unitario, GBW , di 7,396 MHz. Dunque, le specifiche sul guadagno e la frequenza di guadagno unitario (0 dB significa guadagno unitario) sono rispettate. Dunque, nel range di frequenze tra 1 Hz e 7,396 MHz il dispositivo funziona da amplificatore.

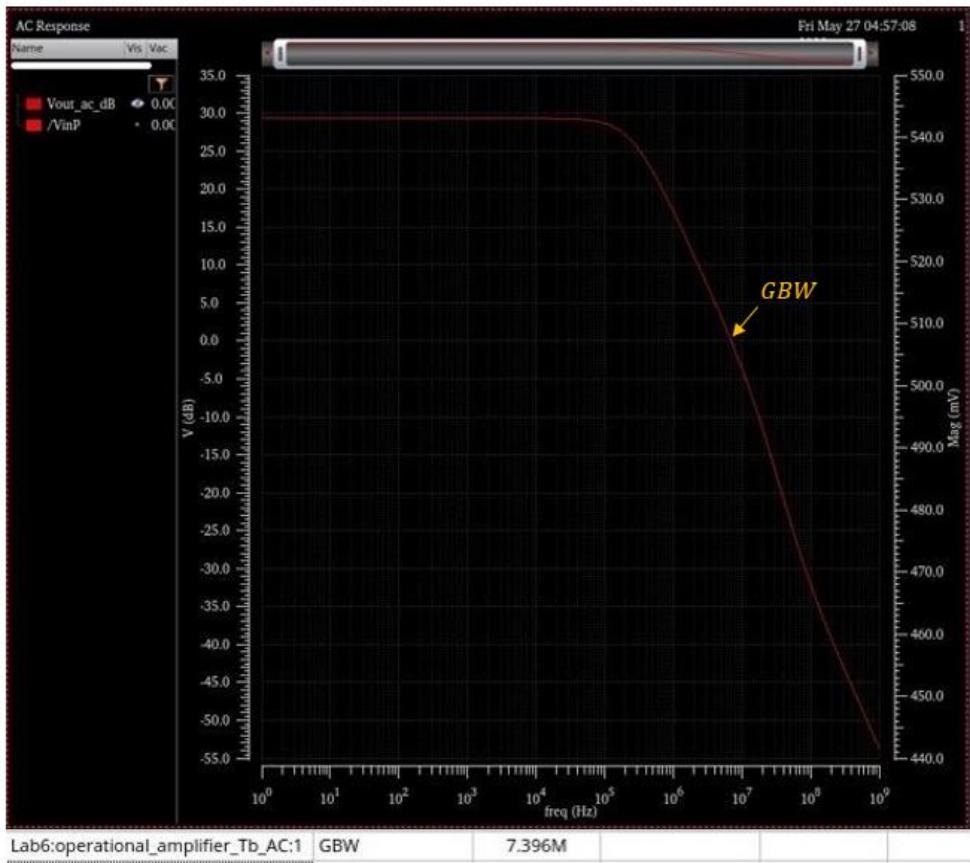


Figura 2.9 Risposta in frequenza del circuito (diagramma di Bode dell'ampiezza).

Dal diagramma di Bode relativo alla fase in fig. 2.10, si può osservare che, alla frequenza di guadagno unitario, si ha uno sfasamento intorno ai -114° , corrispondente ad un margine di fase di 66° che garantisce la stabilità dell'OP-AMP. Quindi, anche la specifica sul margine di fase risulta rispettata.

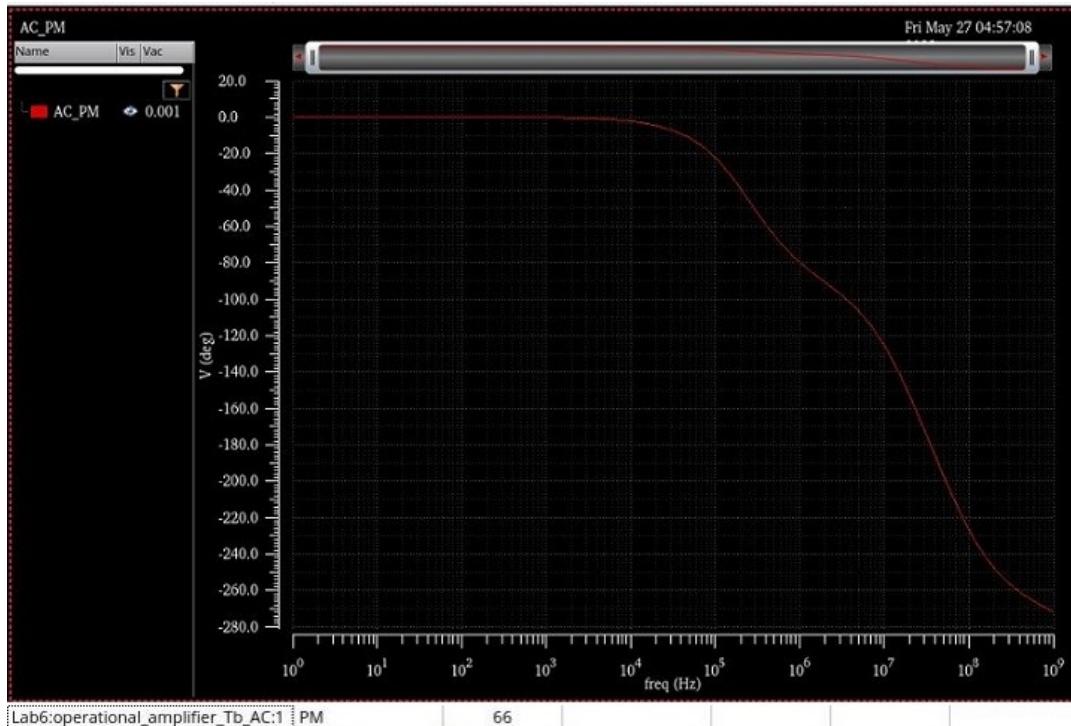


Figura 2.10 Risposta in frequenza del circuito (diagramma di Bode della fase).

Per il margine di fase si valuta l'ampiezza tra il punto corrispondente alla frequenza di guadagno unitario e la retta a fase costante -180° .

2.3 Layout

Dal layout di fig. 2.11 si nota che, uno dei principali vantaggi, per come è stato progettato l'OP-AMP, è la ridotta occupazione di area. Tuttavia, lo svantaggio è che il dispositivo è in grado di funzionare correttamente, comportandosi come un amplificatore, per una tensione di ingresso fissa pari a 700 mV (swing di tensione pressoché nullo).

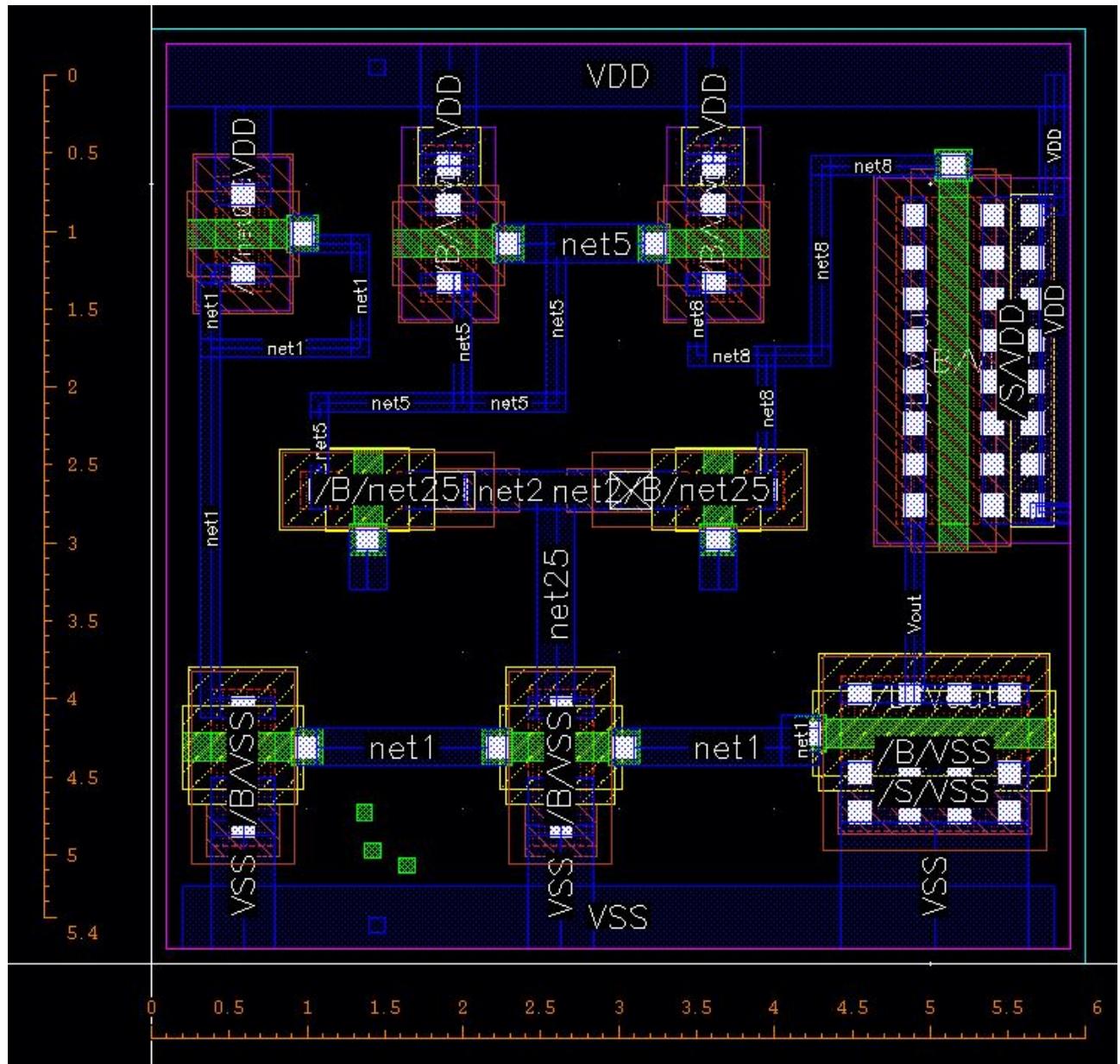


Figura 2.11 Layout OP-AMP a due stadi.

Conclusioni

A conclusione del lavoro svolto, pare opportuno sottolineare un dato che può sembrare evidente: è fondamentale imparare ad usare le formule sapendo che sono approssimate, sono linee guida che indicano la direzione in cui muoversi ma non predicono quasi mai il risultato perfettamente. Il divario tra i calcoli manuali e la simulazione è evidente anche in circuiti semplici come quello affrontato in questo lavoro in cui è stato necessario variare alcune grandezze per ottenere le prestazioni desiderate.